

Welcome to E-XFL.COM

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	16KB (16K x 8)
Program Memory Type	FLASH
EEPROM Size	512 x 8
RAM Size	1K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 85°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz16aclc

2.2.1 电源

V_{DD} 和 V_{SS} 是 MCU 基本的电源管脚。该电源为所有 I/O 缓冲器电路和一个内部稳压器供电。内部稳压器为 CPU 及 MCU 的其他内部电路提供经过稳压的低电压电源。

通常，应用系统在电源管脚上需要安装两个独立的电容器。其中一个为大容量电解电容器（如 $10\mu\text{F}$ 钽电容器）为整个系统提供大容量电荷存储。同时应在离 MCU 电源管脚尽可能近的地方安装一个 $0.1\mu\text{F}$ 的陶瓷旁路电容器来抑制高频噪音。MC9S08DZ60 系列有两个 V_{DD} 管脚（32 管脚封装除外），每个管脚都必须有一个旁路电容器以实现最有效的噪音抑制。

V_{DDA} 和 V_{SSA} 是 MCU 的模拟电源管脚。该管脚引入的电源为 ADC 模块供电。我们应在离 MCU 电源管脚尽可能近的地方安装一个 $0.1\mu\text{F}$ 陶瓷旁路电容器来抑制高频噪音。

2.2.2 振荡器

复位完成后，MCU 立即开始使用由 MCG（多功能时钟生成器）模块提供的内部时钟。关于 MCG 的更详尽信息，请参见第 8 章，“多功能时钟发生器（S08MCGV1）”。

本 MCU 中的振荡器（XOSC）为皮尔斯（Pierce）振荡器，可以支持晶体和陶瓷谐振器。除了晶体或陶瓷谐振器外，我们还可以将一个外部振荡器连接到 EXTAL 输入管脚上。

如图 2-4 所示， R_S （如果使用了的话）和 R_F 必须采用低感电阻器，如碳膜电阻器。而不能采用感应系数过高的线绕和金属薄膜电阻器。 $C1$ 和 $C2$ 必须使用专为高频应用设计的高质量陶瓷电容器。

R_F 用来提供偏置路径用于在晶体启动过程中将 EXTAL 输入保持在线性范围内。它的值并不是在所有情况下都非常关键。一般系统采用 $1\text{M} \sim 10\text{M}$ 之间的 R_F 。过高的阻抗对湿度太敏感，而过低的阻抗会减少增益并（在一些极端情况下）导致无法正常启动。

$C1$ 和 $C2$ 一般采用 $5\text{pF} \sim 25\text{pF}$ 的电容，并且必须满足匹配特定晶体或谐振器的要求。在选择 $C1$ 和 $C2$ 时必须考虑印刷电路板（PCB）的电容和 MCU 管脚的电容。晶体生产商一般都规定了一个负载电容—— $C1$ 和 $C2$ （二者的尺寸通常是相同的）的系列组合。按照一次近似原则，我们应使用 10pF 作为每个振荡器管脚（EXTAL 和 XTAL）的管脚和 PCB 总电容的估计值。

2.2.3 $\overline{\text{RESET}}$ （复位）

$\overline{\text{RESET}}$ 是一个专用管脚，带有内置的上拉器件。它有输入电压迟滞、大电流输出驱动器但没有输出斜率控制。由于存在内部加电复位电路和低压复位电路，因此在一般情况下不必使用外部复位电路。该管脚通常连接到标准的 6 脚后台调试接头，以保证开发系统可以直接复位 MCU 系统。如果需要，我们可以增加一个到地线的简单开关（拉低复位管脚以强制进行复位）来实现手动外部复位。

在任何情况下触发复位时（不管是由外部信号还是内部系统）， $\overline{\text{RESET}}$ 管脚都会下拉约 34 个总线周期。复位电路会解析复位原因并且在系统复位状态寄存器（SRS）中设置一个相应的位来记录这一原因。

表 4-3. 高端页面寄存器总结 (第 1 页, 共 3 页)

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0x1845	PTAPS	PTAPS7	PTAPS6	PTAPS5	PTAPS4	PTAPS3	PTAPS2	PTAPS1	PTAPS0
0x1846	PTAES	PTAES7	PTAES6	PTAES5	PTAES4	PTAES3	PTAES2	PTAES1	PTAES0
0x1847	预留	—	—	—	—	—	—	—	—
0x1848	PTBPE	PTBPE7	PTBPE6	PTBPE5	PTBPE4	PTBPE3	PTBPE2	PTBPE1	PTBPE0
0x1849	PTBSE	PTBSE7	PTBSE6	PTBSE5	PTBSE4	PTBSE3	PTBSE2	PTBSE1	PTBSE0
0x184A	PTBDS	PTBDS7	PTBDS6	PTBDS5	PTBDS4	PTBDS3	PTBDS2	PTBDS1	PTBDS0
0x184B	预留	—	—	—	—	—	—	—	—
0x184C	PTBSC	0	0	0	0	PTBIF	PTBACK	PTBIE	PTBMOD
0x184D	PTBPS	PTBPS7	PTBPS6	PTBPS5	PTBPS4	PTBPS3	PTBPS2	PTBPS1	PTBPS0
0x184E	PTBES	PTBES7	PTBES6	PTBES5	PTBES4	PTBES3	PTBES2	PTBES1	PTBES0
0x184F	预留	—	—	—	—	—	—	—	—
0x1850	PTCPE	PTCPE7	PTCPE6	PTCPE5	PTCPE4	PTCPE3	PTCPE2	PTCPE1	PTCPE0
0x1851	PTCSE	PTCSE7	PTCSE6	PTCSE5	PTCSE4	PTCSE3	PTCSE2	PTCSE1	PTCSE0
0x1852	PTCDS	PTCDS7	PTCDS6	PTCDS5	PTCDS4	PTCDS3	PTCDS2	PTCDS1	PTCDS0
0x1853– 0x1857	预留	—	—	—	—	—	—	—	—
0x1858	PTDPE	PTDPE7	PTDPE6	PTDPE5	PTDPE4	PTDPE3	PTDPE2	PTDPE1	PTDPE0
0x1859	PTDSE	PTDSE7	PTDSE6	PTDSE5	PTDSE4	PTDSE3	PTDSE2	PTDSE1	PTDSE0
0x185A	PTDDS	PTDDS7	PTDDS6	PTDDS5	PTDDS4	PTDDS3	PTDDS2	PTDDS1	PTDDS0
0x185B	预留	—	—	—	—	—	—	—	—
0x185C	PTDSC	0	0	0	0	PTDIF	PTDACK	PTDIE	PTDMOD
0x185D	PTDPS	PTDPS7	PTDPS6	PTDPS5	PTDPS4	PTDPS3	PTDPS2	PTDPS1	PTDPS0
0x185E	PTDES	PTDES7	PTDES6	PTDES5	PTDES4	PTDES3	PTDES2	PTDES1	PTDES0
0x185F	预留	—	—	—	—	—	—	—	—
0x1860	PTEPE	PTEPE7	PTEPE6	PTEPE5	PTEPE4	PTEPE3	PTEPE2	PTEPE1	PTEPE0
0x1861	PTESE	PTESE7	PTESE6	PTESE5	PTESE4	PTESE3	PTESE2	PTESE1	PTESE0
0x1862	PTEDS	PTEDS7	PTEDS6	PTEDS5	PTEDS4	PTEDS3	PTEDS2	PTEDS1	PTEDS0
0x1863– 0x1867	预留	—	—	—	—	—	—	—	—
0x1868	PTFPE	PTFPE7	PTFPE6	PTFPE5	PTFPE4	PTFPE3	PTFPE2	PTFPE1	PTFPE0
0x1869	PTFSE	PTFSE7	PTFSE6	PTFSE5	PTFSE4	PTFSE3	PTFSE2	PTFSE1	PTFSE0
0x186A	PTFDS	PTFDS7	PTFDS6	PTFDS5	PTFDS4	PTFDS3	PTFDS2	PTFDS1	PTFDS0
0x186B– 0x186F	预留	—	—	—	—	—	—	—	—
0x1870	PTGPE	0	0	PTGPE5	PTGPE4	PTGPE3	PTGPE2	PTGPE1	PTGPE0
0x1871	PTGSE	0	0	PTGSE5	PTGSE4	PTGSE3	PTGSE2	PTGSE1	PTGSE0
0x1872	PTGDS	0	0	PTGDS5	PTGDS4	PTGDS3	PTGDS2	PTGDS1	PTGDS0
0x1873– 0x187F	预留	—	—	—	—	—	—	—	—
0x1880	CANCTL0	RXFRM	RXACT	CSWAI	SYNCH	TIME	WUPE	SLPRQ	INITRQ

5.5 中断

在执行中断服务程序 (ISR) 前，当前 CPU 状态和寄存器被保存，而在执行中断服务程序 (ISR) 后，保存的 CPU 状态将被恢复。这样可以从中断前的位置重新开始处理。与软件中断 (SWI) 不同 (SWI 由程序指令触发)，中断是由诸如 IRQ 管脚边沿或定时器溢出样的硬件事件触发。调试模块也可以在特定环境下导致 SWI。

如果中断源内的事件发生，将会设置相关的只读状态标记。但不会响应 CPU，除非是由本地中断使能位置为 1 导致并且 CCR 中的 I 位为 0 来允许的中断。CCR 中的全球中断屏蔽 (I 位) 在复位后首次设置会阻止所有可屏蔽的中断源。在清除 I 位之前，用户程序初始化堆栈指针，执行其他系统设置，以便允许 CPU 响应中断。

当 CPU 接收到符合条件的中断请求时，它会在响应中断前先完成当前指令。中断顺序与 SWI 指令的逐周期顺序相同，这个顺序是：

- 在堆栈上保存 CPU 寄存器；
- 在 CCR 中设置 I 位，禁止中断；
- 为当前悬而未决的最高优先级中断获取中断向量；
- 用程序报文的前 3 个字节填写指令队列，程序报文从在中断向量位置上获取的地址开始；

当 CPU 响应中断时，会自动设置 I 位以避免出现中断 ISR 自身的另外一个中断 (这也叫做中断嵌套)。在正常情况下，当 CCR 从 ISR 入口处堆栈的值进行恢复时，I 位就恢复为 0。在极个别情况中，I 位可以在 ISR 内部清除 (在清除生成中断的状态标志后)，所以无需等待第一个业务程序完成，就可以执行另一个中断。该操作仅供有丰富经验的程序员使用，因为它可能导致难以调试发现的程序错误。

中断服务程序以中断恢复 (RTI) 指令作为结束。RTI 指令从堆栈中读取先前保存的报文，将 CCR、A、X 和 PC 寄存器恢复为中断前的值。

注意

为了实现与 M68HC08 器件的兼容，H 寄存器不能自动保存和恢复。建议在中断服务程序 (ISR) 开始时就将 H 推到堆栈上，并在 RTI (用来从 ISR 中恢复) 前立即恢复它。

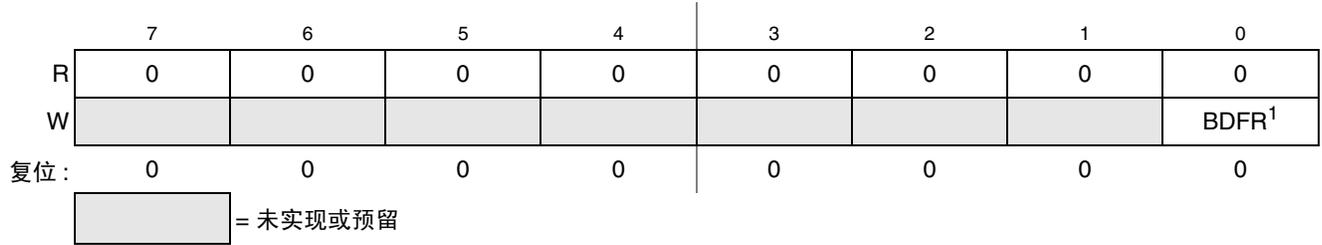
当 I 位被清除时有多个挂起的中断，处理优先级最高的最先被处理 (参见表 5-1)。

5.5.1 中断堆栈帧

图 5-1 为堆栈帧的内容和结构。在中断前，堆栈指针 (SP) 指向堆栈的下一个可用字节。CPU 寄存器的当前值保存在堆栈中，以程序计数器 (PCL) 的低阶字节开始，以 CCR 结束。在一次堆栈操作后，SP 指向堆栈的下一个可用位置，该堆栈是比保存 CCR 的地址小一的地址。被堆栈的 PC 值是主程序的指令地址，如果中断没有发生，那么将在下一次中断中实施主程序。

5.8.3 系统后台调试强制复位寄存器 (SBD FR)

这个高页寄存器只包括一个只写控制位。串行后台命令，如 WRITE_BYTE 必须用来写入 SBD FR。从用户程序写入寄存器的尝试被忽略。读总是返回 0x00。



¹ 只能通过串行后台调试命令，而非用户程序写入 BDFR。

图 5-4. 后台调试强制复位寄存器 (SBD FR)

表 5-4. SBD FR 寄存器字段描述

字段	描述
0 BDFR	后台调试强制复位 — 可以使用串行后台命令，如 WRITE_BYTE，使外部调试主机强制进行目标系统复位。在该位中写入 1 就能强制进行 MCU 复位。该位不能从用户程序中写入。

5.8.4 系统选项寄存器 1 (SOPT1)

该高页寄存器是 write-once 寄存器，因此只重视复位后的第一次写入。它可以在任何时候读取。任何后续 SOPT1 写入尝试（有意或无意）都将被忽略，以避免对这些敏感器件的意外修改。该寄存器应在用户复位初始化程序期间写入，以设置期望的控制，即便期望的设置与复位设置相同。

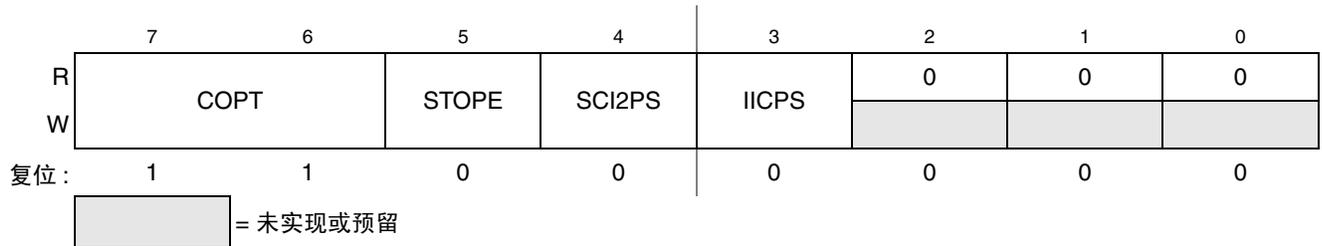


图 5-5. 系统选项寄存器 1 (SOPT1)

表 5-5. SOPT1 寄存器字段描述

字段	描述
7:6 COPT[1:0]	COP 看门狗超时 — 这些单次写入有效的位选择 COP 的超时周期。STOP2 中的 COPT 和 COPCLKS 定义 COP 超时周期。参见表 5-6。
5 STOPE	停止模式使能 — 这个单次写入有效的位用来使能停止模式。如果停止模式禁止且用户程序试图实施 STOP 指令，则会强制进行非法操作码复位。 0 停止模式禁止。 1 停止模式使能。

表 5-10. SPMSC1 寄存器字段描述

字段	描述
4 LVDRE	低压检测复位使能 — 这个 write-once 位支持 LVD 事件生成硬件复位（假设 LVDE = 1）。 0 LVD 事件不生成硬件复位。 1 当发生使能的低压检测事件时，强制实行 MCU 复位。
3 LVDSE	低压检测停止使能 — 假设 LVDE = 1，这个读 / 写位决定当 MCU 处于停止模式时是否操作低压检测功能。 0 停止模式期间低压检测禁止。 1 停止模式期间低压检测使能。
2 LVDE	低压检测使能 — 这个 write-once 位支持低压检测逻辑，并且限定该寄存器中的其他位的操作。 0 LVD 逻辑禁止。 1 LVD 逻辑使能。
0 BGBE	带隙缓冲器使能 — 这个位支持内部缓冲器，提供带隙电压参考，可供任何一个内部通道上的 ADC 和 ACMP 模块使用。 0 带隙缓冲器禁止。 1 带隙缓冲器使能。

5.8.8 系统电源管理状态和控制寄存器 2 (SPMSC2)

该寄存器用来报告低压警告功能状态，配置 MCU 的停止模式行为。该寄存器应在用户复位初始化程序期间写入，以设置期望的控制，即便期望的设置与复位设置相同。

	7	6	5	4	3	2	1	0
R	0	0	LVDV ¹	LVWV	PPDF	0	0	PPDC ²
W							PPDACK	
加电复位：	0	0	0	0	0	0	0	0
LVD 复位：	0	0	u	u	0	0	0	0
其他复位：	0	0	u	u	0	0	0	0

= 未实现或预留
 u = 未受复位影响

¹ 加电复位后，这个位只能写入一次。其他写入被忽略。

² 复位后这个字节只能写入一次。其他写入被忽略。

图 5-10. 系统电源管理状态和控制寄存器 2 (SPMSC2)

表 5-11. SPMSC2 寄存器字段描述

字段	描述
5 LVDV	低压检测电压选择 — 这个单次写入有效的位选择低压检测（LVD）跳变点设置。它还选择警告电压范围。参见表 5-12。
4 LVWV	低压警告电压选择 — 这个位选择低压警告（LVW）跳变点电压。参见表 5-12。
3 PPDF	局部断电标志 — 这个只读状态位显示 MCU 已经从 STOP2 模式中恢复。 0 MCU 还没有从 STOP2 模式中恢复。 1 MCU 已经从 STOP2 模式中恢复。

6.3 管脚中断

A 端口、B 和 D 管脚可以配置为外部中断输入，或从停止或等待低功耗模式中唤醒 MCU 的外部方式。

各端口中断逻辑的示意图如图 6-2 所示。

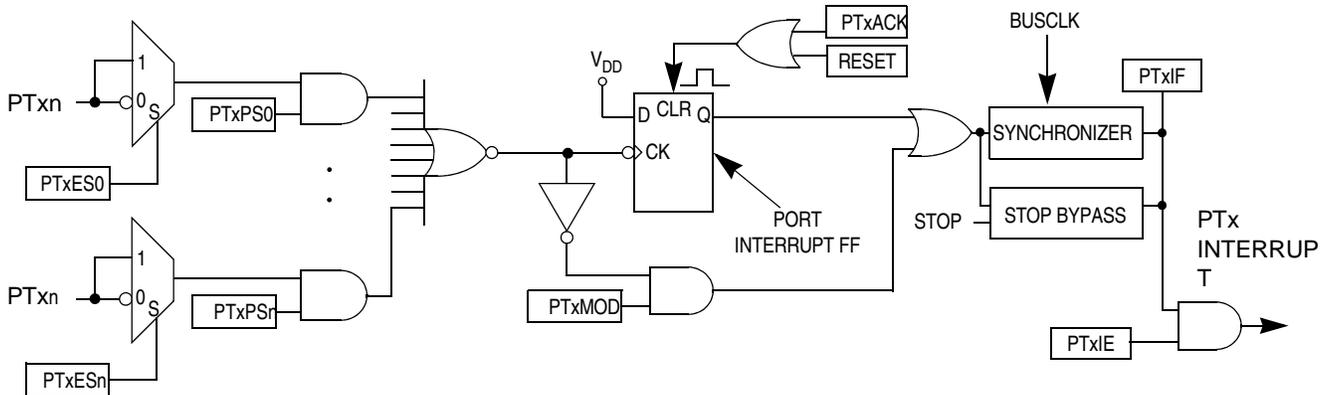


图 6-2. 端口中断示意图

在端口中断管脚选择寄存器（PTxPS）中写入 PTxPSn 位可以独立使能或禁止各端口管脚的中断功能。

边沿敏感可以通过软件编程设定为下降或上升，电平可以为低或高。边沿或者边沿和电平极性敏感度用端口中断边沿选择器（PTxES）中的 PTxESn 位选择。

同步逻辑用来检测边沿。在检测边沿前，已使能的端口输入必须位于无效状态逻辑电平。当端口输入信号在一个总线周期中被视为逻辑 1（无效状态电平），在下一个周期被视为逻辑 0（有效状态电平）时，就能检测到下降边沿。而当输入信号在一个总线周期中被视为逻辑 0，而在下一个周期被视为逻辑 1 时，就能检测到上升边沿。

6.3.1 仅边沿敏感度

使能端口管脚上的有效边沿将置位在 PTxSC 中的 PTxIF 位。如果 PTxSC 中置位了 TxIE，CPU 上会出现中断请求。将 1 写入 PTxSC 中的 PTxACK 位会清除 PTxIF。

6.3.2 边沿和电平敏感度

使能端口管脚上的有效边沿或电平将置位在 PTxSC 中的 PtxIF 位。如果 PTxSC 中设置了 PTxIE，CPU 上会出现中断请求。将 1 写入 PTxSC 中的 PTxACK 会清除 PTxIF，假设所有使能端口输入都位于各自的无效状态电平。在试图通过向 PTxACK 写入 1 来进行清除 PTxIF 时，有效状态仍出现在使能的端口上，PTxIF 仍将保持置位状态。

6.5.1.7 A 端口中断管脚选择寄存器 (PTAPS)

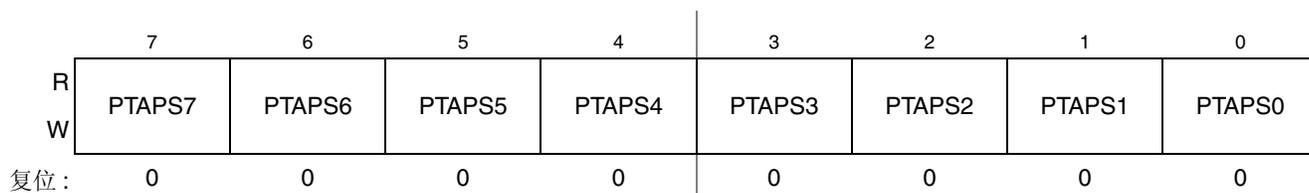


图 6-9. A 端口中断管脚选择寄存器 (PTAPS)

表 6-7. PTAPS 寄存器字段描述

字段	描述
7:0 PTAPS[7:0]	A 端口中断管脚选择 — 每个 PTAPSn 位都使能相应的 A 端口中断管脚。 0 管脚禁止中断。 1 管脚允许中断。

6.5.1.8 A 端口中断边沿选择寄存器 (PTAES)

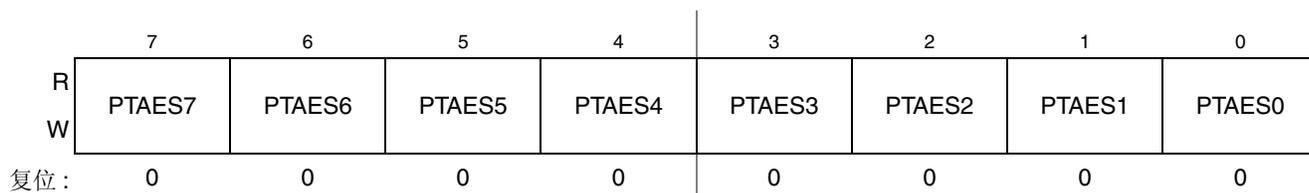


图 6-10. A 端口边沿选择寄存器 (PTAES)

表 6-8. PTAES 寄存器字段描述

字段	描述
7:0 PTAES[7:0]	A 端口边沿选择 — 每个 PTBESn 位都具有双重功能，选择中断边沿的极性以及选择上拉或下拉器件（使能的话）。 0 上拉器件与相关的管脚相连，检测中断生成的下降边沿 / 低电平。 1 下拉器件与相关的管脚相连，检测中断生成的上升边沿 / 高电平。

6.5.2 B 端口寄存器

B 端口由下面列出的寄存器控制。

6.5.2.7 B 端口中断管脚选择寄存器 (PTBPS)

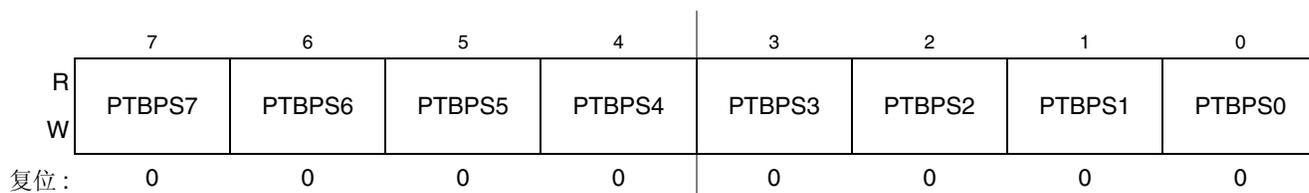


图 6-17. B 端口中断管脚选择寄存器 (PTBPS)

表 6-15. PTBPS 寄存器字段描述

字段	描述
7:0 PTBPS[7:0]	B 端口中断管脚选择 — 每个 PTBPSn 位都能使能相应的 B 端口中断管脚。 0 管脚禁止中断。 1 管脚允许中断。

6.5.2.8 B 端口边沿选择寄存器 (PTBES)

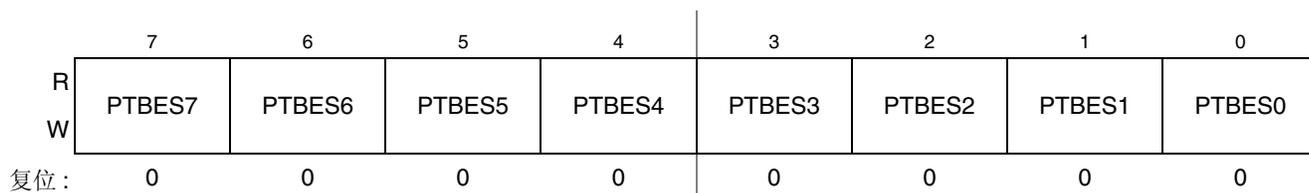


图 6-18. B 端口边沿选择寄存器 (PTBES)

表 6-16. PTBES 寄存器字段描述

字段	描述
7:0 PTBES[7:0]	B 端口边沿选择 — 每个 PTBESn 位都具有双重功能，选择活动中断边沿的极性以及选择上拉或下拉器件（使能的话）。 0 上拉器件与相关的管脚相连，检测中断生成的下降边沿 / 低电平。 1 下拉器件与相关的管脚相连，检测中断生成的上升边沿 / 高电平。

6.5.3 C 端口寄存器

C 端口由下列寄存器控制。

6.5.6.5 F 端口驱动强度选择寄存器 (PTFDS)

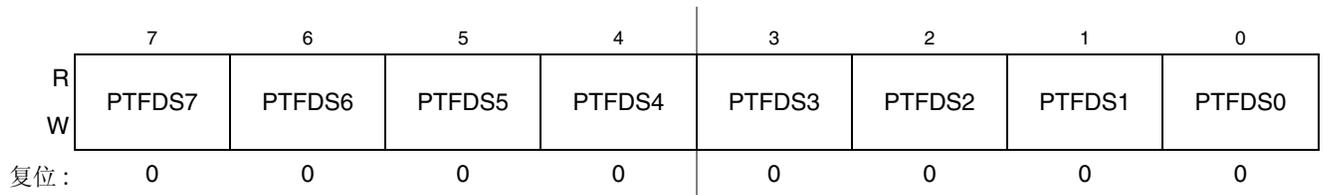


图 6-41. F 端口寄存器驱动强度选择 (PTFDS)

表 6-39. PTFDS 寄存器字段描述

字段	描述
7:0 PTFDS[7:0]	F 端口位的输出驱动强度选择 — 这些控制位为相关的 PTF 管脚选择低输出驱动和高输出驱动。对于配置为输入的 F 端口管脚，这些位不会产生任何影响。 0 F 端口位 - 选择的低输出驱动强度。 1 F 端口位 - 选择的高输出驱动强度。

6.5.7 G 端口寄存器

G 端口由下列寄存器控制。

6.5.7.1 G 端口数据寄存器 (PTGD)

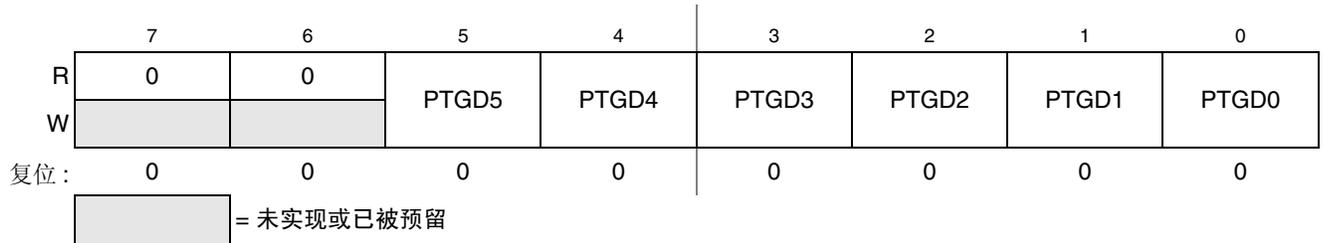


图 6-42. G 端口数据寄存器 (PTGD)

表 6-40. PTGD 寄存器字段描述

字段	描述
5:0 PTGD[5:0]	G 端口数据寄存器位 — 对于配置为输入的 G 端口管脚，读数返回管脚上的逻辑电平。对于配置为输出的 G 端口管脚，读数返回写入寄存器的最后一个值。 写入值被锁定在本寄存器的所有位中。对于配置为输出的 G 端口管脚，逻辑电平被输出到相应的 MCU 管脚。 复位强制 PTGD 都为 0，但是这些 0 未被输出到相应的管脚，因为复位还会将所有端口管脚配置为上拉 / 下拉被禁止的高阻抗输入。

表 7-2. 指令集小结 (第 9 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR							
						V	I	H	I	N	Z	C	
TXS	将索引寄存器转移到 SP SP ← (H:X) - \$0001	INH	94	2	fp	-	1	1	-	-	-	-	-
WAIT	使能中断; 等待中断 I 位 = 0; 暂停 CPU	INH	8F	2+	fp...	-	1	1	-	0	-	-	-

源形式: “源形式” 栏中的所有内容 (斜体字符除外) 都是文字报文, 必须严格按照栏中显示的那样出现在汇编源文件中。开始的 3 到 5 个字母助记符和字符 (#, () 和 +) 通常是文字字符。

n 任何值为 0-7 间的一个整数的标签或表达
opr8i 任何值为 8 位立即值的标签或表达
opr16i 任何值为 16 位立即值的标签或表达
opr8a 任何值为 8 位直接页面地址 (\$00xx) 的标签或表达
opr16a 任何值为 16 位地址的标签或表达
opr8 任何值为不带符号的 8 位值 (用于索引寻址) 的标签或表达
opr16 任何值为 16 位值 (用于索引寻址) 的标签或表达
rel 任何从下一个指令开始, 参考 - 128 至 +127 位置内地址的标签或表达

运算符号:

A 累加器
 CCR 条件码寄存器
 H 索引寄存器高字节
 M 存储器位置
n 任意位
opr 操作数 (1 个或 2 个字节)
 PC 程序计数器
 PCH 程序计数器高字节
 PCL 程序计数器低字节
rel 相关程序计数器偏移字节
 SP 堆栈指针
 SPL 堆栈指针低字节
 X 索引寄存器低字节
 & 和
 | 或
 ^ 异或
 () 内容
 + 加
 - 减, 否 (2 的补数)
 * 乘
 / 除
 # 立即值
 - 加载
 : 级联

CCR 位:

V 溢出位
 H 半进位
 I 中断屏蔽
 N 负数位
 Z 0 位
 C 进位 / 借位

寻址模式:

DIR 直接寻址模式
 EXT 扩展寻址模式
 IMM 立即寻址模式
 INH 固有寻址模式
 IX 有索引、无偏移寻址模式
 IX1 有索引、8 位偏移寻址模式
 IX2 有索引、16 位偏移寻址模式
 IX+ 有索引、无偏移、后增量寻址模式
 IX1+ 有索引、8 位偏移、后增量寻址模式
 REL 相关寻址模式
 SP1 堆栈指针、8 位偏移寻址模式
 SP2 堆栈指针、16 位偏移寻址模式

逐周期代码:

f 空闲周期。这表示 CPU 不需要使用系统总线的周期。
 f 周期通常是系统总线时钟的一个周期, 且总是读取周期。
 程序获取, 从程序内存的下一个连续位置读取
 p 程序获取, 从程序内存的下一个连续位置读取
 r 读取 8 位操作数
 s 推送 (写入) 1 个字节到堆栈
 u 从堆栈上弹出 (读) 一个字节
 v 从 \$FFxx 中读取向量 (高字节优先)
 w 写 8 位操作数

CCR 影响:

↑ 设置或清除
 - 无影响
 U 未定义

10.7 应用报文

本节介绍了在应用中使用 ADC 模块的相关报文。ADC 已被集成到微控制器中，供需要 A/D 转换器的嵌入式控制应用使用。

10.7.1 外部管脚和布线

以下几节讨论与 ADC 模块相关的外部管脚以及为获得最佳结果，应该如何使用它们。

10.7.1.1 模拟电源管脚

ADC 模块有模拟电源和模拟地 (V_{DDAD} 和 V_{SSAD})，在有些器件上它们作为独立管脚。在其余器件上， V_{SSAD} 与 MCU 数字 V_{SS} 共用同一管脚。还有一些器件， V_{SSAD} 和 V_{DDAD} 同时共用 MCU 数字电源管脚。在这些情况下，模拟电源就使用单独的电极极片，与相应的数字电源管脚内部相连，这样电源之间就保持一定程度的隔离。

当作为独立管脚出现时， V_{DDAD} 和 V_{SSAD} 必须连接到与它们相应的 MCU 数字电源 (V_{DD} 和 V_{SS}) 相同的电压水平上，并且在布线时必须小心，以实现最好隔离效果，滤波电容要尽可能靠近芯片布置。

当为模拟和数字电源使用独立的电源时，这些电源间的接地连接必须在 V_{SSAD} 管脚位置。这应当是这些电源间唯一的接地连接（如果可能的话）。 V_{SSAD} 管脚是很好的单点接地位置。

10.7.1.2 模拟参考管脚

除模拟电源外，ADC 模块还与两个参考电压输入连接。高参考是 V_{REFH} ，在有些器件上可能被与 V_{DDAD} 相同的管脚共用。低参考是 V_{REFL} ，在有些器件上可能被与 V_{SSAD} 相同的管脚共用。

当作为独立管脚出现时， V_{REFH} 可能连接到与 V_{DDAD} 相等的电压水平上，或者可能由介于 V_{DDAD} 最小规范和 V_{DDAD} 电平间的外部源驱动 (V_{REFH} 必须不能超过 V_{DDAD})。当作为独立管脚出现时， V_{REFL} 必须连接到与 V_{SSAD} 相同的电压水平上，并且在布线时必须小心，以实现最好隔离效果，滤波电容要尽可能靠近芯片布置。

在每个逐次逼近步骤中用来给电容阵列充电所需的峰值电流型交流电通过 V_{REFH} 和 V_{REFL} 环路获取。满足这一电流要求的最佳外部组件是 0.1mF 电容器，必须有出色的高频特征。该电容器连接 V_{REFH} 和 V_{REFL} ，必须尽可能靠近封装管脚。不建议在电路中使用电阻，因为会导致压降，进而可能导致转换错误。这个路径中的电感必须最小（仅寄生）。

10.7.1.3 模拟输入管脚

外部模拟输入通常与 MCU 器件上的数字 I/O 管脚共用。在管脚控制寄存器中设置相应的控制位就能禁止管脚 I/O 控制。转换也可以在管脚控制寄存器位没设置时进行，建议在把管脚作为模拟输入使用时，最好设置管脚控制寄存器位。这样就可以避免可能的问题，因为输出缓冲器处于高电阻状态，且禁止上拉。此外，当输入缓冲器的输入不在 V_{DD} 或 V_{SS} 时，会消耗 DC 电流。因而为用作模拟输入的所有管脚设置管脚控制寄存器位，可以实现最低的工作电流。

表 12-34. 时段句法

名称	描述
SYNC_SEG	系统希望该时段内在 CAN 总线上出现电平转换。
发送点	正处于发送模式的节点在该点上向 CAN 总线传输一个新值。
采样点	正处于接收模式的节点在该点采样 CAN 总线。如果选择了每位采样三次模式，那么该点标志第三采样点的位置。

同步跳转宽度（如需了解详细报文，参见 Bosch CAN 规范）可以通过设置 SJW 参数，在 1-4 个时间冲量范围内进行编程。

SYNC_SEG、TSEG1、TSEG2 和 SJW 参数通过编程 MSCAN 总线计时寄存器（CANBTR0、CANBTR1）进行设置（参见 12.3.3，“MSCAN 总线计时寄存 0 (CANBTR0)”和 12.3.4，“MSCAN 总线计时寄存器 (CANBTR1)”）。

表 12-35 概括地描述了 CAN 段设置和相关参数值。

注意

用户有责任确保位时间设置遵从 CAN 标准。

表 12-35. 遵从 CAN 标准的位时段设置

时段 1	TSEG1	时段 2	TSEG2	同步跳转宽度	SJW
5 .. 10	4 .. 9	2	1	1 .. 2	0 .. 1
4 .. 11	3 .. 10	3	2	1 .. 3	0 .. 2
5 .. 12	4 .. 11	4	3	1 .. 4	0 .. 3
6 .. 13	5 .. 12	5	4	1 .. 4	0 .. 3
7 .. 14	6 .. 13	6	5	1 .. 4	0 .. 3
8 .. 15	7 .. 14	7	6	1 .. 4	0 .. 3
9 .. 16	8 .. 15	8	7	1 .. 4	0 .. 3

12.5.4 运行模式

12.5.4.1 正常模式

在普通系统模式中，MSCAN 模块如本规范所述运行。

12.5.4.2 特殊模式

在特殊系统模式中，MSCAN 模块如本规范所述运行。

12.5.4.3 仿真模式

在所有仿真模式中，MSCAN 模块如在普通系统模式下一样，如本规范所述运行。

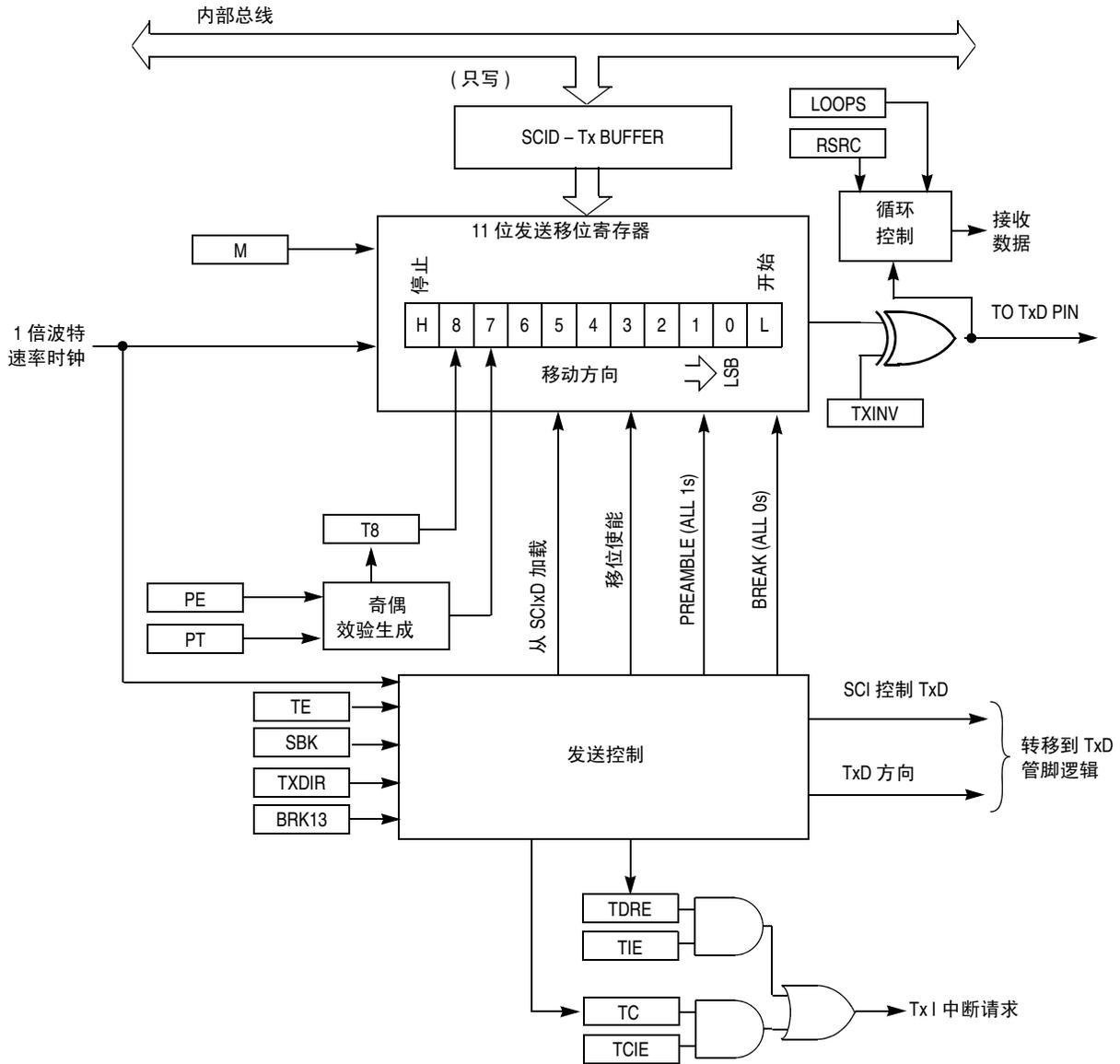


图 14-2. SCI 发射器结构图

14.3.2 发射器功能描述

本小节描述 SCI 发射器的整体结构图，以及发送中断和闲置字符的一些专用功能。发射器结构图如图 14-2。

发射器输出 (TxD) 闲置状态默认为逻辑高态 (复位后 TXINV = 0)。如果 TXINV = 1，发射器输出就被颠倒。通过在 SCiXC2 中设置 TE 位，发射器被使能。这会排队前导信号字符，前导信号字符是闲置状态的一个完整字符帧。发射器然后保持闲置状态，直到发送数据缓冲器中出现数据。通过把数据写入 SCI 数据寄存器 (SCiXD)，程序把数据保存到发送数据缓冲器。

SCI 发射器的中心元件是长度为 10 或 11 位 (取决于 M 控制位中的设置) 的发送移位寄存器。对于本小节的剩余部分，我们假设 M = 0，选择正常的 8 位数据模式。在 8 位数据模式中，移位寄存器中有 1 个起始位、8 个数据位和 1 个停止位。当发送移位寄存器可以用于新 SCI 字符时，在发送数据寄存器中等待的值被传输到移位寄存器 (与波特率时钟同步)，同时设置发送数据寄存器空 (TDRE) 状态标记，显示另外一个字符可以写入 SCiXD 的发送数据缓冲器。

如果停止位移出 TxD 管脚后发送数据缓冲器中没有新字符在等待，发射器设置发送完成标记，进入闲置模式，TxD 处于高态，等待发送更多字符。

将 0 写入 TE 不会立即释放管脚使其成为通用 I/O 管脚。正在进行的任何发送活动必须首先完成，这包括正在发送的数据字符、已进入队列的闲置字符和已进入队列的中止字符。

14.3.2.1 发送中断和排队闲置

SCiXC2 中的 SBK 控制位用来发送中止字符，中止字符最初用来引起旧式电传打字接收器的注意。中止字符是逻辑 0 (10 位时间，包括启动和停止位) 的全字符时间。13 位时间的较长中止字符可以通过设置 BRK13 = 1 进行使能。一般来说，程序要等待 TDRE 进行设置，以显示信息的最后一个字符已经移动到发送移位器，然后依次把 1 和 0 写入 SBK 位。一旦移位器可用，该操作就立即对将发送的中止字符进行排队。如果当已进入队列的中止符进入移位器 (与波特率时钟同步) 时 SBK 仍然为 1，额外的中止字符会进入队列。如果接收器件是另一个飞思卡尔半导体 SCI，中止字符将作为所有 8 个数据位中的 0 进行接收，并出现成帧错误 (FE = 1)。

当使用闲置线路唤醒时，信息之间就需要闲置 (逻辑 1) 的全字符时间，以唤醒正处于睡眠状态的任何接收器。在正常情况下，程序会等待 TDRE 进行设置，显示信息的最后字符已经移动到发送移位器，然后依次把 0 和 1 写入 TE 位。一旦移位器可用，该操作就立即对将发送的闲置字符进行排队。只要 TE = 0 时移位器中的字符没有完成，SCI 发射器永远不会真正放弃 TxD 管脚的控制。如果移位器在 TE = 0 时有完成的可能，则设置通用 I/O 控制，这样与 TxD 共享的管脚就是驱动逻辑 1 的输出。这确保了 TxD 线路看起来像是正常闲置线路，即便在向 TE 写入 0 和 1 的过程中 SCI 失去对端口管脚的控制。

中止字符的长度受 BRK13 和 M 位的影响，如下表所示。

表 14-9. 中止字符长度

BRK13	M	中止字符长度
0	0	10 位时间
0	1	11 位时间
1	0	13 位时间
1	1	14 位时间

14.3.5.2 停止模式运行

在所有停止模式中，SCI 模块的时钟都被暂停。

在 STOP1 和 STOP2 模式中，所有 SCI 寄存器数据丢失，当从这两种停止模式恢复时必须重新初始化。任何 SCI 模块寄存器在 STOP3 模式中都不受影响。

接收输入活动边沿检测电路在 STOP3 模式中仍然是活动的，但在 STOP2 模式中不活动。如果中断未屏蔽（RXEDGIE = 1），接收输入上的活动边沿将把 CPU 带离 STOP3 模式。

注意，由于时钟被暂停，当从停止模式（仅在 STOP3 模式）退出时，SCI 模块会重新开始运行。当 ISC 模块正在发送或接收字符时，软件应确保不会进入停止模式。

14.3.5.3 循环模式

当 LOOPS = 1 时，相同寄存器中的 RSRC 位选择循环模式（RSRC = 0）或单线模式（RSRC = 1）。循环模式独立于外部系统连接，有时用于检查软件，以帮助隔离系统问题。在该模式中，发射器输出内部连接到接收器输入，且 SCI 不使用 RxD 管脚，因此它恢复为通用端口 I/O 管脚。

14.3.5.4 单线运行

当 LOOPS = 1 时，相同寄存器中的 RSRC 位选择循环模式（RSRC = 0）或单线模式（RSRC = 1）。单线模式用来执行半双工串行连接。接收器内部连接到发射器输出和 TxD 管脚。RxD 管脚不使用并恢复为通用端口 I/O 管脚。

在单线模式中，SCIxC3 中的 TXDIR 位控制着 TxD 管脚上的串行数据方向。当 TXDIR = 0 时，TxD 管脚是 SCI 接收器的输入，发射器与 TxD 管脚的连接被暂时断开，因此外部器件就可以向接收器发送串行数据。当 TXDIR = 1 时，TxD 管脚是一个由发射器驱动的输出。在单线模式中，辅发射器到接收器的内部环回连接使接收器接收由发射器发送出来的字符。

当通道被配置用于边缘对齐 PWM (CPWMS=0, MSnB=1 and ELSnB:ELSnA not = 0:0) 时, 数据方向被修改; TPMxCHn 管脚被强制用作受 TPM 控制的输出, 而 ELSnA 控制管脚上 PWM 输出信号的极性。当 ELSnB:ELSnA=1:0 时, TPMxCHn 管脚在每个新周期开始时被强制进入高态 (TPMxCNT=0x0000); 管脚在通道值寄存器与定时器计数器匹配时强制进入低态。当 n ELSnA=1 时, TPMxCHn 管脚在每个新周期开始时被强制进入低态 (TPMxCNT=0x0000); 而管脚在通道值寄存器与定时器计数器匹配时强制进入高态。

TPMxMODH:TPMxMODL = 0x0008
 TPMxCnVH:TPMxCnVL = 0x0005

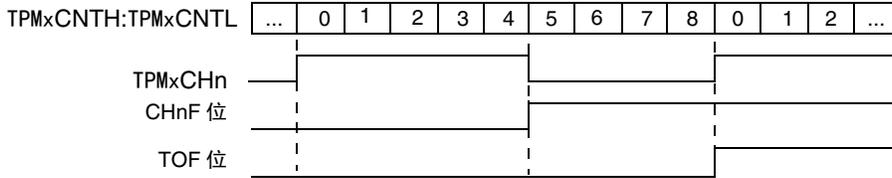


图 16-3. 边缘对齐 PWM 的 High-True 脉冲

TPMxMODH:TPMxMODL = 0x0008
 TPMxCnVH:TPMxCnVL = 0x0005

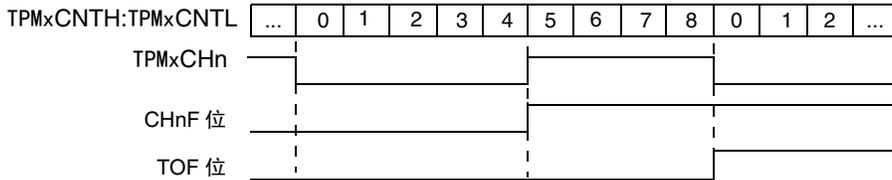


图 16-4. 边缘对齐 PWM 的 Low-True 脉冲

当没有调试盒连接 6- 管脚的 BDM 接口连接器时，BKGD c 的内部上拉会选择正常的操作模式。当调试盒连接到 BKGD 时，可以在 MCU 复位后强制它进入激活背景调试模式。强制激活背景调试的具体条件取决于 HCS08 衍生产品（参见“开发支持”小节介绍）。不必复位目标 MCU 来通过背景调试接口来与之通信。

17.2.2 通信详细介绍

BDC 串行接口需要外部控制器来生成 BKGD 管脚上的下降沿，指示每个位时间的开始。无论数据是发送或接收，外部控制器都会提供这个下降边沿。

BKGD 是伪开漏管脚，可以被外部控制器或 MCU 来驱动。数据以 MSB 先发的形式且以每位 16 个 BDC 时钟周期的速率（标定速率）发送。如果来自主机的下降边沿之间产生 512 BDC 时钟周期，则该接口超时。如果出现超时，任何正在进行的 BDC 命令被中止，对目标 MCU 系统的存储器或操作模式没有影响。

定制串行协议要求调试盒知道目标 BDC 通信时钟速率。

BDC 状态和控制寄存器中的时钟开关 (CLKSW) 控制位允许用户选择 BDC 时钟源。BDC 时钟源可以是总线，或备用的 BDC 时钟源。

BKGD 管脚可以接收高或低电平，或发送高或低电平。下图显示了每种情况的时序。接口时序与目标 BDC 中的时钟同步，但是与外部主机异步。显示的内部 BDC 时钟信号是计数周期的参考。

图 17-2 显示了外部主机将逻辑 1 或 0 发送到目标 HCS08 MCU 的 BKGD 管脚。主机与目标异步，因此主机生成的 BKGD 下降边沿与目标所认为的位时间起始点有 0- 到 -1 周期的延迟。10 个目标 BDC 时钟周期后，目标获得 BKGD 管脚的电平。一般地，主机在主机到目标方向的传输过程中驱动 BKGD 管脚，以加快上升边沿。由于目标在主机至目标方向的传输周期中不驱动 BKGD 管脚，因此没有必要在此期间将线路作为开漏信号。

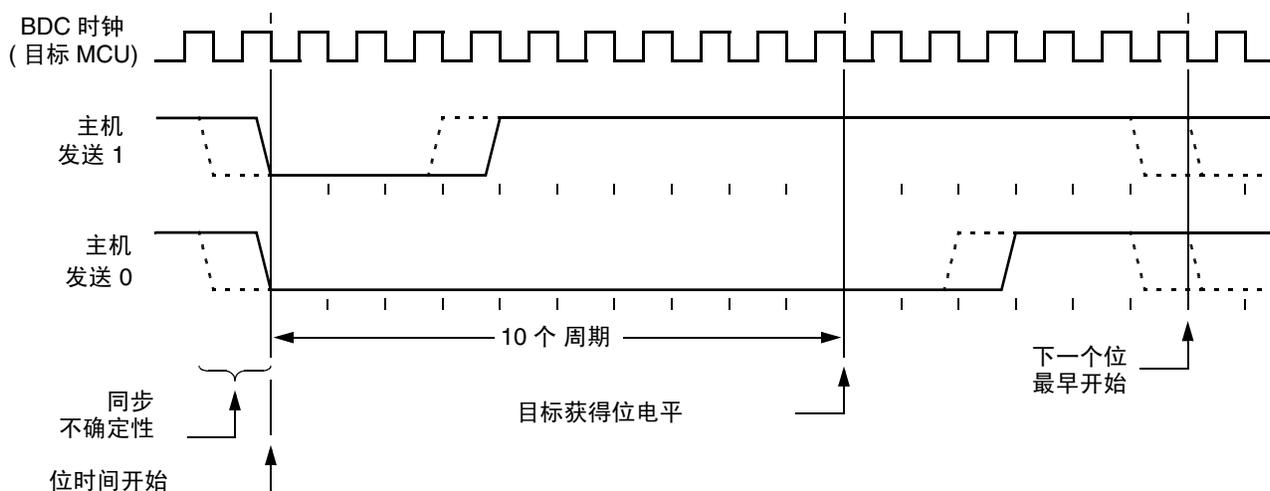


图 17-2. BDC 主机到目标方向串行位时序

A.9 ADC 特性

表 A-9. 12 位 ADC 操作条件

特性	条件	符号	最小值	典型值 ¹	最大值	单位	注释
电源电压	绝对	V_{DDAD}	2.7	—	5.5	V	
	Delta to V_{DD} ($V_{DD}-V_{DDAD}$) ²	DV_{DDAD}	-100	0	+100	mV	
接地电压	Delta to V_{SS} ($V_{SS}-V_{SSAD}$) ²	DV_{SSAD}	-100	0	+100	mV	
参考电压 高		V_{REFH}	2.7	V_{DDAD}	V_{DDAD}	V	仅在 64 管脚封装中适用 { $V_{REFH} < V_{DDAD}$ 描述性的, 未在生产中测试}
参考电压 低		V_{REFL}	V_{SSAD}	V_{SSAD}	V_{SSAD}	V	不适用于 64 管脚封装 (只适用于 32 和 48 管脚封装)
输入电压		V_{ADIN}	V_{REFL}	—	V_{REFH}	V	
输入电容		C_{ADIN}	—	4.5	5.5	pF	
输入电阻		R_{ADIN}	—	3	5	k Ω	
模拟信号源电阻	12 位模式 $f_{ADCK} > 4\text{MHz}$ $f_{ADCK} < 4\text{MHz}$	R_{AS}	—	—	2	k Ω	MCU 外部
	10 位模式 $f_{ADCK} > 4\text{MHz}$ $f_{ADCK} < 4\text{MHz}$		—	—	5		
	8 位模式 (所有有效 f_{ADCK})		—	—	10		
ADC 转换时钟频率	高速 (ADLPC=0)	f_{ADCK}	0.4	—	8.0	MHz	
	低速 (ADLPC=1)		0.4	—	4.0		

¹ 典型值假设 $V_{DDAD} = 5.0\text{V}$ 、温度 = 25°C、 $f_{ADCK} = 1.0\text{MHz}$ ，除非另有其他说明。典型值仅用于参考，并在生产中测试。

² DC 潜在差。

A.13 闪存和 EEPROM

本小节详细地描述闪存和 EEPROM 存储器的编程 / 擦除次数及编程 - 擦除容限。

编程和擦除操作除正常 V_{DD} supply 电源外不需要任何特殊电源。有关编程 / 擦除操作的更多信息，请参见第 4 章，“存储器”。

表 A-17. 闪存和 EEPROM 特性

编号	C	参数	符号	最小值	典型值	最大值	单位
16	—	编程 / 擦除的电源电压	$V_{\text{prog/erase}}$	2.7		5.5	V
17	—	读取操作的电源电压 $0 < f_{\text{Bus}} < 8 \text{ MHz}$ $0 < f_{\text{Bus}} < 20 \text{ MHz}$	V_{Read}	2.7		5.5	V
18	—	内部 FCLK 频率 ¹	f_{FCLK}	150		200	kHz
19	—	内部 FCLK 时间 (1/FCLK)	t_{Fcyc}	5		6.67	μs
20	—	字节编程时间 (任意位置) ⁽²⁾	t_{prog}	9			t_{Fcyc}
21	—	字节编程时间 (突发模式) ⁽²⁾	t_{Burst}	4			t_{Fcyc}
22	—	页面擦除时间 ²	t_{Page}	4000			t_{Fcyc}
23	—	块擦除时间 ⁽²⁾	t_{Mass}	20,000			t_{Fcyc}
24	C	闪存编程 / 擦除次数 ³ T_L 至 $T_H = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $T = 25^\circ\text{C}$	n_{FLPE}	10,000 —	— 100,000	— —	cycles
25	C	编程 / 擦除次数 ³ T_L 至 $T_H = -40^\circ\text{C}$ to $+0^\circ\text{C}$ T_L to $T_H = 0^\circ\text{C}$ to $+125^\circ\text{C}$ $T = 25^\circ\text{C}$	n_{EEPE}	10,000 50,000 —	— — 100,000	— — —	cycles
26	C	数据保留时间 ⁴	$t_{\text{D_ret}}$	15	100	—	years

¹ 该时钟的频率由软件设置控制。

² 这些值是硬件状态设备控制的值。用户代码无需计周期数。提供该信息的目的是为了计算编程和擦除的大约时间。

³ 闪存和 EEPROM 的典型容限基于内在的位元性能。有关飞思卡尔半导体如何定义典型容限的更多信息，请参考 Engineering Bulletin EB619，非易失性存储器的典型容限。

⁴ 典型数据保留时间值基于在高温时测量的技术的内在能力，并使用阿伦尼乌斯公式降到 25°C 。有关飞思卡尔半导体如何定义典型数据保留时间的更多信息，请参考 Engineering Bulletin EB618，非易失性存储器的典型数据保留时间。