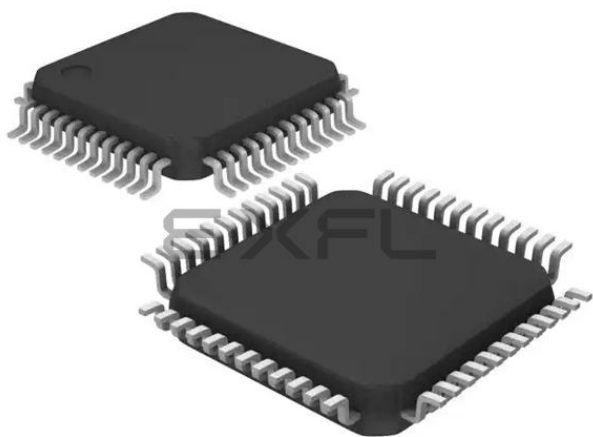




Welcome to [E-XFL.COM](#)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	39
Program Memory Size	16KB (16K x 8)
Program Memory Type	FLASH
EEPROM Size	512 x 8
RAM Size	1K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 16x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 85°C (TA)
Mounting Type	Surface Mount
Package / Case	48-LQFP
Supplier Device Package	48-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz16ac1f

章节号	标题	页码
8.2.2	运行模式	131
8.3	外部信号描述	131
8.4	寄存器定义	131
8.4.1	MCG 控制寄存器 1 (MCGC1)	131
8.4.2	MCG 控制寄存器 2 (MCGC2)	132
8.4.3	MCG 修正寄存器 (MCGTRM)	133
8.4.4	MCG 状态和控制寄存器 (MCGSC)	134
8.4.5	MCG Control Register 3 (MCGC3)	135
8.5	特性描述	136
8.5.1	运行模式	136
8.5.2	模式切换	140
8.5.3	总线分频器	140
8.5.4	低功率位使用	140
8.5.5	内部参考时钟	141
8.5.6	外部参考时钟	141
8.5.7	固定频率时钟	141
8.6	初始化 / 应用报文	141
8.6.1	MCG 模块初始化顺序	142
8.6.2	MCG 模式切换	143
8.6.3	校准内部参考时钟 (IRC)	154

第 9 章 模拟比较器 (S08ACMPV3)

9.1	介绍	157
9.1.1	ACMP 配置报文	157
9.1.2	特性	159
9.1.3	运行模式	159
9.1.4	结构图	160
9.2	外部信号描述	160
9.3	存储器映射 / 寄存器定义	161
9.3.1	ACMPx 状态和控制寄存器 (ACMPxSC)	161
9.4	功能描述	162

第 10 章 数模转换器 (S08ADC12V1)

10.1	介绍	163
10.1.1	模拟功率和接地信号名称	163
10.1.2	信道分配	163
10.1.3	替代时钟	164
10.1.4	硬件触发	165
10.1.5	温度传感器	165
10.2.6	特性	167

表 3-1 列出了影响停止模式选择的所有控制位及各种条件下选择的模式。被选择的模式在执行一个 STOP 指令后进入。

表 3-1. 停止模式选择

STOPE	ENBDM ¹	LVDE	LVDSE	PPDC	停止模式
0	x	x	x	x	停止模式被禁用：如果执行了 STOP 指令，则进行非法 Opcode 代码复位
1	1	x	x	x	Stop3 模式，BDM 被启用 ²
1	0	两个位都必须为 1	x	x	Stop3 模式，电压调节器处于活动状态
1	0	其中一个位为 0	0	0	Stop3 模式
1	0	其中一个位为 0	1	1	Stop2 模式

¹ ENBDM 位于 BDCSCR（只能通过 BDC 命令访问）中。详细信息请参见第 17.4.1.1 部分“BDC 状态和控制寄存器（BDCSCR）”。

² 处于 Stop3 模式而且 BDM 被启用时，因为启用了内部时钟，SIDD 将接近 RIDD 水平。

3.6.1 Stop3 模式

Stop3 模式通过表 3-1 所述条件下执行 STOP 指令进入。所有此时的内部寄存器和逻辑、RAM 内容和 I/O 管脚状态都被维持。

从 Stop3 模式中退出的操作通过 RESET 管脚或异步中断脚实现。这些异步中断脚包括 IRQ、PIA0 ~ PIA7、PIB0 ~ PIB7 和 PID0 ~ PID7。从 Stop3 模式中退出的操作也可以通过低压检测（LVD）复位、低压警告（LVW）中断、ADC 转换完成中断、实时时钟（RTC）中断、MSCAN 唤醒中断或 SCI 接收器中断完成。

如果通过 RESET 脚的方式退出 Stop3 模式，MCU 将复位，操作将在获取复位向量后恢复。如果通过中断的方式退出，MCU 将获取相应的中断向量。

3.6.1.1 在 Stop3 模式中启用 LVD

在电源电压下降到 LVD 电压以下时，LVD 系统可以生成一个中断或复位。在 CPU 执行 STOP 指令时，如果 LVD 在停止模式下被启用（SPMSC1 中的 LVDE 和 LVDSE 位均被设置），那么内部稳压器在停止模式下将继续保持活动状态。

要使 ADC 正常运行，LVD 必须在进入 Stop3 时处于启用状态。

3.6.1.2 在 Stop3 模式中启用活动 BDM

如果 BDCSCR 中设置了 ENBDM，将启用从运行模式进入主动后台模式的操作。该寄存器在第 17 章，“开发支持”。中有详细描述。如果 CPU 执行 STOP 指令时设置了 ENBDM，连接到后台调试逻辑的系统时钟将在 MCU 进入停止模式时继续保持活动状态。因此，这种情况下后台调试通信仍可进行。此外，内部稳压器不会进入低功耗待机状态，而保持正常工作。

大多数后台命令在停止模式不能使用。带状态内存访问命令不允许内存访问，但它们会上报错误，指出 MCU 处于停止或等待模式。可以使用后台命令将 MCU 从停止模式中唤醒并进入主动后台模式（如果 ENBDM 位已设置）。进入后台调试模式后，所有后台命令都可以使用。

表 5-5. SOPT1 寄存器字段描述

字段	描述
4 SCI2PS	SCI2 管脚选择 — 这个单次写入有效的位选择 SCI2 模块的 RxD2 和 TxD2。 0 TxD2 在 PTF0 上, RxD2 在 PTF1 上。 1 TxD2 在 PTE6 上, RxD2 在 PTE7 上。
3 IICPS	IIC 管脚选择 — 这个单次写入有效的位选择 IIC 模块的 SCL 和 SDA 管脚的位置。 0 SCL 在 PTF2 上, SDA 在 PTF3 上。 1 SCL 在 PTE4 上, SDA 在 PTE5 上。

表 5-6. COP 配置选项

控制位		时钟源	COP 窗口 ¹ 打开 (COPW = 1)	COP 溢出计数
COPCLKS	COPT[1:0]			
无	0:0	无	无	COP 禁止
0	0:1	1 kHz	无	2 ⁵ 周期 (32 ms ²)
0	1:0	1 kHz	无	2 ⁸ 周期 (256 ms ¹)
0	1:1	1 kHz	无	2 ¹⁰ 周期 (1.024 s ¹)
1	0:1	总线	6144 周期	2 ¹³ 周期
1	1:0	总线	49,152 周期	2 ¹⁶ 周期
1	1:1	总线	196,608 周期	2 ¹⁸ 周期

¹ 窗口化 COP 操作要求用户清除所选超时周期后 25% 时间内的 COP 定时器。本栏显示在窗口化 COP 模式中，在 COP 定时器复位前必须提供的时钟最小计数。

² 数值采用毫秒单位，并且 t_{LPO} = 1 ms。该值的容限请参见 A.12.1，“控制时序”里的 t_{LPO}。

5.8.5 系统选项寄存器 2 (SOPT2)

这个高页寄存器包含在 MC9S08DZ60 系列器件上配置 MCU 特定功能的位。

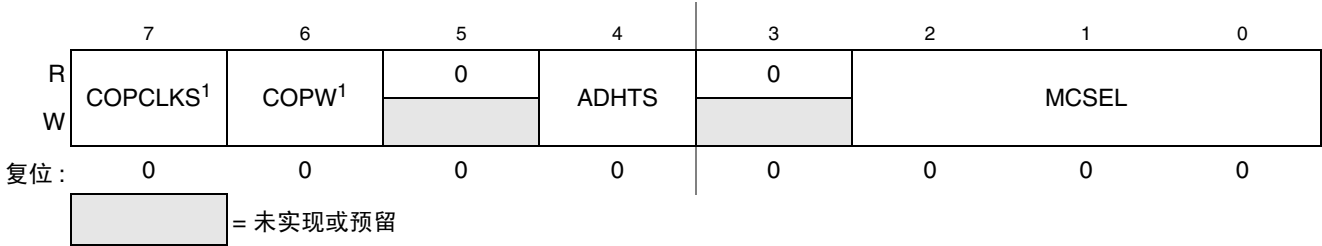


图 5-6. 系统选项寄存器 2 (SOPT2)

¹ 复位后该位只可以写入一次（write-once）。其他写入被忽略。

6.3.3 上拉/下拉电阻器

使用相关 I/O 端口上拉使能寄存器，可以配置端口中断管脚来使用内部上拉/下拉电阻器。如果内部电阻器使能，则使用 PTxES 寄存器选择电阻器是上拉（PTxESn = 0）还是下拉（PTxESn = 1）。

6.3.4 管脚中断初始化

第一次使能中断管脚时，可能会得到一个错误的中断标记。要防止管脚中断初始化期间的错误中断请求，用户应遵循以下步骤：

1. 清除 PTxSC 里的 PTxACK，屏蔽中断；
2. 在 PTxES 中设置适当的 PTxESn 位，选择管脚极性；
3. 如果使用内部上拉/下拉器件，在 PTxPE 中配置相关的使能位；
4. 在 PTxPS 中设置适当的 PTxPSn 位，使能中断管脚；
5. 在 PTxSC 中写入 PTxACK，清除所有错误中断；
6. 在 PTxSC 中置位 PTxIE，使能中断；

6.4 停止模式中的管脚行为

执行 STOP 指令后的管脚行为取决于进入的停止模式。不同停止模式的管脚行为的解释如下：

- STOP2 模式是局部断电模式，其中 I/O 寄存器保持执行 STOP 指令前的状态。执行 STOP 指令使 MCU 进入 STOP2 模式前，应将 CPU 寄存器状态和 I/O 寄存器状态保存在 RAM 中。在从 STOP2 模式恢复时，用户访问任何 I/O 前，都应检查 SPMSC2 寄存器里的 PPDF 位状态。如果 PPDF 位是 0，I/O 必须按发生过上电复位那样进行初始化。如果 PPDF 位是 1，外围设备可能要求通过初始化恢复为它们的停止前状态。如果执行 STOP 指令前数据已保留在 RAM 中，就可以完成上述操作。然后用户必须向 SPMSC2 寄存器中的 PPDACK 位写入 1。现在，用户应用程序再次被允许访问 I/O。
- STOP3 模式保留了所有 I/O，因为内部逻辑电路处于通电状态。恢复时，用户可以使用正常的 I/O 功能。

6.5 并行 I/O 和管脚控制寄存器

本节介绍与并行 I/O 端口相关的寄存器报文。数据和数据方向寄存器位于存储器映射的 0 页面中。上拉、斜率、驱动强度和中断控制寄存器都位于存储器映射的高页部分。

如需了解所有并行 I/O 及其管脚控制寄存器的绝对地址分配报文，请参见本产品说明的第 4 章，“存储器”中的表格。本节只按照寄存器和控制位的名称参考寄存器和控制位。飞思卡尔提供的等式或头文件一般用来把这些名称转换到适当的绝对地址。

6.5.1 A 端口寄存器

A 端口由下面列出的寄存器控制。

6.5.7.2 G 端口数据方向寄存器 (PTGDD)



图 6-43. G 端口数据方向寄存器 (PTGDD)

表 6-41. PTGDD 寄存器字段描述

字段	描述
5:0 PTGDD[5:0]	G 端口位的数据方向 — 这些读 / 写位控制着 G 端口管脚的方向以及为 PTGD 读数读取的内容。 0 输入（输出驱动被禁止），读数返回管脚值。 1 G 端口位 - 输出驱动使能，PTGD 读数返回 PTGDn 内容。

6.5.7.3 G 端口上拉使能寄存器 (PTGPE)

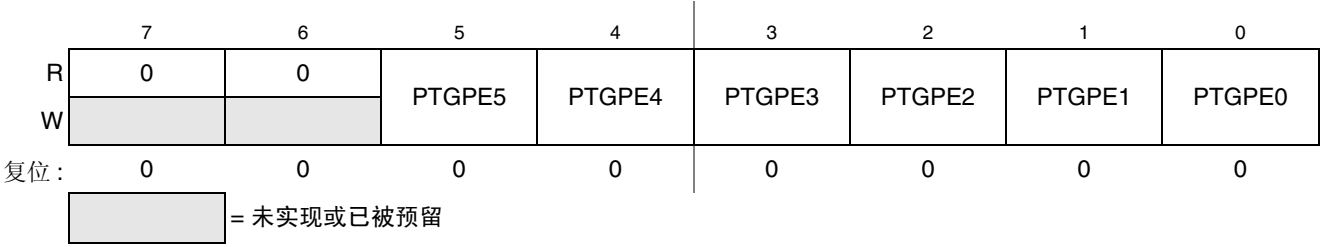


图 6-44. G 端口寄存器内部上拉使能 (PTGPE)

表 6-42. PTGPE 寄存器字段描述

字段	描述
5:0 PTGPE[5:0]	G 端口的内部上拉使能位 — 这些控制位决定着是否为相关的 PTG 管脚使能内部上拉器件。对于配置为输出的 G 端口管脚，这些位不会产生影响，同时内部拉器件被禁止。 0 G 端口位 - 内部上拉器件被禁止。 1 G 端口位 - 内部上拉器件使能。

注意

只有当使用管脚中断功能且配置了相应的边沿选择和管脚选择功能时，才能使用下拉器件。

7.4 特殊运算

CPU 执行一些特殊运算，这些运算和指令类似，但不像其他 CPU 指令那样有操作码。此外，有些指令，如 STOP 和 WAIT，还会直接影响其他 MCU 电路。本节提供了有关这些运算报文。

7.4.1 复位顺序

上电复位 (POR) 事件、内部条件 (如 COP 看门狗) 或外部低效复位管脚有效状态等都可以导致复位。发生复位事件时，CPU 立即停止正在处理的任何操作 (MCU 在响应复位事件前，无需等待指令边界)。如需了解 MCU 如何识别复位和决定源的详细信息，请参见“复位，中断和系统配置”章。

当确定复位是否来自内部源的顺序已经确定且复位管脚的电平不再处于复位有效状态时，复位事件就视为已经结束。复位事件结束后，CPU 执行一个 6 周期顺序，从 0xFFFFE 和 0xFFFF 中获取复位向量，并填写指令队列，为执行第一个程序指令做准备。

7.4.2 中断时序

发生中断请求时，CPU 在响应中断前会完成当前指令。此时，程序计数器指向下一个指令的开始位置，这个位置也是 CPU 完成中断操作后的返回位置。CPU 通过执行与软件中断 (SWI) 指令一样的运算顺序响应中断，但不同的是，用于向量获取的地址由中断时序开始时处于等待状态优先级最高的中断决定。

CPU 中断的时序为：

1. 把 PCL、PCH、X、A 和 CCR 的内容顺序保存到堆栈上；
2. 在 CCR 中设置 I 位；
3. 获取中断向量高阶部分；
4. 获取中断向量低阶部分；
5. 延迟一个空闲总线周期；
6. 获取从中断向量显示的地址开始的 3 个字节程序报文来填写指令队列，为执行中断服务程序的第一个指令做好准备。

当 CCR 内容被推送到堆栈后，在 CCR 中 I 位被置位，防止中断服务程序中出现其他中断。尽管可以用中断服务程序的指令来清除 I 位，但这样会发生中断嵌套 (不推荐使用该方法，因为它会让程序难以调试和维护)。

为了实现与早期 M68HC05 的兼容，H:X 索引寄存器对 (H) 的高阶部分未作为中断顺序的一部分保存在堆栈上。用户必须在服务程序开始时使用 PSHH 指令来保存 H，然后在结束中断服务程序的 RTI 前使用 PULH 指令。如果您确定中断服务程序不使用任何指令或可能修改 H 值的自动增量寻址模式，就没有必要保存 H。

软件中断 (SWI) 指令类似硬件中断，只是它不是由 CCR 中的全局 I 位进行屏蔽，它与程序中的指令操作码有关，因此它不同步于程序执行。

8.4.4 MCG 状态和控制寄存器 (MCGSC)

	7	6	5	4	3	2	1	0
R	LOLS	LOCK	PLLST	IREFST	CLKST		OSCINIT	FTRIM
W								
POR:	0	0	0	1	0	0	0	0
复位:	0	0	0	1	0	0	0	U

图 8-6. MCG 状态和控制寄存器 (MCGSC)

表 8-4. MCG 状态和控制寄存器字段描述

字段	描述
7 LOLS	锁定状态丢失 — 该位是 FLL 或 PLL 锁定状态的标志。当锁定检测使能时，并且时钟已经锁定所定时，就设置 LOLS。锁定后，PLL 或 PLL 输出频率超出未锁定频率容限 D _{unl} 的范围。当 LOLIE 置位时，它决定是否在设置了 LOLS 时发送中断请求。当设置了 LOLS 时，可以通过复位或向 LOLS 写入逻辑 1 的方式清除 LOLS。向 LOLS 写入逻辑 0 不会产生影响。 0 自从上次清除 LOLS 以来，FLL 或 PLL 没有丢失锁定。 1 自从上次清除 LOLS 以来，FLL 或 PLL 丢失锁定。
6 LOCK	锁定状态 — 显示 FLL 或 PLL 是否已获得锁定。当 PLL 和 FLL 都被禁止时，锁定检测也被禁止。如果设置了锁定状态位，那么修改 IREFS、PLLS、RDIV[2:0]、TRIM[7:0]（如果为 FEI 或 FBI 模式）或 VDIV[3:0]（如果为 PBE 或 PEE 模式）中的任何一个值都可能造成锁定状态位清除，并在 FLL 或 PLL 重新获得锁定之前一直保持清除状态。进入停止模式也会造成锁定状态位清除，并在 FLL 或 PLL 重新获得锁定之前一直保持清除状态。进入 BLPI 或 BLPE 模式也会造成锁定状态位清除，并在 MCG 退出这些模式前一直保持清除状态，直到 FLL 或 PLL 重新获得锁定。 0 FLL 或目前未被锁定。 1 FLL 或目前被锁定。
5 PLLST	选择状态 — PLLST 位显示 PLLS 时钟的当前源。由于时钟域间的内部同步，在向 PLLS 位进行写入后，PLLST 位不会立即更新。 0 PLLS 时钟源是 FLL 时钟 1 PLLS 时钟源是 PLL 时钟
4 IREFST	内部参考状态 — IREFST 位显示当前参考时钟的源。由于时钟域间的内部同步，在向 IREFST 位进行写入后，IREFS 位不会立即更新。 0 参考时钟源是外部参考时钟（振荡器或外部时钟源由 MCGC2 寄存器中的 EREFS 位决定） 1 参考时钟源是内部参考时钟
3:2 CLKST	时钟模式状态 — CLKST 位显示当前时钟模式。由于时钟域间的内部同步，在向 CLKST 位进行写入后，CLKS 位不会立即更新。 00 Encoding 0 — 选择 FLL 输出 01 Encoding 1 — 选择内部参考时钟 10 Encoding 2 — 选择外部参考时钟 11 Encoding 3 — 选择 PLL 输出
1 OSCINIT	OCS 初始化 — 如果 ERCLKEN 选择了外部参考时钟源或者 MCG 正处于 FEE、FBE、PEE、PBE 或 BLPE 模式，并且设置了 EREFS，那么在完成了外部振荡器时钟的初始化周期后就要设置该位。只有当 EREFS 被清除或者 MCG 处于 FEI、FBI 或 BLPI 模式且 ERCLKEN 被清除时，这个位才被清除。
0 FTRIM	MCG 微调 — 控制内部参考时钟频率最细微的调节。设置 FTRIM 会以最小的幅度延长该时段，清除 FTRIM 会以最小的幅度缩短该时段。 如果保存在非易失性存储器中 FTRIM 值被使用，用户有责任将这个值从非易失性存储器位置复制到该寄存器的 FTRIM 位上。

8.5.1.4 FLL Bypassed External (FBE)

在 FLL Bypassed External (FBE) 模式中, MCGOUT 时钟来自外部参考时钟, FLL 处于运行状态但其输出时钟未使用。该模式对允许 FLL 获得目标频率非常有用, 同时 MCGOUT 时钟由内部参考时钟驱动。

当满足以下条件时就进入 FLL Bypassed External 模式:

- CLKS 位写入 10
- IREFS 位写入 0
- PLLS 位写入 0
- 位写入介于 31.25 kHz- 39.0625 kHz 频率范围内的分频参考时钟。
- LP 位写入 0

在 FLL Bypassed External 模式中, MCGOUT 时钟源自 FLL 时钟。使能的外部参考时钟可以是外部晶体 / 谐振器, 也可以是另外一个外部时钟源。FLL 时钟由外部参考时钟控制, FLL 时钟频率是由 RDIV 位选择的参考频率的 1024 倍。MCGLCLK 来自 FLL, PLL 被禁止处于低功率状态。

注意

可以用大于指定最大频率的 FLL 参考时钟频率在 FBE 模式中短时间运行。这在使用频率大于 5 MHz 的外部晶体运行于 PEE 模式中是必需的。如需了解详细的示例信息, 请参见 8.6.2.4, “示例 4: 从 FEI 转换到 PEE 模式: 外部晶体 = 8 MHz、总线频率 = 8 MHz”。

8.5.1.5 PLL Engaged External (PEE)

当满足以下条件时就进入 PLL Engaged External (PEE) 模式:

- CLKS 位写入 00
- IREFS 位写入 0
- PLLS 位写入 1
- RDIV 位写入介于 1 MHz - 2 MHz 频率范围内的分频参考时钟。

在 PLL Engaged External 模式中, MCGOUT 时钟源自 PLL 时钟, 由外部参考时钟控制。使能的外部参考时钟可以是外部晶体 / 谐振器, 也可以是另外一个外部时钟源。PLL 时钟频率是参考频率 (RDIV 位所选) 和倍频因子 (VDIV 位所选) 乘积。如果使能 BDM, MCGLCLK 值就是 DCO 除以 2 (开放环路模式) 的得数。如果禁止 BDM, 那么 FLL 被禁止且处于低功率状态。

8.5.1.6 PLL Bypassed External (PBE)

在 PLL Bypassed External (PBE) 模式中, MCGOUT 时钟源自外部参考时钟, PLL 处于运行状态但其输出时钟未使用。该模式对允许 PLL 获得目标频率非常有用, 同时 MCGOUT 时钟由内部参考时钟驱动。

在 8 位模式中，比较过程中不使用 ADCCVH。

10.4.5 比较值低地址寄存器 (ADCCVL)

寄存器包含 12 位或 10 位比较值的低 8 位或者 8 位比较值的所有 8 位。位 ADCV7:ADCV0 与 12 位、10 位或 8 位模式转换结果的低 8 位进行比较。

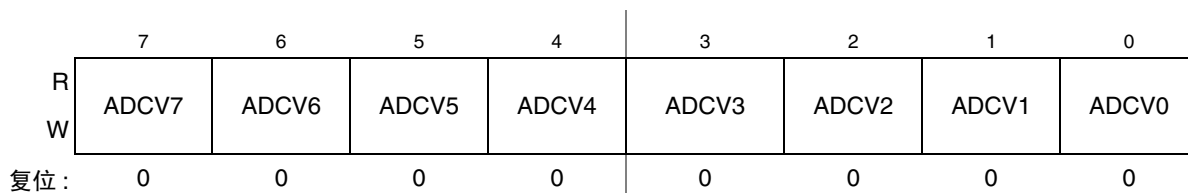


图 10-9. 比较值低地址寄存器 (ADCCVL)

10.4.6

10.4.7 配置寄存器 (ADCCFG)

ADCCFG 用来选择运行模式、时钟源、时钟分频、低功率或长采样时间配置。

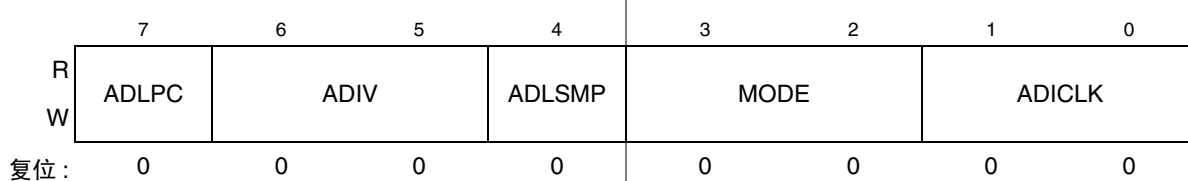


图 10-10. 配置寄存器 (ADCCFG)

表 10-5. ADCCFG 寄存器字段描述

字段	描述
7 ADLPC	低功率配置 — ADLPC 控制逐次逼近转换器的速度和功率配置。当不需要更高采样率时，ADLPC 可以用来优化功耗。 0 高速配置 1 低功率配置：{FC31} 功率的降低以最大时钟速度为代价。
6:5 ADIV	时钟分频选择 — ADIV 选择 ADC 生成内部时钟 ADCK 所使用的分频率。 表 10-6 显示了可用时钟配置。
4 ADLSMP	长采样时间配置 — ADLSMP 选择长采样时间和短采样时间。这样可以调节采样时间，实现对高抗阻输入的精确采样，或者最大限度地提高对低抗阻输入的转换速度。如果在连续转换模式下不需要高转换速率，更长的采样时间还可以用来降低整体功耗。 0 短采样时间 1 长采样时间
3:2 模式	转换模式选择 — MODE 位用来选择是 12、10 或 8 位转换。请参见表 10-7。
1:0 ADICLK	输入时钟选择 — ADICLK 位选择生成内部时钟 ADCK 的输入时钟源。请参见表 10-8。

10.7 应用报文

本节介绍了在应用中使用 ADC 模块的相关报文。ADC 已被集成到微控制器中，供需要 A/D 转换器的嵌入式控制应用使用。

10.7.1 外部管脚和布线

以下几节讨论与 ADC 模块相关的外部管脚以及为获得最佳结果，应该如何使用它们。

10.7.1.1 模拟电源管脚

ADC 模块有模拟电源和模拟地 (V_{DDAD} 和 V_{SSAD})，在有些器件上它们作为独立管脚。在其余器件上， V_{SSAD} 与 MCU 数字 V_{SS} 共用同一管脚。还有一些器件， V_{SSAD} 和 V_{DDAD} 同时共用 MCU 数字电源管脚。在这些情况下，模拟电源就使用单独的电极极片，与相应的数字电源管脚内部相连，这样电源之间就保持一定程度的隔离。

当作为独立管脚出现时， V_{DDAD} 和 V_{SSAD} 必须连接到与它们相应的 MCU 数字电源 (V_{DD} 和 V_{SS}) 相同的电压水平上，并且在布线时必须小心，以实现最好隔离效果，滤波电容要尽可能靠近芯片布置。

当为模拟和数字电源使用独立的电源时，这些电源间的接地连接必须在 V_{SSAD} 管脚位置。这应当是这些电源间唯一的接地连接（如果可能的话）。 V_{SSAD} 管脚是很好的单点接地位置。

10.7.1.2 模拟参考管脚

除模拟电源外，ADC 模块还与两个参考电压输入连接。高参考是 V_{REFH} ，在有些器件上可能被与 V_{DDAD} 相同的管脚共用。低参考是 V_{REFL} ，在有些器件上可能被与 V_{SSAD} 相同的管脚共用。

当作为独立管脚出现时， V_{REFH} 可能连接到与 V_{DDAD} 相等的电压水平上，或者可能由介于 V_{DDAD} 最小规范和 V_{DDAD} 电平间的外部源驱动 (V_{REFH} 必须不能超过 V_{DDAD})。当作为独立管脚出现时， V_{REFL} 必须连接到与 V_{SSAD} 相同的电压水平上，并且在布线时必须小心，以实现最好隔离效果，滤波电容要尽可能靠近芯片布置。

在每个逐次逼近步骤中用来给电容阵列充电所需的峰值电流型交流电通过 V_{REFH} 和 V_{REFL} 环路获取。满足这一电流要求的最佳外部组件是 0.1mF 电容器，必须有出色的高频特征。该电容器连接 V_{REFH} 和 V_{REFL} ，必须尽可能靠近封装管脚。不建议在电路中使用电阻，因为会导致压降，进而可能导致转换错误。这个路径中的电感必须最小（仅寄生）。

10.7.1.3 模拟输入管脚

外部模拟输入通常与 MCU 器件上的数字 I/O 管脚共用。在管脚控制寄存器中设置相应的控制位就能禁止管脚 I/O 控制。转换也可以在管脚控制寄存器位没设置时进行，建议在把管脚作为模拟输入使用时，最好设置管脚控制寄存器位。这样就可以避免可能的问题，因为输出缓冲器处于高电阻状态，且禁止上拉。此外，当输入缓冲器的输入不在 V_{DD} 或 V_{SS} 时，会消耗 DC 电流。因而为用作模拟输入的所有管脚设置管脚控制寄存器位，可以实现最低的工作电流。

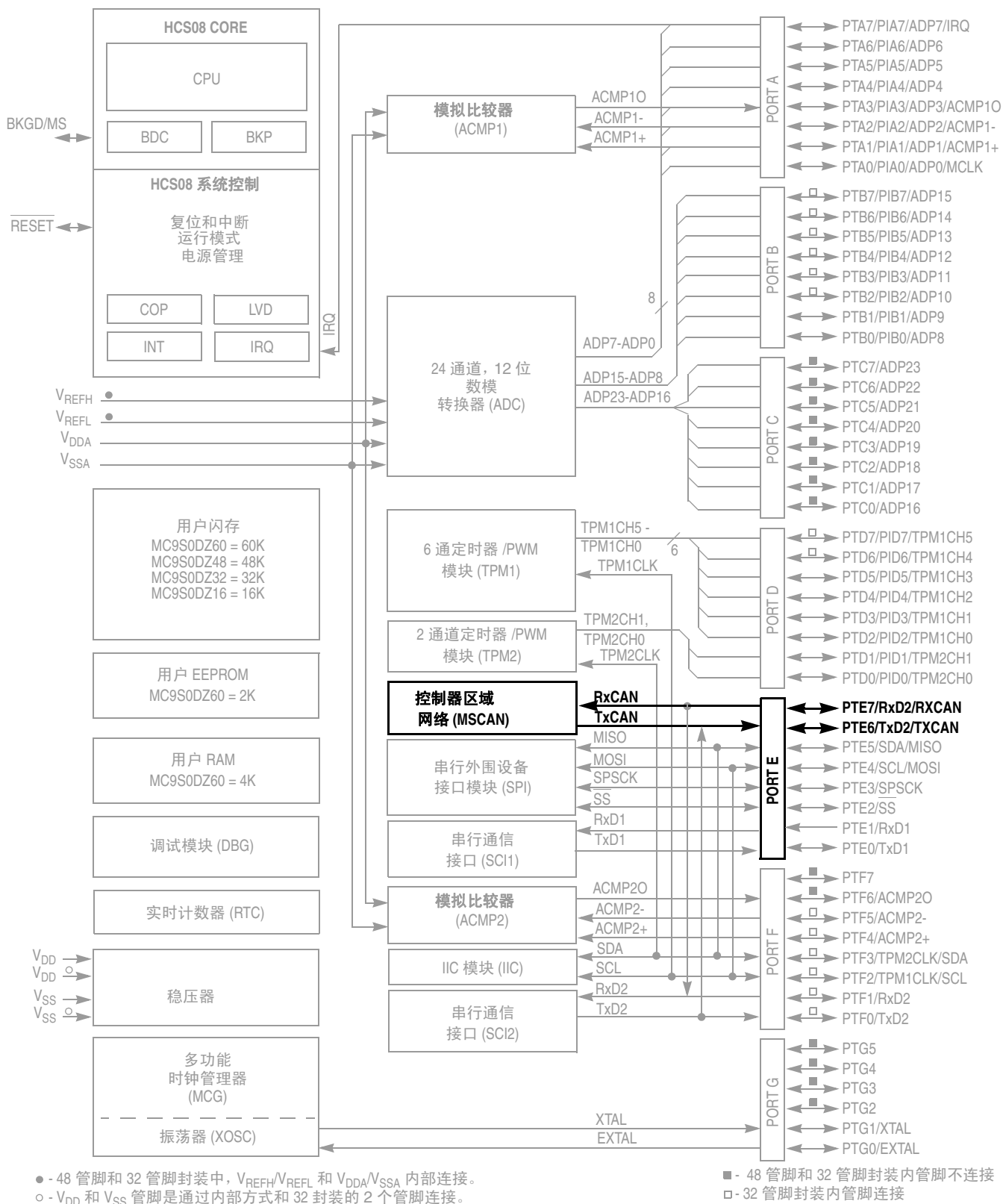


图 12-1. MC9S08DZ60 结构图

13.1.1 特性

SPI 模块的特性包括：

- 主或辅模式运行
- 全双工或单线双向选项
- 可编程发送波特率
- 双缓冲发送和接收
- 串行时钟相位和极性选项
- 辅选择输出
- 可选择的 MSB 先或 LSB 先移位

13.1.2 结构图

本小节包括显示 SPI 系统连接、SPI 模块内部结构、控制主模式波特率的 SPI 时钟分频器的结构图。

13.1.2.1 SPI 系统结构图

图 13-2 显示主从安排中连接的两个 MCU 的 SPI 模块。主器件发起所有 SPI 数据传输。在传输过程中，主器件将数据（在 MOSI 管脚上）从辅器件中移出来，同时又把数据从辅器件中转入（在 MISO 管脚上）。这个传输有效交换位于两个 SPI 系统的 SPI 移位寄存器中的数据。

SPSCK 信号是来自主器件的时钟输出和到辅器件的时钟输入。辅器件必须由辅选择输入（SS 管脚）上的低电平进行选择。在该系统中，主器件把其 SS 管脚配置为可选的辅选择输出。

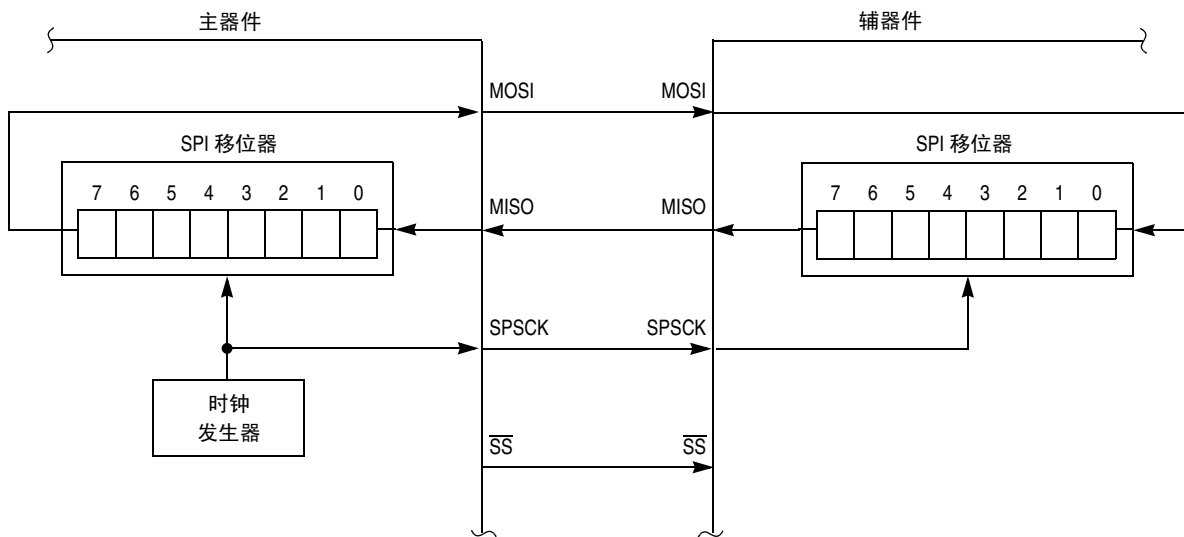


图 13-2. SPI 系统连接

SPI 系统最常见的使用包括连接简单移位寄存器，以增加输入或输出端口，或者连接小型外围器件，如串行 A/D 或 D/A 移位器。尽管图 13-2 显示了一个在两个 MCU 间交换数据的系统，但许多实际的系统的连接更简单，数据要么从主 MCU 单向传输到从 MCU，要么从从 MCU 单向传输到主 MCU。

表 13-1. SPIC1 字段描述 (continued)

字段	描述
1 SSOE	辅选择输出使能 — 该位的使用结合 SPCR2 中的模式故障使能 (MODFEN) 位和主从 (MSTR) 控制位, 以确定 SS 管脚的功能, 如表 13-2 所示。
0 LSBFE	LSB 先发 (移位器方向) 0 SPI 串行数据传输始于最高位 1 SPI 串行数据传输始于最低位

表 13-2. SS 管脚功能

MODFEN	SSOE	主模式	辅模式
0	0	通用 I/O (非 SPI)	从选择输入
0	1	通用 I/O (非 SPI)	从选择输入
1	0	模式故障的 SS 输入	从选择输入
1	1	自动 SS 输出	从选择输入

注意

确保在位更改为 CPHA 位的同时 SPI 不得禁止 (SPE=0)。这些更改应作为独立操作执行, 否则可能发生意外。

13.4.2 SPI 控制寄存器 2 (SPIC2)

该读 / 写寄存器用来控制 SPI 系统的可选功能。位 7、6、5 和 2 不执行, 始终读为 0。

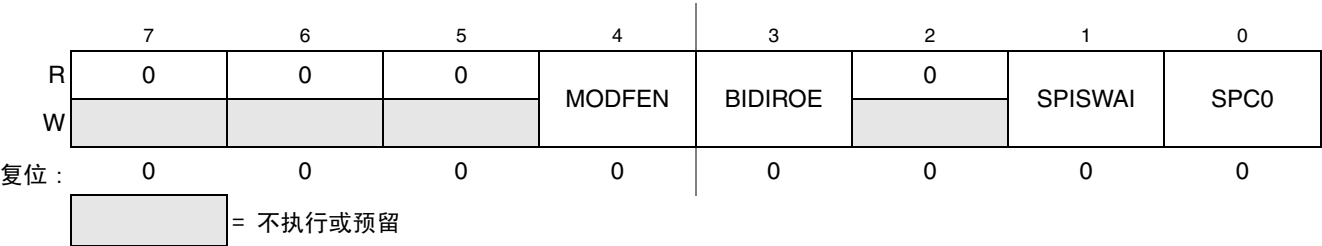


图 13-6. SPI 控制寄存器 2 (SPIC2)

表 13-3. SPIC2 寄存器字段描述

字段	描述
4 MODFEN	主模式故障功能使能 — 当为辅模式配置 SPI 时, 该位没有意义或影响 (SS 管脚是从选择输入)。在主模式中, 该位决定 SS 管脚的使用方式 (如需了解更多信息, 参见表表 13-2。 0 模式故障功能禁止, 主 SS 管脚恢复为不受 SPI 控制的通用 I/O。 1 模式故障功能使能, 主 SS 管脚用作模式故障输入或辅选择输出
3 BIDIROE	双向模式输出使能 — 双向模式由 SPI 管脚控制 0 (SPC0 = 1) 使能时, BIDIROE 决定 SPI 数据输出驱动器是否被使能为单个双向 SPI I/O 管脚。根据 SPI 是配置为主 SPI 还是从 SPI, 它将 MOSI (MOMI) 或 MISO (SISO) 管脚分别用作单个 SPI 数据 I/O 管脚, 当 SPC0 = 0, BIDIROE 没有意义或影响。 0 输出驱动器禁止, 因此 SPI 数据 I/O 管脚作为输入 1 SPI I/O 管脚作为输出使能

表 14-7. SCIXS2 字段描述

字段	描述
7 LBKDIF	中止符检测中断标记 — 当使能了 LIN 中止符检测电路且检测到 LIN 中止字符时，就设置 LBDIF。将“1”写入其中可以清除 LBDIF。 0 未检测到 LIN 中止字符。 1 检测到 LIN 中止字符。
6 RXEDGIF	RxD 管脚活动边沿中断标记 — 当 RxD 管脚上出现活动边沿（如果 RXINV = 0，下降；如果 RXINV = 1，上升）时，就设置 RXEDGIF。将“1”写入其中清除 RXEDGIF。 0 接收管脚上未出现活动边沿。 1 接收管脚上出现活动边沿。
4 RXINV ¹	接收数据颠倒 — 设置该位反转已接收数据输入的极性。 0 接收数据未被反转 1 接收数据被反转
3 RWUID	接收唤醒闲置检测 — RWUID 控制着唤醒接收器的闲置字符是否设置 IDLE 位。 0 在接收待机状态（RWU = 1）期间，检测到闲置字符时不设置 IDLE 位。 1 在接收待机状态（RWU = 1）期间，检测到闲置字符时设置 IDLE 位。
2 BRK13	中止字符生成长度 — BRK13 用于选择较长的发送中止字符长度。成帧错误的检测不受该位状态的影响。 0 中止字符用 10 位时间（如果 M = 1，则是 11 位时间）长度发送 1 中止字符用 13 位时间（如果 M = 1，则是 14 位时间）长度发送
1 LBKDE	LIN 中止字符检测使能 — LBKDE 用来选择较长中止字符检测长度。当设置了 LBKDE 时，防止设置成帧错误（FE）和接收数据寄存器已满（RDRF）标记。 0 中止字符在 10 位时间（如果 M = 1，则是 11 位时间）长度上检测。 1 中止字符在 11 位时间（如果 M = 1，则是 12 位时间）长度上检测。
0 RAF	接收器活动标记 — 当 SCI 接收器检测到有效起始位开始时，设置 RAF，并且当接收器检测到闲置线路时，RAF 被自动清除。这种状态标记可以用来检查在引导 MCU 进入停止模式前，是否正在接收 SCI 字符。 0 SCI 接收器闲置，正在等待起始位。 1 SCI 接收器活动（RxD 输入不闲置）。

¹ 设置 RXINV 会反转所有情况下的 RxD 输入：数据位、起始位和停止位、中止字符和闲置。

当在 LIN 系统中使用内部振荡器时，需要把中止符检测阈值提高 1 个位时间。在 LIN 中所允许的最坏计时情况下，0x00 数据字符在运行速度比主器件快 14% 的辅器件上的长度可能达到 10.26 位时间。这将触发旨在检测 10 位中断符号的常规中止符检测电路。当设置了 LBKDE 位时，成帧错误被禁止，中止符检测阈值从 10 位变为 11 位，从而防止把 0x00 数据字符错误检测为一个 LIN 的中止符。

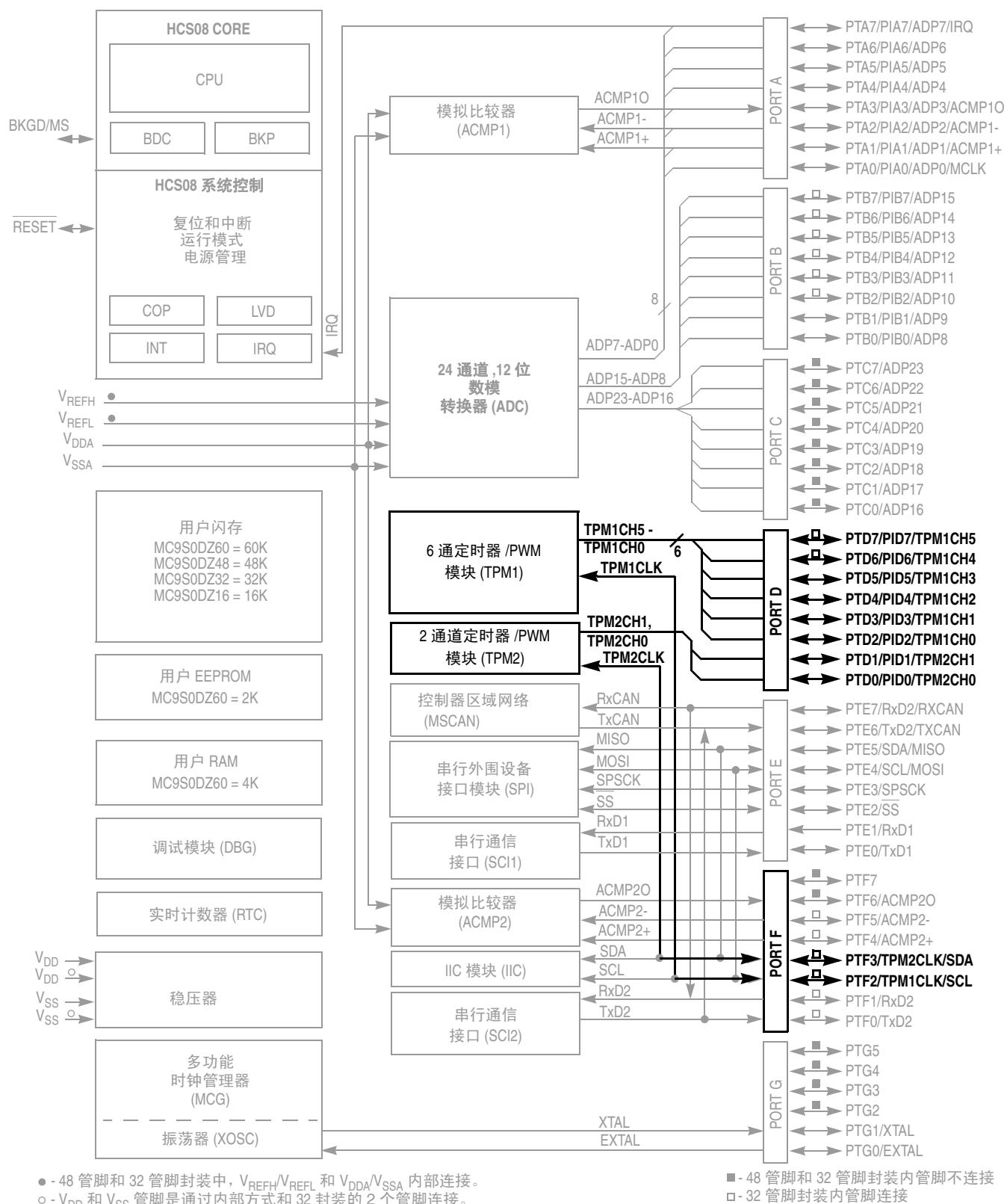


Figure 16-1. MC9S08DZ60 结构图

表 A-5. ESD 和闭锁保护特性

编号	参数	符号	最小值	最大值	单位
1	人体模式 (HBM)	V_{HBM}	+/- 2000	—	V
2	充电器件模式 (CDM)	V_{CDM}	+/- 500	—	V
3	$T_A = 125^\circ\text{C}$ 时的闭锁电流	I_{LAT}	+/- 100	—	mA

A.6 DC 特性

本小节介绍了电源要求、I/O 管脚特性及各种操作模式中的电源电流信息。

表 A-6. DC 特性

编号	C	特性	符号	条件	最小值	典型值 ¹	最大值	单位
1	—	操作电压	V _{DD}		2.7	—	5.5	V
2	P	所有 I/O 管脚、低驱动强度	V _{OH}	5 V, I _{Load} = −2 mA	V _{DD} − 1.5	—	—	V
	C			3 V, I _{Load} = −0.6 mA	V _{DD} − 1.5	—	—	
	C			5 V, I _{Load} = −0.4 mA	V _{DD} − 0.8	—	—	
	C			3 V, I _{Load} = −0.24 mA	V _{DD} − 0.8	—	—	
	P	所有 I/O 管脚、高驱动强度		5 V, I _{Load} = −10 mA	V _{DD} − 1.5	—	—	
	C			3 V, I _{Load} = −3 mA	V _{DD} − 1.5	—	—	
	C			5 V, I _{Load} = −2 mA	V _{DD} − 0.8	—	—	
	C			3 V, I _{Load} = −0.4 mA	V _{DD} − 0.8	—	—	
3	C	高电流输出 所有端口的最大总 I _{OH}	I _{OHT}	5 V	0	—	-100	mA
				3 V	0	—	-60	
4	P	所有 I/O 管脚、低驱动强度	V _{OL}	5 V, I _{Load} = 2 mA	—	—	1.5	V
	C			3 V, I _{Load} = 0.6 mA	—	—	1.5	
	C			5 V, I _{Load} = 0.4 mA	—	—	0.8	
	C			3 V, I _{Load} = 0.24 mA	—	—	0.8	
	P	所有 I/O 管脚、高驱动强度		5 V, I _{Load} = 10 mA	—	—	1.5	
	C			3 V, I _{Load} = 3 mA	—	—	1.5	
	C			5 V, I _{Load} = 2 mA	—	—	0.8	
	C			3 V, I _{Load} = 0.4 mA	—	—	0.8	
5	C	低电流输出 所有端口的最大总 I _{OL}	I _{OLT}	5 V	0	—	100	mA
				3 V	0	—	60	
6	C	高压输入；所有数字输入	V _{IH}	5V	0.65 x V _{DD}	—	—	V
7	C	低压输入；所有数字输入	V _{IL}	5V	—	—	0.35 x V _{DD}	
8	C	输入滞后	V _{hys}		0.06 x V _{DD}			mV
9	P	输入漏电流（每管脚） 仅针对所有输入管脚	I _{IIn}	V _{In} = V _{DD} or V _{SS}	—	0.1	1	μA

A.9 ADC 特性

表 A-9. 12 位 ADC 操作条件

特性	条件	符号	最小值	典型值 ¹	最大值	单位	注释
电源电压	绝对	V_{DDAD}	2.7	—	5.5	V	
	Delta to V_{DD} ($V_{DD}-V_{DDAD}$) ²	DV_{DDAD}	-100	0	+100	mV	
接地电压	Delta to V_{SS} ($V_{SS}-V_{SSAD}$) ²	DV_{SSAD}	-100	0	+100	mV	
参考电压 高		V_{REFH}	2.7	V_{DDAD}	V_{DDAD}	V	仅在 64 管脚封装中适用 { $V_{REFH} < V_{DDAD}$ 描述性的, 未在生产中测试}
参考电压 低		V_{REFL}	V_{SSAD}	V_{SSAD}	V_{SSAD}	V	不适用于 64 管脚封装 (只适用于 32 和 48 管脚封装)
输入电压		V_{ADIN}	V_{REFL}	—	V_{REFH}	V	
输入电容		C_{ADIN}	—	4.5	5.5	pF	
输入电阻		R_{ADIN}	—	3	5	k Ω	
模拟信号源电阻	12 位模式 $f_{ADCK} > 4\text{MHz}$ $f_{ADCK} < 4\text{MHz}$	R_{AS}	— —	— —	2 5	k Ω	MCU 外部
	10 位模式 $f_{ADCK} > 4\text{MHz}$ $f_{ADCK} < 4\text{MHz}$		— —	— —	5 10		
	8 位模式 (所有有效 f_{ADCK})		—	—	10		
ADC 转换时钟频率	高速 (ADLPC=0)	f_{ADCK}	0.4	—	8.0	MHz	
	低速 (ADLPC=1)		0.4	—	4.0		

¹ 典型值假设 $V_{DDAD} = 5.0\text{V}$ 、温度 = 25°C、 $f_{ADCK} = 1.0\text{MHz}$ ，除非另有其他说明。典型值仅用于参考，并在生产中测试。

² DC 潜在差。

表 B-2. TPM 时钟源选择

CLKSB:CLKSA	连接预分频器输入的 TPM 时钟源
0:0	未选中任何时钟 (TPM _x 禁止)
0:1	线速率时钟 (BUSCLK)
1:0	固定系统时钟 (XCLK)
1:1	外部源 (TPM _x CLK) ^{1,2}

- ¹ 外部时钟的最大允许频率是总线频率的 1/4。
- ² 如果外部时钟输入共享通道 n，并且选用未 TPM 时钟源，对应的 ELSnB:ELSnA 控制位应当设为 0:0，这样通道 n 就不会使用相同管脚，从而避免了冲突。

表 B-3. 预分频器除数选择

PS2:PS1:PS0	TPM 时钟源除以
0:0:0	1
0:0:1	2
0:1:0	4
0:1:1	8
1:0:0	16
1:0:1	32
1:1:0	64
1:1:1	128

B.5.2 定时器计数器寄存器 (TPMxCNTH:TPMxCNTL)

这两个只读 TPM 计数器寄存器包括 TPM 计数器数值的高字节和低字节。读取任何一个字节 (TPMxCNTH 或 TPMxCNTL) 都能将两个字节的內容锁定到缓冲器中。它们将在该缓冲器中保持锁定状态，直到另一个字节被读取为止。在 MCU 复位，在 TPMxCNTH 或 TPMxCNTL 中写入任意值或者定时器状态 / 控制寄存器 (TPMxSC) 进行任何写入操作时，一致性机制都会自动重启。

复位清除 TPM 计数器寄存器。

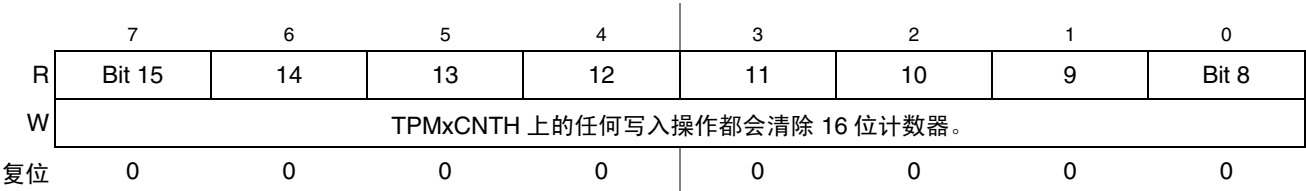


图 B-3. 定时器计数器寄存器高 (TPMxCNTH)

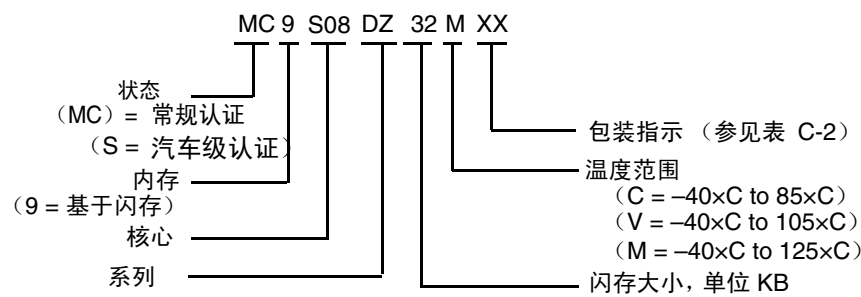
附录 C

订购信息和机械图

C.1 订购信息

本章包含 MC9S08DZ60 系列设备的订购信息。

设备编号体制举例：



C.1.1 MC9S08DZ60 Series 设备

表 C-1. MC9S08DZ60 Series 设备

设备编号	内存			可供包装 ¹
	FLASH	RAM	EEPROM	
MC9S08DZ60	60,032	4096	2048	64-LQFP, 48-LQFP, 32-LQFP
MC9S08DZ48	49,152	3072	1536	
MC9S08DZ32	33,792	2048	1024	
MC9S08DZ16	16,896	1024	512	48-LQFP, 32-LQFP

¹ 包装信息请参见表 C-2。

C.2 机械图

以下各页显示了下表中描述的包装的机械图：

表 C-2. Package 描述

Pin Count	典型值 e	Abbreviation	Designator	Document No.
64	低 Quad Flat Package	LQFP	LH	98ASS23234W
48	低 Quad Flat Package	LQFP	LF	98ASH00962A
32	低 Quad Flat Package	LQFP	LC	98ASH70029A