

Welcome to [E-XFL.COM](http://E-XFL.COM)

### What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

### Applications of "[Embedded - Microcontrollers](#)"

#### Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I <sup>2</sup> C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	39
Program Memory Size	16KB (16K x 8)
Program Memory Type	FLASH
EEPROM Size	512 x 8
RAM Size	1K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 16x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	48-LQFP
Supplier Device Package	48-LQFP (7x7)
Purchase URL	<a href="https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz16amlf">https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz16amlf</a>

### 3.6.2 Stop2 模式

Stop2 模式通过表 3-1 所示的情况下执行 STOP 指令进入。除 RAM 外，MCU 的大部分内部电路在 Stop2 模式下处于断电状态。在进入 Stop2 模式后，所有 I/O 管脚控制信号被锁定，以确保管脚可以在 Stop2 模式下保持原来的状态。

从 Stop2 模式中退出的操作通过输入有效 RESET 信号完成。只有在 3M05C 或更老的掩码集中，您可以通过输入 PTA7/ADP7/IRQ 中断信号来退出 Stop2。

#### 注意

只有在 3M05C 或更老的掩码集中，PTA7/ADP7/IRQ 是低电平唤醒，因此在执行 STOP 指令前必须配置为输入，以避免从 Stop2 中立即退出。如果 PTA7/ADP7/IRQ 被配置为高驱动输出，那么它可以禁止唤醒功能。为了在 Stop2 模式下最大限度地降低功耗，该管脚在被配置为输入时不应保持开路（启用内部上拉器件；或连接外部上拉/下拉器件；或将管脚设置为输出）。

此外，实时时钟计数器（RTC）也可以从 Stop2 模式下唤醒 MCU（如果已启用）。

MCU 从 Stop2 模式中唤醒后，启动过程和加电复位（POR）相同：

- 所有模块控制寄存器和状态寄存器被复位
- LVD 复位功能启用；如果  $V_{DD}$  低于 LVD 跳变点（由于 POR 选择的低跳变点），MCU 仍处于复位状态
- CPU 读取复位向量

并且，在从 Stop2 模式中唤醒后，SPMSC2 中的 PPDF 也会被设置用于将用户代码引导到 Stop2 恢复程序中。PPDF 仍保持有效且 I/O 管脚状态被锁定，直到 1 被写入到 SPMSC2 中的 PPDACK 中。

为了在进入 Stop2 之前保持被设置为通用 I/O 管脚的 I/O 状态，用户必须将 I/O 端口寄存器（保存在 RAM 中）的内容恢复到端口寄存器中，然后再写入到 PPDACK 位中。如果端口寄存器在写入到 PPDACK 中之前没有从 RAM 中恢复，那么在写入 PPDACK 时该管脚将切换到复位状态。

对于配置为外围 I/O 的管脚，用户在写入 PPDACK 位之前必须重新配置连接到该管脚的外围模块。如果外围模块在写入 PPDACK 之前没有启用，那么在 I/O 锁定被打开时，该管脚将由相关的端口控制寄存器控制。

### 3.6.3 停止模式中的片上外围模块

当 MCU 进入任何停止模式时，连接到内部外围模块的系统时钟被停止。即使在异常情况下（ENBDM = 1）（连接到后台调试逻辑的时钟继续运行），到外围系统的时钟也将被停止以降低功耗。有关停止模式下系统的详细信息，请参见 3.6.2，“Stop2 模式”和 3.6.1，“Stop3 模式”。

表 5-5. SOPT1 寄存器字段描述

字段	描述
4 SCI2PS	<b>SCI2 管脚选择</b> — 这个单次写入有效的位选择 SCI2 模块的 RxD2 和 TxD2。 0 TxD2 在 PTF0 上, RxD2 在 PTF1 上。 1 TxD2 在 PTE6 上, RxD2 在 PTE7 上。
3 IICPS	<b>IIC 管脚选择</b> — 这个单次写入有效的位选择 IIC 模块的 SCL 和 SDA 管脚的位置。 0 SCL 在 PTF2 上, SDA 在 PTF3 上。 1 SCL 在 PTE4 上, SDA 在 PTE5 上。

表 5-6. COP 配置选项

控制位		时钟源	COP 窗口 <sup>1</sup> 打开 (COPW = 1)	COP 溢出计数
COPCLKS	COPT[1:0]			
无	0:0	无	无	COP 禁止
0	0:1	1 kHz	无	2 <sup>5</sup> 周期 (32 ms <sup>2</sup> )
0	1:0	1 kHz	无	2 <sup>8</sup> 周期 (256 ms <sup>1</sup> )
0	1:1	1 kHz	无	2 <sup>10</sup> 周期 (1.024 s <sup>1</sup> )
1	0:1	总线	6144 周期	2 <sup>13</sup> 周期
1	1:0	总线	49,152 周期	2 <sup>16</sup> 周期
1	1:1	总线	196,608 周期	2 <sup>18</sup> 周期

<sup>1</sup> 窗口化 COP 操作要求用户清除所选超时周期后 25% 时间内的 COP 定时器。本栏显示在窗口化 COP 模式中, 在 COP 定时器复位前必须提供的时钟最小计数。

<sup>2</sup> 数值采用毫秒单位, 并且  $t_{LPO} = 1 \text{ ms}$ 。该值的容限请参见 A.12.1, “控制时序” 里的  $t_{LPO}$ 。

## 5.8.5 系统选项寄存器 2 (SOPT2)

这个高页寄存器包含在 MC9S08DZ60 系列器件上配置 MCU 特定功能的位。

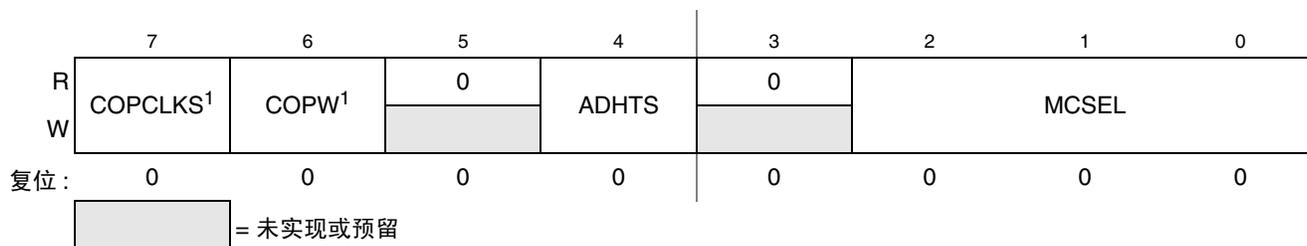


图 5-6. 系统选项寄存器 2 (SOPT2)

<sup>1</sup> 复位后该位只可以写入一次 (write-once)。其他写入被忽略。

### 8.6.2.1 示例 1: 从 FEI 切换到 PEE 模式: 外部晶体 = 4 MHz、总线频率 = 8 MHz

本例中, MCG 将通过适当的运行模式从 PEE 转换到 BLPI 模式, 直到设置了 4 MHz 晶体参考频率来实现 8 MHz 的总线频率。因为 MCG 复位后处于 FEI 模式, 本例还显示了在复位后如何初始化 MCG, 实现进入 PEE 模式。示例中首先介绍了代码序列, 然后提供了一个演示该顺序的流程图。

1. 首先, FEI 必须转换到 FBE 模式:
  - a) MCGC2 = 0x36 (%00110110)
    - BDIV (位 7 和 6) 设置为 %00 或除以 1
    - RANGE (位 5) 设置为 1, 因为 4 MHz 的频率位于高频范围。
    - HGO (位 4) 设置为 1, 配置外部振荡器以实现高增益运行;
    - EREFS (位 2) 设置为 1, 因为正在使用晶体;
    - ERCLKEN (位 1) 设置为 1, 确保外部参考时钟处于活动状态;
  - b) 循环检测, 直到 MCGSC 中 OSCINIT (位 1) 是 1, 表明 EREFS 位选择的晶体已经完成初始化。
  - c) MCGC1 = 0xB8 (%10111000)
    - CLKS (位 7 和 6) 设置为 %10, 以便选择外部参考时钟为系统时钟源。
    - RDIV (位 5-3) 设置为 %111 或 divide-by-128, 因为  $4 \text{ MHz} / 128 = 31.25 \text{ kHz}$ , 这在 FLL 要求的 31.25 kHz-- 39.0625 kHz 频率范围内。
    - IREFS (位 2) 清除至 0, 选择外部参考时钟。
  - d) 循环检测, 直到 MCGSC 中的 IREFST (位 4) 是 0, 表明外部参考是当前的参考时钟源。
  - e) 循环检测, 直到 MCGSC 中的 CLKST (位 3 和 2) 是 %10, 表明已经选择外部参考时钟为当前时钟模式的 MCGOUT 馈电。
2. 然后, FBE 必须直接转换到 PBE 模式或先转换到 BLPE 模式, 然后再转换到 PBE 模式:
  - a) BLPE: 如果需要从 BLPE 模式中转换, 首先把 MCGC2 中的 LP (位 3) 设置为 1。
  - b) BLPE/PBE: MCGC1 = 0x90 (%10010000)
    - RDIV (位 5-3) 设置为 %010 或除以 4, 因为  $4 \text{ MHz} / 4 = 1 \text{ MHz}$ , 这在 PLL 要求的 1MHz - 2 MHz 频率范围内。在 BLPE 模式中, RDIV 的配置不重要, 因为 FLL 和 PLL 都被禁止。更改它们只会建立供 PLL 在 PBE 模式中使用的分频器。
  - c) BLPE/PBE: MCGC3 = 0x44 (%01000100)
    - PLLS (位 6) 设置为 1, 选择 PLL。在 BLPE 模式中, 更改该位只会让 MCG 准备在 PBE 模式中的 PLL 使用
    - VDIV (位 3-0) 设置为 %0100 或乘以 16, 因为  $1 \text{ MHz 参考} * 16 = 16 \text{ MHz}$ 。在 BLPE 模式中, VDIV 位的配置不重要, 因为 PLL 被禁止。更改它们只会为 PBE 模式中的 PLL 使用乘积因子。

## 10.3 外部信号描述

ADC 模块最多可支持 28 个独立模拟输入。它还需要 4 个电源 / 参考 / 接地连接。

表 10-2. 信号属性

名称	功能
AD27-AD0	模拟通道输入
$V_{REFH}$	高参考电压
$V_{REFL}$	低参考电压
$V_{DDAD}$	模拟电源
$V_{SSAD}$	模拟接地

### 10.3.1 模拟电源 ( $V_{DDAD}$ )

ADC 模拟部分使用  $V_{DDAD}$  作为其电源连接。在有些封装中,  $V_{DDAD}$  与  $V_{DD}$  是内部连接。如果是外部连接, 将  $V_{DDAD}$  管脚连到与  $V_{DD}$  相同的电平。为了确保干净的  $V_{DDAD}$  信号, 可能还需要外部滤波。

### 10.3.2 模拟接地 ( $V_{SSAD}$ )

ADC 模拟部分使用  $V_{SSAD}$  作为其接地连接。在有些封装中,  $V_{SSAD}$  与  $V_{SS}$  是内部连接。如果是外部连接, 将  $V_{SSAD}$  管脚连到与  $V_{SS}$  相同的电平。

### 10.3.3 参考电压高 ( $V_{REFH}$ )

$V_{REFH}$  是转换器的高参考电压。在有些封装中,  $V_{REFH}$  与  $V_{DDAD}$  是内部连接。如果是外部连接,  $V_{REFH}$  可以连接到与  $V_{DDAD}$  相同的电平, 或者由介于  $V_{DDAD}$  最低限值和  $V_{DDAD}$  电平之间的外部源驱动 ( $V_{REFH}$  必须不能超过  $V_{DDAD}$ )。

### 10.3.4 参考电压低 ( $V_{REFL}$ )

$V_{REFL}$  是转换器的低参考电压。在有些封装中,  $V_{REFL}$  与  $V_{SSAD}$  是内部连接。如果是外部连接, 将  $V_{REFL}$  管脚连到和  $V_{SSAD}$  相同的电平。

### 10.3.5 模拟通道输入 ( $ADx$ )

ADC 模块最多可支持 28 个独立的模拟输入。通过  $ADCH$  通道选择位选择转换。

表 10-6. 时钟分频选择

ADIV	分频率	时钟率
00	1	输入时钟
01	2	输入时钟 ÷ 2
10	4	输入时钟 ÷ 4
11	8	输入时钟 ÷ 8

表 10-7. 转换模式

模式	模式描述
00	8 位转换 (N=8)
01	12 位转换 (N=12)
10	10 位转换 (N=10)
11	保留

表 10-8. 输入时钟选择

ADICLK	所选的时钟源
00	总线时钟
01	总线时钟除以 2
10	替代时钟 (ALTCLK)
11	异步时钟 (ADACK)

### 10.4.8 管脚控制寄存器 1 (APCTL1)

管脚控制寄存器用来禁止对模拟输入的 MCU 管脚作为 I/O 端口控制，APCTL1 用来控制这些管脚与 ADC 模块通道 0-7 的连接。

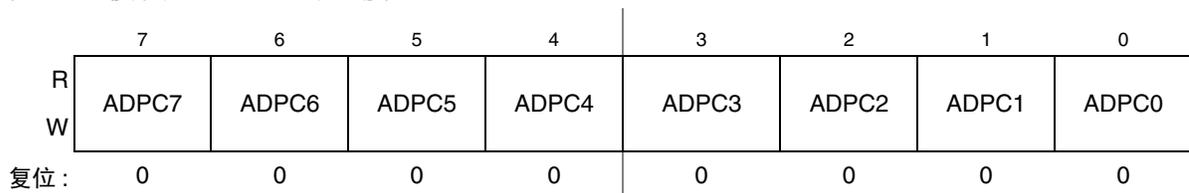


图 10-11. 管脚控制寄存器 1 (APCTL1)

表 10-9. APCTL1 寄存器字段描述

字段	描述
7 ADPC7	<b>ADC 管脚控制 7</b> — ADPC7 用来控制与通道 AD7 连接的管脚。 0 AD7 管脚 I/O 控制使能 1 AD7 管脚 I/O 控制禁止
6 ADPC6	<b>ADC 管脚控制 6</b> — ADPC6 用来控制与通道 AD6 连接的管脚。 0 AD6 管脚 I/O 控制使能 1 AD6 管脚 I/O 控制禁止
5 ADPC5	<b>ADC 管脚控制 5</b> — ADPC5 用来控制与通道 AD5 连接的管脚。 0 AD5 管脚 I/O 控制使能 1 AD5 管脚 I/O 控制禁止
4 ADPC4	<b>ADC 管脚控制 4</b> — ADPC4 用来控制与通道 AD4 连接的管脚。 0 AD4 管脚 I/O 控制使能 1 AD4 管脚 I/O 控制禁止
3 ADPC3	<b>ADC 管脚控制 3</b> — ADPC3 用来控制与通道 AD3 连接的管脚。 0 AD3 管脚 I/O 控制使能 1 AD3 管脚 I/O 控制禁止
2 ADPC2	<b>ADC 管脚控制 2</b> — ADPC2 用来控制与通道 AD2 连接的管脚。 0 AD2 管脚 I/O 控制使能 1 AD2 管脚 I/O 控制禁止
1 ADPC1	<b>ADC 管脚控制 1</b> — ADPC1 用来控制与通道 AD1 连接的管脚。 0 AD1 管脚 I/O 控制使能 1 AD1 管脚 I/O 控制禁止
0 ADPC0	<b>ADC 管脚控制 0</b> — ADPC0 用来控制与通道 AD0 连接的管脚。 0 AD0 管脚 I/O 控制使能 1 AD0 管脚 I/O 控制禁止

### 10.4.9 管脚控制寄存器 2 (APCTL2)

APCTL2 用来控制 ADC 模块的通道 8-15。

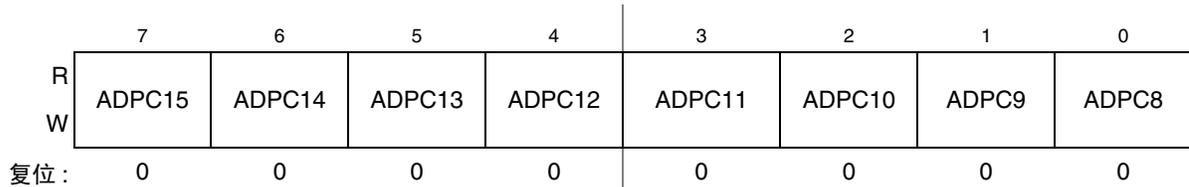


图 10-12. 管脚控制寄存器 2 (APCTL2)

## 10.5 功能描述

复位期间或当 ADCH 位都高时，ADC 模块禁止。当已经完成当前转换，而下一次转换还未发起时，模块进入空闲状态。空闲时，模块处于最低功耗状态。

ADC 可以对软件选择的任意通道实施模数转换。在 12 位和 10 位模式中，所选的通道电压通过逐次逼近算法被转换成 12 位数字结果。在 8 位模式中，所选的通道电压通过逐次逼近算法被转换成 9 位数字结果。

转换完成后，结果保存在数据寄存器（ADCRH 和 ADCRL）中。在 10 位模式中，结果被圆整到 10 位并保存在数据寄存器（ADCRH 和 ADCRL）中。在 8 位模式中，结果被圆整到 8 位并保存在 ADCRL 中。然后设置转换完成标记（COCO），如果已经使能了转换完成中断（AIEN = 1），则触发中断。

ADC 模块能够自动地把转换结果与比较寄存器的内容进行比较。通过设置 ACFE 位并结合任意一种转换模式和配置一起运行，就使能了比较功能。

### 10.5.1 时钟选择和分频控制

ADC 模块可选择 4 个时钟源之一，然后由可配置值进行分频，生成转换器的输入时钟（ADCK）。时钟源通过 ADICLK 位设置从以下源中选择。

- 总线时钟，等于软件运行的频率。这是复位后的默认选择。
- 总线时钟除以 2，如果总线时钟很高，允许总线时钟最大除以 16。
- ALTCLK，由此 MCU 定义（参见本章节的概述部分）。
- 异步时钟（ADACK）- 该时钟从 ADC 模块内部时钟源产生。当 MCU 处于等待或 STOP3 模式时，此时钟源仍然有效，从而实现此模式下的低噪音转换。

无论选择哪种时钟，其频率必须在 ADCK 的指定频率范围内。如果可用时钟太慢，ADC 将无法保证正常运行。如果可用时钟太快，那么时钟必须分频为适当的频率。除数由 ADIV 位指定，可以是 1、2、4 或 8。

### 10.5.2 输入选择和管脚控制

管脚控制寄存器（APCTL3，APCTL2 和 APCTL1）用来禁止对作为模拟输入的管脚的 I/O 控制功能。当置位管脚控制寄存器相应位时，对应的 MCU 管脚进入以下状态：

- 输出缓冲器进入高阻抗状态。
- 输入缓冲器禁止。对于其输入缓冲器被禁止的任何管脚，I/O 端口读数均返回 0。
- 上拉禁止。

### 10.5.3 硬件触发

ADC 模块有一个可选的异步硬件转换触发 ADHWT，当设置了 ADTRG 位时，ADHWT 使能。并不是所有 MCU 上都有这个源。如需了解该 MCU 的特定 ADHWT 源的更多报文，请参见本章概述部分。

## 11.5 功能描述

本小节详细描述了 IIC 模块的全部功能。

### 11.5.1 IIC 协议

IIC 总线系统为数据传输使用串行数据线 (SDA) 和串行时钟线 (SCL)。与其连接的所有器件必须具有开漏或开极输出。逻辑与功能通过外部上拉电阻在两条线上执行。这些电阻的值与系统相关。

一般地, 标准通信由以下四部分组成:

- 启动信号
- 从机地址发送
- 数据传输
- 停止信号

停止信号不应与 CPU 停止指令相混淆。IIC 总线系统通信将在后面进行简要地描述, 并在图 11-9 中进行了阐释。

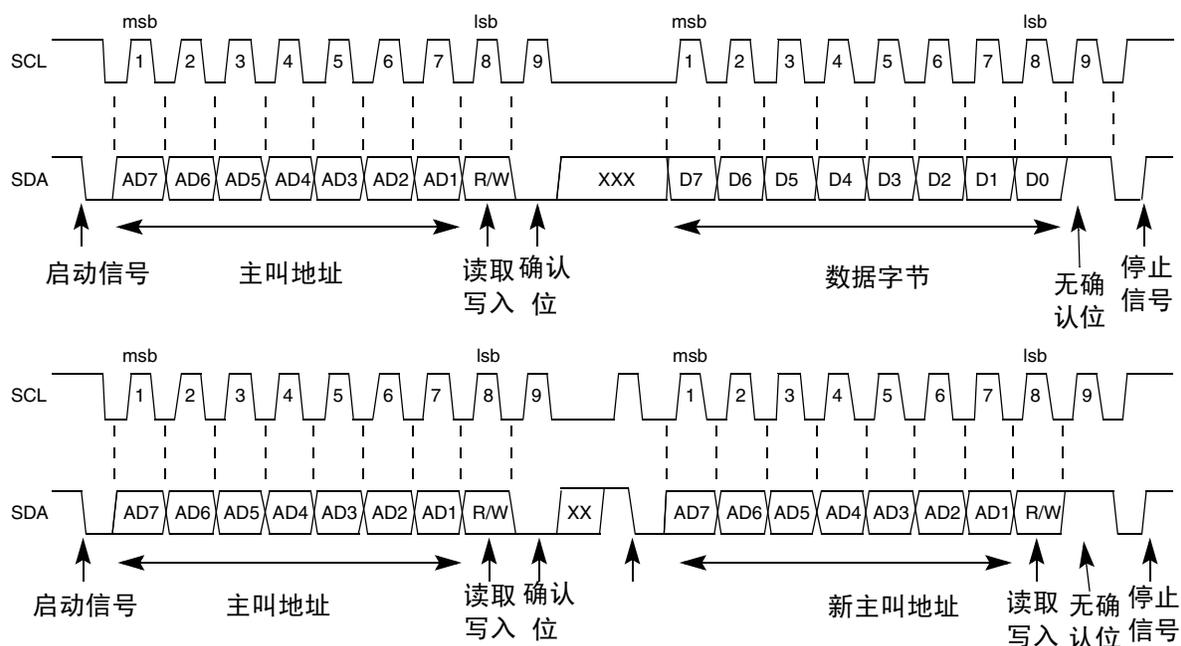


图 11-9. IIC 总线传输信号

### 11.5.1.1 启动信号

当总线空闲时，没有主机占用总线（SCL 和 SDA 线处于逻辑高电平），主机可以通过发送启动信号发起通信。如图 11-9 所示，启动信号定义为，当 SCL 在高电平时，SDA 从高到低的跳变。该信号表示开始新的数据传输（每次数据传输可能包含几个字节的数据），并使所有从机退出空闲状态。

### 11.5.1.2 从机地址发送

启动信号发出后传输的第一个字节数据是主机发送的从机地址。这是 R/W 位之前的 7 位主叫地址。R/W 位告知从机数据传输的方向。

1 = 读取传输，从机向主机传输数据

0 = 写入传输，主机向从机传输数据

当主机发送的地址与某从机地址匹配时，此从机发回应答位进行响应。通过将 SDA 第 9 个时钟拉低实现（见图 11-9）。

系统中不能有两个地址相同的从机。如果 IIC 模块是主机，它就不能发送与其自己的从机地址相同的地址。IIC 不能同时既是主机又是从机。但是，如果仲裁在寻址周期中丢失，IIC 就重新返回到从机模式并正确运行，即便它正被另一个主机寻址。

### 11.5.1.3 数据传输

成功实现从机寻址之前，就可以按照主叫主机发送的  $\overline{R/W}$  位指定的方向逐字节地进行数据传输。

地址周期后的所有传输都被称为数据传输，即使它们包含从机的子地址报文。

每个数据字节的长度均为 8 位。只有当 SCL 处于低时数据才可以更改，如果 SCL 处于高位，那么它必须保持稳定，如图 11-9 所示。SCL 的一个时钟脉冲传输一个数据位，最高位被首先传输。每个数据字节后面都有一个第 9（确认）位，该位由从机发出信号，通过把 SDA 拉低到第 9 个时钟实现。总之，一个完整数据传输需要 9 个时钟脉冲。

如果从机在第 9 个位时间时未应答主机，从机必须保留 SDA 线在高电平。主机将未接收应答信号解释为不成功的数据传输。

如果主机接收器在一个数据字节传输后未应答从机发送器，从机把这种情况理解为数据传输结束，并释放 SDA 线。

对于这两种情况，数据传输都被中止，主机会进行以下两种操作之一：

- 发送停止信号，放弃总线
- 发送重复启动信号，开始新呼叫

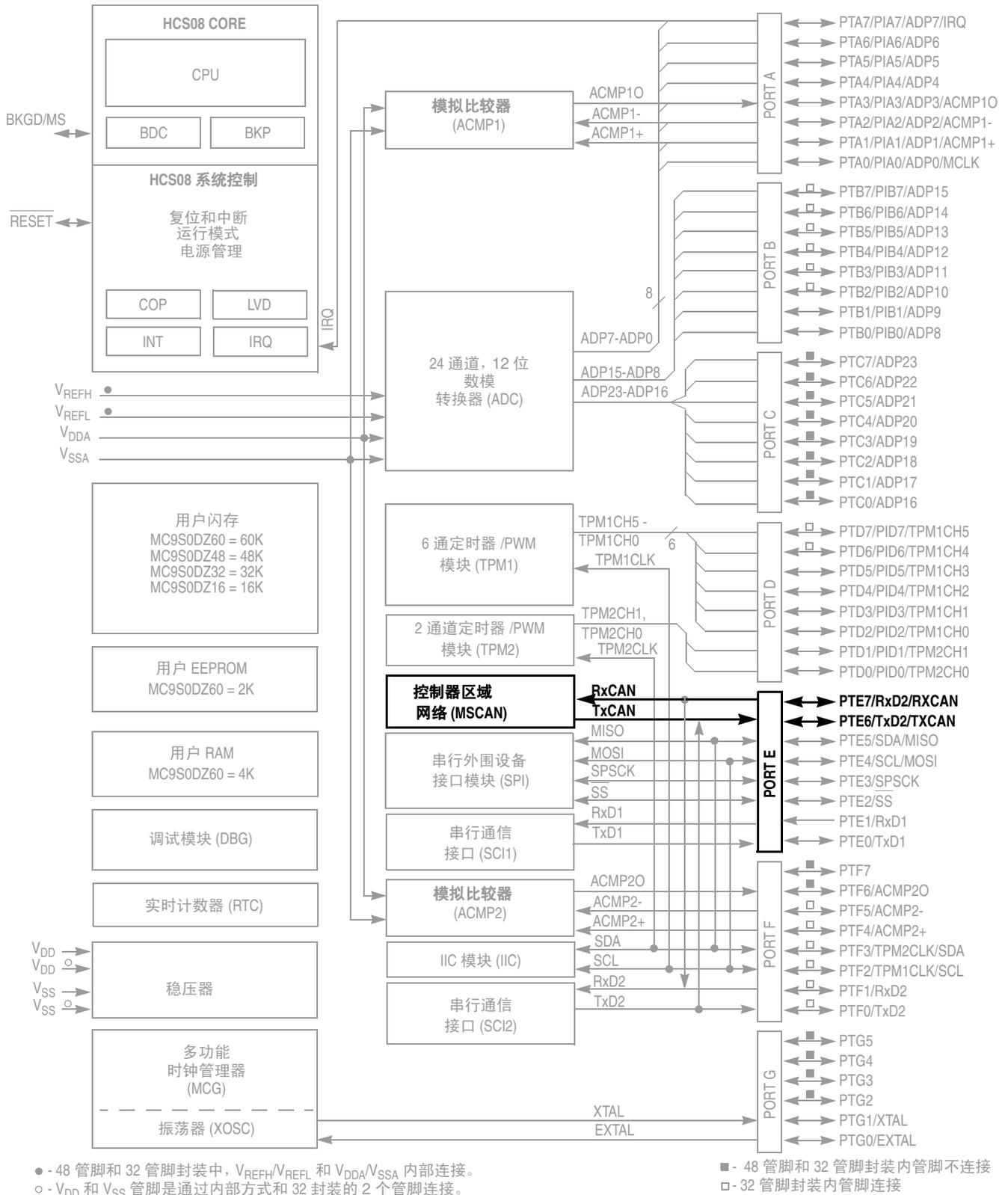


图 12-1. MC9S08DZ60 结构图

### 12.3.13 MSCAN 接收错误计数器 (CANRXERR)

该寄存器反应 MSCAN 接收错误计数器的状态。

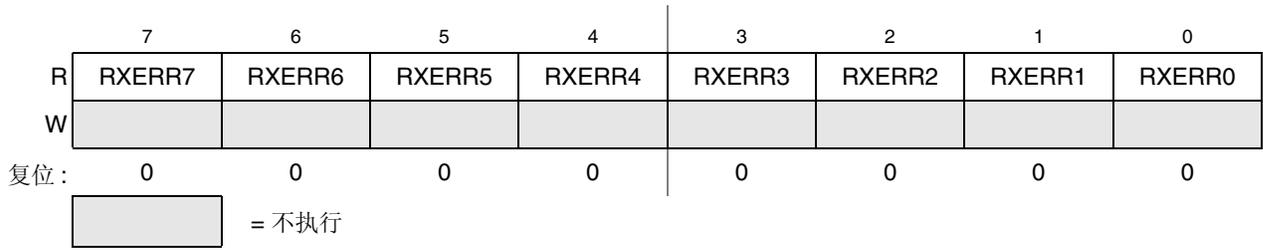


图 12-17. MSCAN 接收错误计数器 (CANRXERR)

读取: 仅在睡眠模式 (SLPRQ = 1, SLPK = 1) 或初始化模式 (INITRQ = 1 and INITAK = 1) 写入: 不执行

#### 注意

在非睡眠或初始化模式外的任意其他模式中读取该寄存器会返回错误值。对于那些具有双 CPU 的 MCU 来说, 这可能会引起 CPU 故障情况。

在特殊模式中写入该寄存器可能改变 MSCAN 功能。

### 12.3.14 MSCAN 发送错误计数器 (CANTXERR)

该寄存器反应 MSCAN 发送错误计数器的状态。



图 12-18. MSCAN 发送错误计数 ~ (CANTXERR)

读取: 仅在睡眠模式 (SLPRQ = 1, SLPK = 1) 或初始化模式 (INITRQ = 1, INITAK = 1)。写入: 不执行

#### 注意

在非睡眠或初始化模式外的任意其他模式中读取该寄存器会返回错误值。对于那些具有双 CPU 的 MCU 来说, 这可能会引起 CPU 故障情况。

在特殊模式中写入该寄存器可能改变 MSCAN 功能。

### 12.5.3.2 协议违反保护

MSCAN 能够防止用户由于编程错误而意外违反 CAN 协议。保护逻辑实施以下功能：

- 接收和发送错误计数器不能写入或以别的方式操作。
- 当 MSCAN 在线时，控制 MSCAN 的配置的所有寄存器均不能被修改。MSCAN 必须处于初始化模式。CANCTL0/CANCTL1 寄存器中的相应 INITRQ/INITAK 握手位（参见 12.3.1，“MSCAN 控制寄存器 0 (CANCTL0)”）作为一个锁来保护以下寄存器：
  - MSCAN 控制 1 寄存器 (CANCTL1)
  - MSCAN 总线定时寄存器 0 和 1 (CANBTR0, CANBTR1)
  - MSCAN 标识符接收控制寄存器 (CANIDAC)
  - MSCAN 标识符接收寄存器 (CANIDAR0 - CANIDAR7)
  - MSCAN 标识符掩码寄存器 (CANIDMR0 - CANIDMR7)
- 当 MSCAN 进入节电模式或初始化模式时，TXCAN 管脚立即被强制进入隐性状态（参见 12.5.5.6，“MSCAN 断电模式”和 12.5.5.5，“MSCAN I 初始化模式”）。
- MSCAN 使能位 (CANE) 在正常系统操作模式下只能写入一次，从而为意外禁止 MSCAN 提供了进一步保护。

### 12.5.3.3 时钟系统

图 12-42 显示 MSCAN 时钟发生电路的结构。

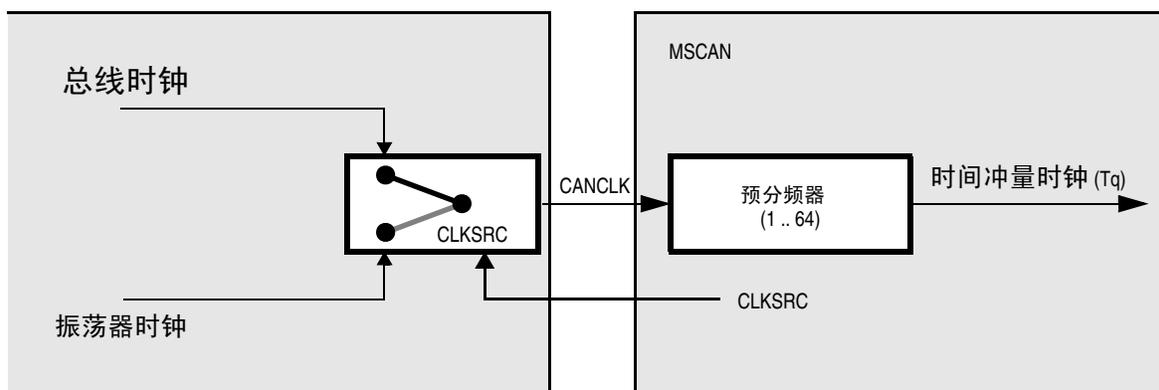


图 12-42. MSCAN 时钟机制

CANCTL1 寄存器 (12.3.2/-214) 中的时钟源位 (CLKSRC) 决定内部 CANCLK 是连接到晶体振荡器（振荡器时钟）输出还是连接到总线时钟。

必须选择能满足 CAN 协议的振荡器精度要求（高达 0.4%）的时钟源。此外，对于高 CAN 总线速率（1 Mbps）来说，要求 45%-55% 的时钟占空比。

如果总线时钟从 PLL 中生成，由于抖动，建议选择振荡器时钟而不是总线时钟，特别是以较快的 CAN 总线速率时。PLL 锁可能太宽，不能确保所需的时钟精度。

对于那些没有时钟和复位发生器 (CRG) 的微控制器，CANCLK 的驱动则来自晶体振荡器（振荡时钟）。

表 14-7. SCIXS2 字段描述

字段	描述
7 LBKDIF	中止符检测中断标记 — 当使能了 LIN 中止符检测电路且检测到 LIN 中止字符时，就设置 LBKDIF。将“1”写入其中可以清除 LBKDIF。 0 未检测到 LIN 中止字符。 1 检测到 LIN 中止字符。
6 RXEDGIF	<b>RxD</b> 管脚活动边沿中断标记 — 当 RxD 管脚上出现活动边沿（如果 RXINV = 0，下降；如果 RXINV = 1，上升）时，就设置 RXEDGIF。将“1”写入其中清除 RXEDGIF。 0 接收管脚上未出现活动边沿。 1 接收管脚上出现活动边沿。
4 RXINV <sup>1</sup>	接收数据颠倒 — 设置该位反转已接收数据输入的极性。 0 接收数据未被反转 1 接收数据被反转
3 RWUID	接收唤醒闲置检测 — RWUID 控制着唤醒接收器的闲置字符是否设置 IDLE 位。 0 在接收待机状态（RWU = 1）期间，检测到闲置字符时不设置 IDLE 位。 1 在接收待机状态（RWU = 1）期间，检测到闲置字符时设置 IDLE 位。
2 BRK13	中止字符生成长度 — BRK13 用于选择较长的发送中止字符长度。成帧错误的检测不受该位状态的影响。 0 中止字符用 10 位时间（如果 M = 1，则是 11 位时间）长度发送 1 中止字符用 13 位时间（如果 M = 1，则是 14 位时间）长度发送
1 LBKDE	LIN 中止字符检测使能 — LBKDE 用来选择较长中止字符检测长度。当设置了 LBKDE 时，防止设置成帧错误（FE）和接收数据寄存器已满（RDRF）标记。 0 中止字符在 10 位时间（如果 M = 1，则是 11 位时间）长度上检测。 1 中止字符在 11 位时间（如果 M = 1，则是 12 位时间）长度上检测。
0 RAF	接收器活动标记 — 当 SCI 接收器检测到有效起始位开始时，设置 RAF，并且当接收器检测到闲置线路时，RAF 被自动清除。这种状态标记可以用来检查在引导 MCU 进入停止模式前，是否正在接收 SCI 字符。 0 SCI 接收器闲置，正在等待起始位。 1 SCI 接收器活动（RxD 输入不闲置）。

<sup>1</sup> 设置 RXINV 会反转所有情况下的 RxD 输入：数据位、起始位和停止位、中止字符和闲置。

当在 LIN 系统中使用内部振荡器时，需要把中止符检测阈值提高 1 个位时间。在 LIN 中所允许的最坏计时情况下，0x00 数据字符在运行速度比主器件快 14% 的辅器件上的长度可能达到 10.26 位时间。这将触发旨在检测 10 位中断符号的常规中止符检测电路。当设置了 LBKDE 位时，成帧错误被禁止，中止符检测阈值从 10 位变为 11 位，从而防止把 0x00 数据字符错误检测为一个 LIN 的中止符。

### 15.3.1 RTC 状态和控制寄存器 (RTCSC)

RTCSC 包含实时中断状态标记 (RTIF)、时钟选择位 (RTCLKS)、实时中断启动位 (RTIE) 和预分频器选择位 (RTCPS)。

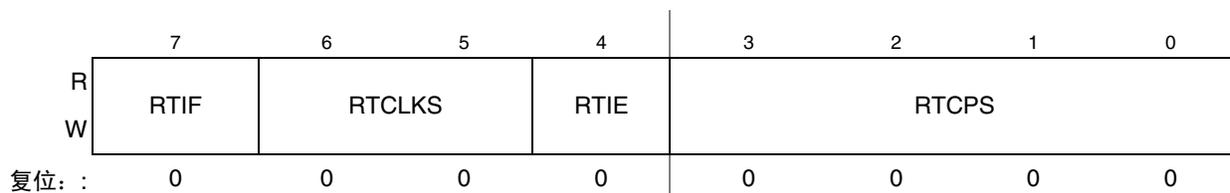


图 15-3. RTC 状态和控制寄存器 (RTCSC)

表 15-2. RTCSC 字段描述

字段	描述
7 RTIF	实时中断标记 — 本状态位指示 RTC 计数器寄存器计数值达到 RTC 模数寄存器中设定的值。写入逻辑数 0 是无效的。写入逻辑数 1 可清除此位和实时中断请求。复位将 RTIF 清除为 0。 0 RTC 计数器未达到 RTC 模数寄存器中规定的值。 1 RTC 计数器已达到 RTC 模数寄存器中规定的值。
6–5 RTCLKS	实时时钟源选择 — 这两个读 / 写位为 RTC 预分频器选择时钟源输入。更换时钟源可清除预分频器和 RTCCNT 计数器。选择时钟源时，确保时钟源被正常使能（如果适用），以确保 RTC 的正确运行。复位将把 RTCLKS 清除为 00。 00 实时时钟源为 1-kHz 低功率振荡器 (LPO) 01 实时时钟源为外部时钟 (ERCLK) 1x 实时时钟源为内部时钟 (IRCLK)
4 RTIE	实时中断使能 — 这个读 / 写位使能实时中断。如果 RTIE 被设置，那么 RTIF 被设置时会生成中断。复位将把 RTIE 清除为 0。 0 实时中断请求被关闭。采用软件轮询。 1 实时中断请求被允许。
3–0 RTCPS	实时时钟预分频器选择 — 这四个读 / 写位为时钟源选择二进制或十进制除数值。请参见表 15-3. 修改预分频器可清除预分频器和 RTCCNT 计数器。复位将把 RTCPS 清除为 0000。

表 15-3. RTC 预分频器除数值

RTCLKS[0]	RTCPS															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	Off	2 <sup>3</sup>	2 <sup>5</sup>	2 <sup>6</sup>	2 <sup>7</sup>	2 <sup>8</sup>	2 <sup>9</sup>	2 <sup>10</sup>	1	2	2 <sup>2</sup>	10	2 <sup>4</sup>	10 <sup>2</sup>	5x10 <sup>2</sup>	10 <sup>3</sup>
1	Off	2 <sup>10</sup>	2 <sup>11</sup>	2 <sup>12</sup>	2 <sup>13</sup>	2 <sup>14</sup>	2 <sup>15</sup>	2 <sup>16</sup>	10 <sup>3</sup>	2x10 <sup>3</sup>	5x10 <sup>3</sup>	10 <sup>4</sup>	2x10 <sup>4</sup>	5x10 <sup>4</sup>	10 <sup>5</sup>	2x10 <sup>5</sup>

表 16-7. TPM 时钟源选择

CLKSB:CLKSA	预分频器输入的 TPM 时钟源
00	没有选择时钟 (TPM 计数器被关闭)
01	总线速率时钟
10	固定系统时钟
11	外部源

总线速率时钟是 MCU 的主系统总线时钟。这个时钟源不要求同步，因为它是用于所有内部 MCU 活动（包括 CPU 和总线运行）的时钟。

在没有 PLL 或没有使用 PLL 的 MCU 中，固定系统时钟源与总线速率时钟源相同，不需要经过同步器。当存在并使用了 PLL 时，在晶振 2 分时钟源和定时器计数器之间要求同步器，以确保计数器过渡与总线时钟过渡同步。同步器将用于芯片一级，以便将晶振相关源时钟与总线时钟同步。

外部时钟源可与任何 TPM 通道管脚连接。这种时钟源必须始终通过同步器，确保计数器过渡与总线时钟过渡保持同步。总线速率时钟驱动同步器；因此，要满足 Nyquist 标准甚至抖动，外部时钟源的频率必须不能高于总线速率的四分之一。使用适当时钟时，外部时钟可与总线时钟的四分之一一样快。

当外部时钟源共享 TPM 通道管脚时，该管脚不应用于其他通道计数功能。例如，当 TPM 通道 0 管脚同时也用作定时器外部时钟源时，将通道 0 配置用于输入捕捉会造成不明确。（用户应负责避免这种设置。）TPM 通道仍可用于输出比较模式以支持软件计时功能（管脚控制位不影响 TPM 通道管脚）。

#### 16.4.1.2 计数器溢出和模数复位

中断标记和使能与 16 位主计数器相关。标记 (TOF) 是显示定时器计数器溢出的软件可接入指标。不论何时 TOF 标记等于 1，使能信号都在软件轮询 (TOIE=0)（无硬件中断被生成）或中断驱动操作 (TOIE=1)（生成静态硬件中断）间选择。

导致 TOF 被设置的条件取决于 TPM i 是否被配置为中央对齐 PWM (CPWMS=1)。在最简单的模式下没有模数限制，TPM 也不在 CPWMS=1 模式中。在这种情况下，16 位定时器计数器从 0x0000 计数到 0xFFFF，然后在下一个计数时钟周期内溢出为 0x0000。在从 0xFFFF 过渡到 0x0000 时，TOF 被设置。设置了模数限制时，TOF 在从模数寄存器中设置的值向 0x0000 过渡时设置。当 TPM 处于中央对齐 PWM 模式时 (CPWMS=1)，TOF 标记在计数器到达模数寄存器中设置的计数值结束改变方向时被设置（也就是说从模数寄存器中设置的值向下一个更低计数值过渡时）。这与 PWM 周期结束对应（0x0000 计数值与周期中央对应）。

#### 16.4.1.3 计数模式

主定时器的计数器有两种计数模式。选择中央对齐 PWM 时，计数器以向上 / 向下计数模式运行。否则，计数器作为简单的向上计数器运行。作为向上计数器时，定时器计数器从 0x0000 计数到其终端计数，然后从 0x0000 重新开始。终端计数为 0xFFFF 或 TPMxMODH:TPMxMODL 中的模数值。

### 16.4.2.3 边缘对齐 PWM 模式

这类 PWM 输出使用定时器计数器的正常向上计数模式 (CPWMS=0)；当相同 TPM 中的其他通道被配置用于输入捕捉或输出比较功能时，也可使用它。这个 PWM 信号的周期由模数寄存器 (TPMxMODH:TPMxMODL) 的值加 1 确定。占空比由定时器通道寄存器 (TPMxCnVH:TPMxCnVL) 中的设置确定。这个 PWM 信号的极性由 ELSnA 控制位中的设置确定。0% 和 100% 的占空比都是可能的。

TPM 通道寄存器中的输出比较值决定 PWM 信号的脉冲宽度 (占空比) (图 16-15)。T 模数溢出和输出比较间的时间间隔为脉冲宽度。如果 ELSnA=0，计数器溢出强迫 PWM 信号进入高态；而输出比较强制 PWM 信号进入低态。如果 ELSnA=1，计数器溢出强迫 PWM 信号进入低态；而输出比较强制 PWM 信号进入高态。

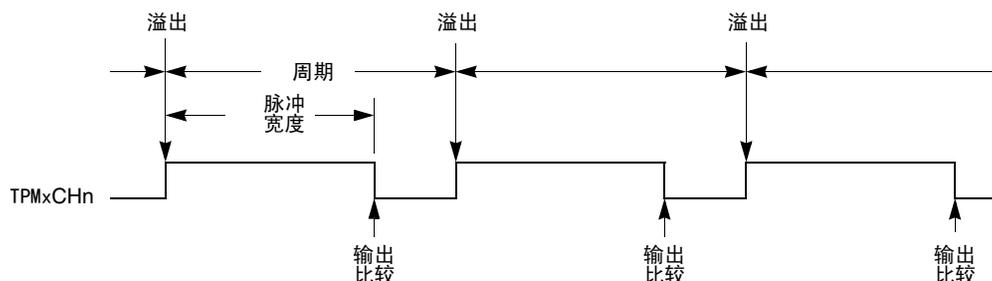


图 16-15. PWM 周期和脉冲宽度 (ELSnA=0)

当通道值寄存器被设为 0x0000 时，占空比为 0%。100%。通过将定时器通道计数器 (TPMxCnVH:TPMxCnVL) 设置为大于模数设置的值可实现 . 的占空比。这意味着要实现 100% 的占空比，模数设置必须小于 0x FFFF。

因为 TPM 可用在 8 位 MCU 中，定时器通道寄存器中的设置被缓存，以确保连贯的 16 位更新并避免意外的 PWM 脉冲宽度。写入到任何寄存器 TPMxCnVH 和 TPMxCnVL 中意味着实际写入到缓冲器寄存器中。在边缘对齐 PWM 模式下，值根据 CLKSB:CLKSA 位的值被传输到相应的定时器通道寄存器中，因此：

- 如果 (clksb:clksa = 0:0)，寄存器在第二个字节被写入时更新
- 如果 (clksb:clksa not = 0:0)，寄存器在两个字节都被写入，tpm 计数器从 (tpmmodh:tpmmodl - 1) 变为 (tpmmodh:tpmmodl) 后更新。如果 tpm 计数器为自由运行的计数器，那么更新在 tpm 计数器从 0xffff 变为 0xffff 时进行更新。

### 16.4.2.4 中央对齐 PWM 模式

这类 PWM 输出使用定时器计数器 (CPWMS=1) 的向上 / 向下计数模式。TPMxCnVH:TPMxCnVL 中的输出比较值决定 PWM 信号的脉冲宽度 (占空比) 而 TPMxMODH:TPMxMODL 中的值决定周期。TPMxMODH:TPMxMODL 应保持在 0x0001 至 0x7FFF 之间，因为这一范围外的值可生成模糊结果。ELSnA 将决定 CPWM 输出的极性。

脉冲宽度 = 2 x (TPMxCnVH:TPMxCnVL)

周期 = 2 x (TPMxMODH:TPMxMODL)；TPMxMODH:TPMxMODL=0x0001-0x7FFF

如果通道值寄存器 TPMxCnVH:TPMxCnVL 为零或负数 (位 15 被设置)，占空比将为 0%。如果 TPMxCnVH:TPMxCnVL 是正值 (位 15 被清除) 并大于模数设置 (非零)，占空比将为

表 17-6. DBGS 寄存器字段描述

字段	描述
7 AF	<b>触发匹配 A 标记</b> — 在调试运行开始时清除 AF，指示武装后是否满足触发匹配 A 条件。 0 比较器 A 未匹配 1 比较器 A 匹配
6 BF	<b>触发匹配 B 标记</b> — 在调试运行开始时清除 BF，指示武装后是否满足触发匹配 B 条件。 0 比较器 B 未匹配 1 比较器 B 匹配
5 ARMF	<b>打开标记</b> — 当 DBGEN=1 时，这个位为 DBGIC 中 ARM 的只读镜像。将 DBGIC 中的 ARM 控制位写为 1（当 DBGEN = 1）可设置该位，在调试运行结束时自动清除它。当 FIFO 为满时（始起跟踪），或当探测到触发事件时（结束跟踪），调度运行完成。将 DBGIC 中的 ARM 或 DBGEN 写为 0，可以人工停止调试运行。 0 调试器没有打开 1 调试器被打开
3:0 CNT[3:0]	<b>FIFO 有效计数</b> — 这些位在调试运行开始时清除，指示调试运行结束时 FIFO 中的有效数据的字数。当数据大 FIFO 中读出时，CNT 中的值不减少。当信息从 FIFO 中读出时，外部调试主机负责计数的跟踪。 0000 FIFO 中的有效字数 = 无有效数据 0001 FIFO 中的有效字数 = 1 0010 FIFO 中的有效字数 = 2 0011 FIFO 中的有效字数 = 3 0100 FIFO 中的有效字数 = 4 0101 FIFO 中的有效字数 = 5 0110 FIFO 中的有效字数 = 6 0111 FIFO 中的有效字数 = 7 1000 FIFO 中的有效字数 = 8

表 A-6. DC 特性 (续)

编号	C	特性	符号	条件	最小值	典型值 <sup>1</sup>	最大值	单位	
10	P	Hi-Z (关态) 漏电流 (每管脚) 所有输入 / 输出	$I_{IOZ}$	$V_{IN} = V_{DD} \text{ or } V_{SS}$	—	0.1	1	$\mu\text{A}$	
11	P	上拉电阻 (或下拉电阻 <sup>2</sup> , 如果启用的话)	$R_{PU}, R_{PD}$	5 V	20	45	65	k $\Omega$	
	3 V			20	45	65			
12	T	输入电容、所有管脚	$C_{In}$		—	—	8	pF	
13	D	RAM 保持电压	$V_{RAM}$		0.9	1.4	2.0	V	
14	D	POR re-arm 电压 <sup>3</sup>	$V_{POR}$		0.9	1.4	2.0	V	
15	D	POR re-arm 时间 <sup>4</sup>	$t_{POR}$		10	—	—	$\mu\text{s}$	
16	P	低压探测阈值 — 高量程	$V_{LVD1}$		$V_{DD}$ 下降	3.9	4.0	4.1	V
					$V_{DD}$ 上升	4.0	4.1	4.2	
17	P	低压探测阈值 — 低量程	$V_{LVD0}$		$V_{DD}$ 下降	2.48	2.56	2.64	V
					$V_{DD}$ 上升	2.54	2.62	2.70	
18	C	低压报警阈值 — 高量程 1	$V_{LVW3}$		$V_{DD}$ 下降	4.5	4.6	4.7	V
					$V_{DD}$ 上升	4.6	4.7	4.8	
19	P	低压报警阈值 — 高量程 0	$V_{LVW2}$		$V_{DD}$ 下降	4.2	4.3	4.4	V
					$V_{DD}$ 上升	4.3	4.4	4.5	
20	P	低压报警阈值 低量程 1	$V_{LVW1}$		$V_{DD}$ 下降	2.84	2.92	3.00	V
					$V_{DD}$ 上升	2.90	2.98	3.06	
21	C	低压报警阈值 — 低量程 0	$V_{LVW0}$		$V_{DD}$ 下降	2.66	2.74	2.82	V
					$V_{DD}$ 上升	2.72	2.80	2.88	
22	T	低压禁止复位 / 恢复滞后	$V_{hys}$		5 V	—	100	—	mV
					3 V	—	60	—	
23	D	dc 注入电流 <sup>5, 6, 7, 8</sup> 单管脚限制	$I_{IC}$		$V_{IN} > V_{DD}$	0	—	2	mA
					$V_{IN} < V_{SS}$	0	—	-0.2	
		总 MCU 限制, 包括所有加应用的管脚			$V_{IN} > V_{DD}$	0	—	25	
					$V_{IN} < V_{SS}$	0	—	-5	

所有 TPM 通道都可以独立编程为输入捕捉、输出比较或缓冲边沿 PWM 通道。

## B.4 外部信号描述

与定时器关联的任意管脚配置为定时器输入时，被动上拉功能使能。复位后，TPM 模块禁止，所有管脚默认设置为被动上拉功能禁止的通用输入。

### B.4.1 外部 TPM 时钟源

当定时器状态和控制器寄存器里的控制位 `CLKSB:CLKSA` 设置为 1:1 时，预分频器及 TPMx 的 16 位计数器由外部时钟源 `TPMxCLK` 驱动。该时钟源与 I/O 管脚连接。外部时钟和 TPM 的其余部分之间需要一个同步装置。该同步装置采用总线时钟，因而外部源的频率必须低于总线速率时钟频率的 1.5 倍。这个外部时钟源的频率上限明确规定为总线频率的 1/4，以便能适应负载循环和相位锁定环路（PLL）/ 频率锁定环路（FLL）频率抖动产生的影响。

在部分设备上，外部时钟输入由其中一个 TPM 通道共享。当 TPM 通道作为外部时钟输入共享时，关联 TRM 通道不能使用该管脚。（该通道仍然可以作为软件定时器用于输出比较模式）。此外，如果其中一个 TPM 通道用作外部时钟输入，对应的 `ELSnB:ELSnA` 控制位必须设置为 0:0，因此该通道不会使用同一个管脚。

### B.4.2 TPMxCHn — TPMx 通道 n I/O 管脚

所有 TPM 通道都与 MCU 上的一个 I/O 管脚关联。这个管脚的功能与通道配置有关。部分情况不需要管脚功能，因此该管脚由通用 I/O 控制装置进行控制。当定时器拥有某个端口管脚的控制时，端口数据和数据方向寄存器不会对关联管脚产生影响。如需了解共享管脚功能的相关信息，请参见 [Pins and Connections](#) 章节。

## B.5 寄存器定义

TPM 包括：

- 8 位状态和控制寄存器 (TPMxSC)
- 16 位计数器 (TPMxCNTH:TPMxCNTL)
- 16 位模量寄存器 (TPMxMODH:TPMxMODL)

每个定时器通道都包括：

- 8 位状态和控制寄存器寄存器 (TPMxCnSC)
- 16 位通道值寄存器 (TPMxCnVH:TPMxCnVL)

如需了解所有 TPM 寄存器的绝对地址分配信息，请参见本文 [Memory](#) 章节的直接地址页寄存器概况。

## B.5.4 定时器通道 n 状态和控制寄存器 (TPMxCnSC)

TPMxCnSC 包含通道中断状态标记和控制位，用于配置中断启动、通道配置和管脚功能。

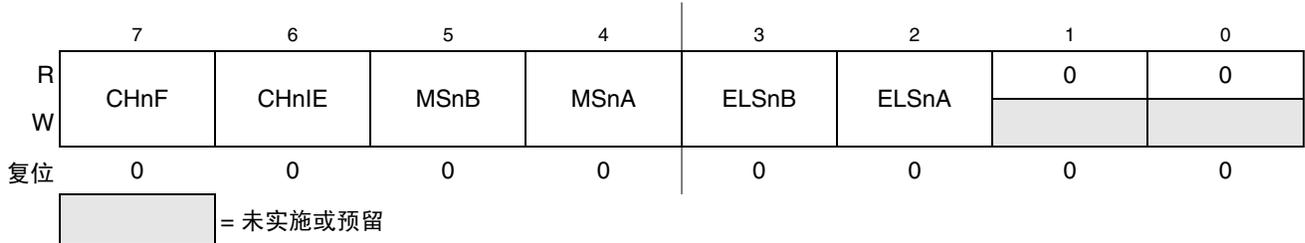


图 B-7. 定时器通道 n 状态和控制寄存器 (TPMxCnSC)

表 B-4. TPMxCnSC 寄存器字段描述

字段	描述
7 CHnF	<p><b>通道 n 标记</b> — 通道 n 配置用于输入捕获的情况下，通道 n 管脚上发生活动边时设置该标记位。通道 n 为输出对比或边缘对齐 PWM 通道时，TPM 计数器寄存器中的值与 TPM 通道 n 值寄存器中的值匹配时，CHnF 被设置。此标记很少与中央对齐 PWM 一起使用，因为它是每次计数器与通道值寄存器（与活动工作循环周期的两个边相对应）相匹配时设置的。</p> <p>当 CHnF 被设置而且中断（CHnIE = 1）被启动时，会请求相应的中断。在 CHnF 被设置时，您可以通过读取 TPMxCnSC 并将一个 0 写入 CHnF 中来清除 CHnF。如果清除序列完成前出现另一个中断请求，则序列将被复位，因此早先 CHnF 的清除序列完成后 CHnF 仍将被设置。这样做的目的是确保清除以前的 CHnF 不会导致 CHnF 中断请求的丢失。复位可清除 CHnF 位。将 1 写入 CHnF 是无效的。</p> <p>0 通道 n 上没有输入捕获或输出对比事件 1 通道 n 上发生输入捕获或输出对比事件</p>
6 CHnIE	<p><b>通道 n 中断使能</b> — 这个读 / 写位从通道 n 中启动中断。复位可清除 CHnIE。</p> <p>1 通道 n 中断请求使能</p>
5 MSnB	<p>TPM 通道 n 的模式选择 B — 当 CPWMS=0 时，MSnB=1 为边缘对齐 PWM 模式配置 TPM 通道 n。请参考表 B-5 中来查看通道模式和设置控制总结。</p>
4 MSnA	<p><b>TPM 通道 n 的模式选择 A</b> — 当 CPWMS=0 而 MSnB=0 时，MSnA 为输入捕获模式或输出对比模式配置 TPM 通道 n。请参考表 B-5，查看通道模式和设置控制总结。</p>
3:2 ELSn[B:A]	<p><b>边缘 / 电平选择位</b> — 根据 CPWMS:MSnB:MSnA 设置的定时器通道运行模式（如表 B-5 所示），这些位选择触发输入捕获事件的输入边极性，选择根据输出对比匹配将驱动的电平，或者选择 PWM 输出的极性。</p> <p>将 ELSnB:ELSnA 设置为 0:0 可把相关定时器管脚配置为与任何定时器通道功能无关的通用输入 / 输出管脚。当相关定时器通道被设置为不要求使用管脚的软件定时器时，本功能常用于临时关闭输入捕获通道或允许将定时器管脚用作通用输入 / 输出管脚。</p>