

Welcome to [E-XFL.COM](http://E-XFL.COM)

### What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

### Applications of "[Embedded - Microcontrollers](#)"

#### Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I <sup>2</sup> C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	16KB (16K x 8)
Program Memory Type	FLASH
EEPROM Size	512 x 8
RAM Size	1K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 85°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	<a href="https://www.e-xfl.com/pro/item?MUrl=&amp;PartUrl=mc9s08dz16clc">https://www.e-xfl.com/pro/item?MUrl=&amp;PartUrl=mc9s08dz16clc</a>

# 目录

章节号	标题	页码
<b>第 1 章</b>		
<b>器件概述</b>		
1.1	MC9S08DZ60 系列器件.....	19
1.2	MCU 结构图.....	20
1.3	系统时钟分配.....	23
<b>第 2 章</b>		
<b>管脚和连接</b>		
2.1	器件管脚分配.....	25
2.2	推荐的系统连接.....	28
2.2.1	电源.....	29
2.2.2	振荡器.....	29
2.2.3	RESET（复位）.....	29
2.2.4	后台调试和模式选择.....	30
2.2.5	ADC 参考管脚 ( $V_{REFH}$ , $V_{REFL}$ ).....	30
2.2.6	通用 I/O 和外围设备端口.....	30
<b>第 3 章</b>		
<b>操作模式</b>		
3.1	简介.....	33
3.2	特性.....	33
3.3	运行模式.....	33
3.4	主动后台模式.....	33
3.5	等待模式.....	34
3.6	停止模式.....	34
3.6.1	Stop3 模式.....	35
3.6.2	Stop2 模式.....	36
3.6.3	停止模式中的片上外围模块.....	36
<b>第 4 章</b>		
<b>存储器</b>		
4.1	MC9S08DZ60 系列产品存储器映射.....	39
4.2	复位和中断向量分配.....	40
4.3	寄存器地址和位分配.....	41
4.4	RAM.....	49
4.5	Flash 和 EEPROM.....	49
4.5.1	特性.....	49

表 4-3 中列出的高端页面寄存器的访问频率比其它 I/O 和控制寄存器低很多，因此存放在可直接寻址的内存空间外，从 0x1800 开始。

表 4-3. 高端页面寄存器总结（第 1 页，共 3 页）

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0x1800	SRS	POR	PIN	COP	ILOP	ILAD	LOCS	LVD	0
0x1801	SBDFR	0	0	0	0	0	0	0	BDFR
0x1802	SOPT1	COPT		STOPE	SCI2PS	IICPS	0	0	0
0x1803	SOPT2	COPCLKS	COPW	0	ADHTS	0	MCSEL		
0x1804– 0x1805	预留	—	—	—	—	—	—	—	—
0x1806	SDIDH	—	—	—	—	ID11	ID10	ID9	ID8
0x1807	SDIDL	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
0x1808	预留	—	—	—	—	—	—	—	—
0x1809	SPMSC1	LVWF	LVWACK	LVWIE	LVDRE	LVDSE	LVDE	0	BGBE
0x180A	SPMSC2	0	0	LVDV	LVWV	PPDF	PPDACK	0	PPDC
0x180B– 0x180F	预留	—	—	—	—	—	—	—	—
0x1810	DBGCAH	Bit 15	14	13	12	11	10	9	Bit 8
0x1811	DBGCAL	Bit 7	6	5	4	3	2	1	Bit 0
0x1812	DBGCBH	Bit 15	14	13	12	11	10	9	Bit 8
0x1813	DBGCBL	Bit 7	6	5	4	3	2	1	Bit 0
0x1814	DBGFH	Bit 15	14	13	12	11	10	9	Bit 8
0x1815	DBGFL	Bit 7	6	5	4	3	2	1	Bit 0
0x1816	DBGC	DBGEN	ARM	TAG	BRKEN	RWA	RWAEN	RWB	RWBEN
0x1817	DBGT	TRGSEL	BEGIN	0	0	TRG3	TRG2	TRG1	TRG0
0x1818	DBGS	AF	BF	ARMF	0	CNT3	CNT2	CNT1	CNT0
0x1819– 0x181F	预留	—	—	—	—	—	—	—	—
0x1820	FCDIV	DIVLD	PRDIV8	DIV					
0x1821	FOPT	KEYEN	FNORED	EPGMOD	0	0	0	SEC	
0x1822	预留	—	—	—	—	—	—	—	—
0x1823	FCNFG	0	EPGSEL	KEYACC	Reserved <sup>1</sup>	0	0	0	1
0x1824	FPROT	EPS			FPS				
0x1825	FSTAT	FCBEF	FCCF	FPVIOL	FACCERR	0	FBLANK	0	0
0x1826	FCMD	FCMD							
0x1827– 0x183F	预留	—	—	—	—	—	—	—	—
0x1840	PTAPE	PTAPE7	PTAPE6	PTAPE5	PTAPE4	PTAPE3	PTAPE2	PTAPE1	PTAPE0
0x1841	PTASE	PTASE7	PTASE6	PTASE5	PTASE4	PTASE3	PTASE2	PTASE1	PTASE0
0x1842	PTADS	PTADS7	PTADS6	PTADS5	PTADS4	PTADS3	PTADS2	PTADS1	PTADS0
0x1843	预留	—	—	—	—	—	—	—	—
0x1844	PTASC	0	0	0	0	PTAIF	PTAACK	PTAIE	PTAMOD

- 将命令代码写入到 FCMD 中。6 个有效的命令分别是空白检查 (blank check, 0x05)、字节编程 (byte program, 0x20)、突发编程 (burst program, 0x25)、分区擦除 (sector erase, 0x40)、整体擦除 (mass erase<sup>1</sup>, 0x41) 和分区擦除终止 (sector erase abort, 0x47)。命令代码被锁定到命令缓冲器中。

- 将一个 1 写入到 FSTAT 中的 FCBEF 位上，以清除 FCBEF 并发起命令 (包括其地址和数据信息)。

在写内存阵列之后到写 1 用于清除 FCBEF 并发起完整命令之前的任何时候，可以通过向 FCBEF 中写入一个“0”，来手工终止部分命令顺序。以这种方式终止一个命令会设置 FACCERR 访问错误标记，而这个标记必须在开始一个新命令之前清除掉。

整个过程必须遵守严格监控的流程，否则命令将不会被接受。通过这种方式可以最大限度地降低无意中修改内存内容的可能性。命令完整标记 (FCCF) 用于指示一条命令是否完整。要启动命令，必须通过清除 FCBEF 来使命令序列完整。图 4-2 是执行除突发编程和分区擦除终止以外的所有命令的流程。

- 等待 FSTAT 中的 FCCF 位被设置。只要 FCCF=1，就说明操作成功完成。

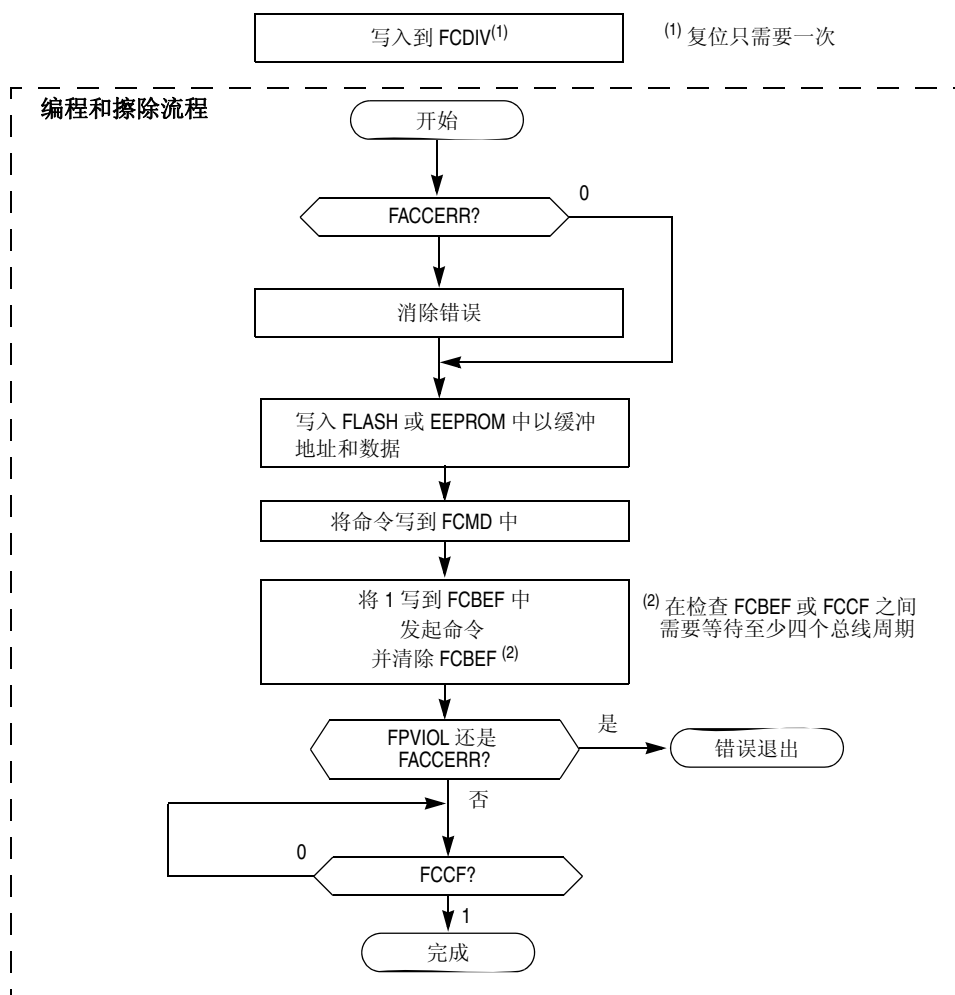


图 4-2. 编程和擦除流程图

1. 整体擦除只能在 Flash 块完全不受保护的情况下进行。

### 4.5.4 突发编程执行

突发编程命令能在比标准编程命令更短的时间内对数据的连续字节进行编程。这是因为 Flash 阵列的高电压在编程操作之间不需要断开。通常情况下，在发出编程或擦除命令后，必须启用与 Flash 相关的一个内部电荷泵用于为阵列提供高电压。命令执行完成后，该电荷泵会被关闭。发出突发编程命令后，电荷泵在以下两种条件下会被开启而且在突发编程操作完成后将保持开启状态：

- 下一个突发编程命令序列在设置 FCCF 位之前已开始。
- 下一个顺序地址从所编程的当前字节所在的相同突发块中选择一个字节。该 Flash 中的突发块包括 32 个字节。新的突发块在每个 32 字节地址的边界开始。

在突发模式下对一系列连续字节的第一个字节进行编程所需要的时间与标准模式下编程一个字节所需的时间相同。如果达到上述两个条件，后面的字节将在突发编程时间内编程。如果下一个顺序地址是新的一行的开始，那么该字节的编程时间将是标准时间而不是突发时间。这是因为到阵列的高电压必须断开后重新开启。如果在当前命令完成前，队列中没有任何新的突发命令，那么电荷泵将关闭，高电压将从阵列上断开。

图 4-3 为执行突发编程操作的流程。

### 4.5.11.2 Flash 和 EEPROM 选项寄存器 (FOPT 和 NVOPT)

在复位过程中，非易失性位置 NVOPT 上的内容从 Flash 拷贝到 FOPT 中。若想修改这个寄存器中的值，可对 Flash 中的 NVOPT 位置进行擦除和重新编程，然后发出新的 MCU 复位命令。

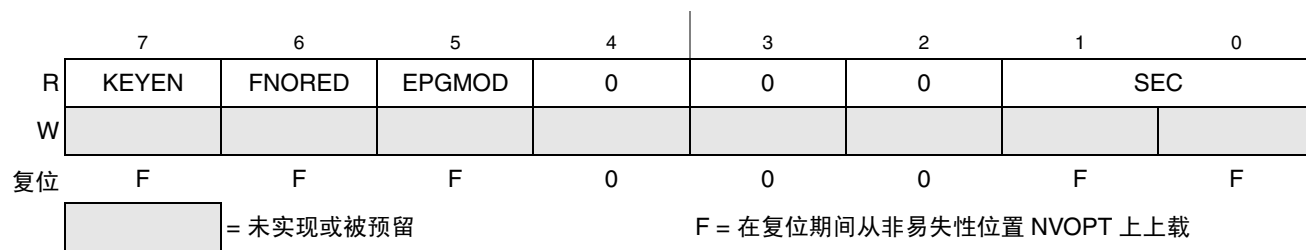


图 4-6. Flash 和 EEPROM 选项寄存器 (FOPT)

表 4-9. FOPT 寄存器字段描述

字段	描述
7 KEYEN	<b>后门密钥机制启动</b> — 该位设置为 0 时，后门密钥机制不能用于关闭安全性。后门密钥机制只能从用户（受保护）固件上访问。BDM 命令不能用于写入可能会解锁后门密钥的密钥对比值。若欲了解有关后门密钥机制的更详尽信息，请参见 4.5.9，“安全性”。 0 不允许后门密钥访问。 1 如果用户固件写入一个与非易失性后门密钥（按顺序为 NVBACKKEY 到 NVBACKKEY+7）相匹配的 8 字节值，安全性在下次 MCU 复位前会暂时关闭。
6 FNORED	<b>向量重定向禁用</b> — 该位为 1 时向量重定向被禁用。 0 向量重定向启用。 1 向量重定向禁用。
5 EPGMOD	<b>EEPROM 分区模式</b> — 该位为 0 时，每个分区分为两个页面（4 字节模式）。该位为 1 时，每个分区在一个页面中（8 字节模式）。 0 每个 EEPROM 分区的一半在页面 0 中而另一半在页面 1 中。 1 每个分区在一个页面中。
1:0 SEC	<b>安全状态代码</b> — 这个 2 位字段决定 MCU 的安全状态，如表 4-10 所示。MCU 处于安全状态时，RAM、EEPROM 和 Flash 中的内容不能通过指令从不安全的源（包括后台调试接口）上访问。后门密钥被成功输入或对 Flash 进行了成功的空白检查后，SEC 将变为 1:0。若欲了解有关安全性的更详尽信息，请参见 4.5.9，“安全性”。

表 4-10. Security States<sup>1</sup>

SEC[1:0]	描述
0:0	安全
0:1	安全
1:0	不安全
1:1	安全

<sup>1</sup> 后门密钥被成功输入或成功地对 Flash 进行了空白检查后，SEC 将变为 1:0。



表 7-2. 指令集小结 (第 4 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V I 1 H	I N Z C
CMP #opr8i CMP opr8a CMP opr16a CMP oprx16,X CMP oprx8,X CMP ,X CMP oprx16,SP CMP oprx8,SP	比较存储器和累加器 A - M (CCR 已更新, 但操作数未变)	IMM DIR EXT IX2 IX1 IX SP2 SP1	A1 ii B1 dd C1 hh ll D1 ee ff E1 ff F1 9E D1 ee ff 9E E1 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	↑ 1 1 -	- ↓ ↓ ↓
COM opr8a COMA COMX COM oprx8,X COM ,X COM oprx8,SP	补数 (1 的补数) $M \text{ `` } (\overline{M}) = \$FF - (M)$ $A \text{ `` } (\overline{A}) = \$FF - (A)$ $X \text{ `` } (\overline{X}) = \$FF - (X)$ $M \text{ `` } (\overline{M}) = \$FF - (M)$ $M \text{ `` } (\overline{M}) = \$FF - (M)$ $M \text{ `` } (\overline{M}) = \$FF - (M)$	DIR INH INH IX1 IX SP1	33 dd 43 53 63 ff 73 9E 63 ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	0 1 1 -	- ↓ ↓ 1
CPHX opr16a CPHX #opr16i CPHX opr8a CPHX oprx8,SP	比较索引寄存器 (H:X) 和存储器 (H:X) - (M:M + \$0001) (CCR 已更新, 但操作数未变)	EXT IMM DIR SP1	3E hh ll 65 jj kk 75 dd 9E F3 ff	6 3 5 6	prrfpp ppp rrfpp prrfpp	↑ 1 1 -	- ↓ ↓ ↓
CPX #opr8i CPX opr8a CPX opr16a CPX oprx16,X CPX oprx8,X CPX ,X CPX oprx16,SP CPX oprx8,SP	比较 X (索引寄存器低) 和存储器 X - M (CCR 已更新, 但操作数未变)	IMM DIR EXT IX2 IX1 IX SP2 SP1	A3 ii B3 dd C3 hh ll D3 ee ff E3 ff F3 9E D3 ee ff 9E E3 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	↑ 1 1 -	- ↓ ↓ ↓
DAA	十进调整累加器 BCD 值的 ADD 或 ADC 后	INH	72	1	p	U 1 1 -	- ↓ ↓ ↓
DBNZ opr8a,rel DBNZA rel DBNZX rel DBNZ oprx8,X,rel DBNZ ,X,rel DBNZ oprx8,SP,rel	减量 A, X, 或 M, 如果非 0, 分支 (如果 (result) $\neq$ 0) DBNZX 影响 X 而非 H	DIR INH INH IX1 IX SP1	3B dd rr 4B rr 5B rr 6B ff rr 7B rr 9E 6B ff rr	7 4 4 7 6 8	rfwpppp fppp fppp rfwpppp rfwppp prfwpppp	- 1 1 -	- - - - -
DEC opr8a DECA DECX DEC oprx8,X DEC ,X DEC oprx8,SP	减量 $M \text{ `` } (M) - \$01$ $A \text{ `` } (A) - \$01$ $X \text{ `` } (X) - \$01$ $M \text{ `` } (M) - \$01$ $M \text{ `` } (M) - \$01$ $M \text{ `` } (M) - \$01$	DIR INH INH IX1 IX SP1	3A dd 4A 5A 6A ff 7A 9E 6A ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↑ 1 1 -	- ↓ ↓ -
DIV	除 $A \text{ `` } (H:A) \div (X); H \text{ `` } \text{余数}$	INH	52	6	fffffp	- 1 1 -	- - ↓ ↓
EOR #opr8i EOR opr8a EOR opr16a EOR oprx16,X EOR oprx8,X EOR ,X EOR oprx16,SP EOR oprx8,SP	存储器和累加器 " 异或 " $A \text{ `` } (A \text{ Y } M)$	IMM DIR EXT IX2 IX1 IX SP2 SP1	A8 ii B8 dd C8 hh ll D8 ee ff E8 ff F8 9E D8 ee ff 9E E8 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	- ↓ ↓ -



## 8.4.5 MCG Control Register 3 (MCGC3)

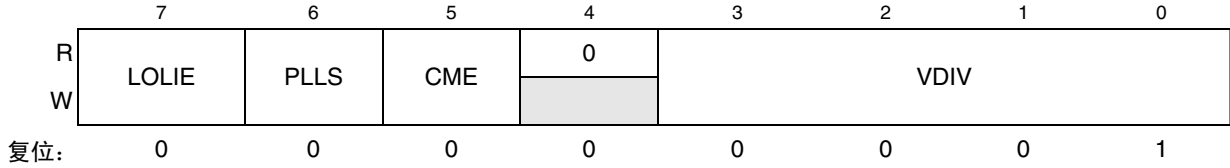


图 8-7. MCG PLL 寄存器 (MCGPLL)

表 8-5. MCG PLL 寄存器字段描述

字段	描述
7 LOLIE	<b>锁定中断丢失使能</b> — 决定是否在锁定丢失后产生中断请求。LOLIE 位只有在设置 LOLS 后才产生作用。 0 锁定丢失不生成请求 1 锁定丢失生成请求
6 PLLS	<b>PLL 选择</b> — 控制是选择 PLL 还是选择 FLL。如果 PLLS 位清除，PLL 在所有模式中都被禁止。如果设置了 PLLS，FLL 在所有模式中被禁止。 1 选择 PLL 0 选择 PLL
5 CME	<b>时钟监控器使能</b> 决定是否在外部时钟显示丢失后是否发送复位请求。当 MCG 处于使用外部时钟 (FEE, FBE, PEE, PBE 或 BLPE) 的运行模式或使能外部参考 (在 MCGC2 寄存器中 ERCLKEN=1) 时，CME 位只能设置为逻辑 1。只要 CME 位设置为逻辑 1，MCGC2 寄存器中的 RANGE 位的值都不能更改。 0 时钟监控器禁止 1 外部时钟丢失生成复位请求
3:0 VDIV	<b>VCO 分频器</b> — 选择用来除 PLL 的 VCO 输出的值。VDIV 位确定被应用到参考时钟频率的倍频因子 (M)。 0000 ENCODING 0 — 预留的 0001 ENCODING 1 — 乘以 4. 0010 ENCODING 2 — 乘以 8. 0011 ENCODING 3 — 乘以 12. 0100 ENCODING 4 — 乘以 16. 0101 ENCODING 5 — 乘以 20. 0110 ENCODING 6 — 乘以 24. 0111 ENCODING 7 — 乘以 28. 1000 ENCODING 8 — 乘以 32. 1001 ENCODING 9 — 乘以 36. 1010 ENCODING 10 — 乘以 40. 1011 ENCODING 11 — 预留的 (默认设置为 M=40) 11xx ENCODING 12-15 — 预留的 (默认设置为 M=40)

### 8.6.2.3 示例 3: 从 BLPI 转换到 FEE 模式: 外部晶体 = 4 MHz、总线频率 = 16 MHz

本例中, MCG 将选择适当的运行模式, 从以基于内部参考时钟, 运行于 16 kHz 总线频率的 BLPI 模式 (参见前例) 转换到 4MHz 晶体频率、16 MHz 总线频率的 FEE 模式。示例中首先介绍了代码序列, 然后提供了一个演示该顺序的流程图。

1. 首先, BLPI 必须转换到 FBI 模式。
  - a) MCGC2 = 0x00 (%00000000)
    - MCGSC 中的 LP (位 3) 是 0
  - b) 循环检测, 直到 MCGSC 中的 LOCK (位 6) 置位, 表明 FLL 已经获得锁定。尽管在 FBI 模式中 FLL 被旁通, 但它仍使能并运行。
2. 接下来, FBI 将转换到 FEE 模式。
  - a) MCGC2 = 0x36 (%00110110)
    - RANGE (位 5) 设置为 1, 因为 4 MHz 频率在高频范围内。
    - HGO (位 4) 设置为 1, 为高增益运行配置外部振荡器。
    - EREFS (位 2) 设置为 1, 因为正在使用晶体。
    - ERCLKEN (位 1) 设置为 1, 确保外部参考时钟处于活动状态。
  - b) 循环检测, 直到 MCGSC 中的 OSCINIT (位 1) 是 1, 表明 EREFS 位选择的晶体已经完成初始化。
  - c) MCGC1 = 0x38 (%00111000)
    - CLKS (位 7 和 6) 设置为 %00, 以便将 FLL 输出选为系统时钟源。
    - RDIV (位 5-3) 设置为 %111 或除以 128, 因为  $4 \text{ MHz} / 128 = 31.25 \text{ kHz}$ , 这在 FLL 要求的 31.25 kHz -- 39.0625 kHz 频率范围内。
    - IREFS (位 1) 清除至 0, 选择外部参考时钟
  - d) 循环检测, 直到 MCGSC 中的 IREFST (位 4) 是 0, 表明外部参考时钟是参考时钟的当前源。
  - e) 循环检, 直到 MCGSC 中的 LOCK (位 6) 置位, 表明 FLL 重新获得了锁定。
  - f) 循环检测, 直到 MCGSC 中的 CLKST (位 3 和 2) 是 %00, 表明已经选择 FLL 输出为 MCGOUT 馈电。

## 9.1.2 特性

ACMP 具有以下特性：

- 完全的轨到轨供电操作。
- 可选择的比较器输出上升沿中断、下降沿中断，或上升沿及下降沿中断。
- 与内部固定的带死区参考电压比较选项。
- 允许在管脚 ACMPxO 上看到比较器结果输出的选项。

## 9.1.3 运行模式

本节介绍等待、停止和背景调试模式中的 ACMP 运行。

### 9.1.3.1 等待模式中的 ACMP

如果在进入等待模式前已经使能 ACMP，ACMP 将继续在等待模式中运行。因此，如果使能 ACMP 中断（ACIE 已设置），可以用 ACMP 使 MCU 退出等待模式。为了实现尽可能低的功耗，如果等待模式中不需要 ACMP 作为中断源，应通过软件关闭 ACMP。

### 9.1.3.2 停止模式中的 ACMP

ACMP 在所有停止模式中都被禁止，无论执行停止指令前的设置如何。因此，ACMP 不能作为停止模式的唤醒源。

在 STOP2 模式中，ACMP 模块的电源完全关闭。当从 STOP2 模式中唤醒时，ACMP 模块处于复位状态。

在 STOP3 模式中，ACMP 模块的时钟暂停。寄存器不受影响。此外，ACMP 比较器电路进入低功耗状态。STOP3 中不会发生比较操作。

如果 STOP3 由于复位而退出，ACMP 将进入复位状态。如果 STOP3 由于中断而退出，ACMP 将从进入 STOP3 时的状态继续运行。

### 9.1.3.3 使能背景调试模式中的 ACMP

当微控制器处于使能背景调试模式时，ACMP 继续正常运行。

表 10-9. APCTL1 寄存器字段描述

字段	描述
7 ADPC7	<b>ADC 管脚控制 7</b> — ADPC7 用来控制与通道 AD7 连接的管脚。 0 AD7 管脚 I/O 控制使能 1 AD7 管脚 I/O 控制禁止
6 ADPC6	<b>ADC 管脚控制 6</b> — ADPC6 用来控制与通道 AD6 连接的管脚。 0 AD6 管脚 I/O 控制使能 1 AD6 管脚 I/O 控制禁止
5 ADPC5	<b>ADC 管脚控制 5</b> — ADPC5 用来控制与通道 AD5 连接的管脚。 0 AD5 管脚 I/O 控制使能 1 AD5 管脚 I/O 控制禁止
4 ADPC4	<b>ADC 管脚控制 4</b> — ADPC4 用来控制与通道 AD4 连接的管脚。 0 AD4 管脚 I/O 控制使能 1 AD4 管脚 I/O 控制禁止
3 ADPC3	<b>ADC 管脚控制 3</b> — ADPC3 用来控制与通道 AD3 连接的管脚。 0 AD3 管脚 I/O 控制使能 1 AD3 管脚 I/O 控制禁止
2 ADPC2	<b>ADC 管脚控制 2</b> — ADPC2 用来控制与通道 AD2 连接的管脚。 0 AD2 管脚 I/O 控制使能 1 AD2 管脚 I/O 控制禁止
1 ADPC1	<b>ADC 管脚控制 1</b> — ADPC1 用来控制与通道 AD1 连接的管脚。 0 AD1 管脚 I/O 控制使能 1 AD1 管脚 I/O 控制禁止
0 ADPC0	<b>ADC 管脚控制 0</b> — ADPC0 用来控制与通道 AD0 连接的管脚。 0 AD0 管脚 I/O 控制使能 1 AD0 管脚 I/O 控制禁止

### 10.4.9 管脚控制寄存器 2 (APCTL2)

APCTL2 用来控制 ADC 模块的通道 8-15。

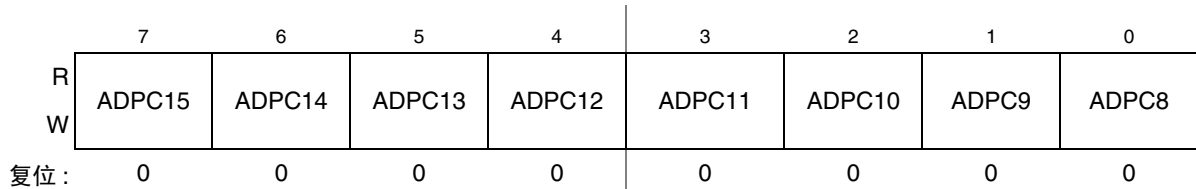


图 10-12. 管脚控制寄存器 2 (APCTL2)

## 10.6 初始化报文

本节给出了一个为用户提供如何初始化和配置 ADC 模块的一些基本指导的示例。用户可以从众多选项中灵活选择配置模块的 8 位、10 位或 12 位分辨率、单或连续转换、查询或中断法。

请参见表 11-8、表 11-9 和表 11-10，获取示例中使用的报文。

### 注意

十六进制值前加了一个 0x，二进制值前加了一个 %，十进制值没有前置字符。

### 10.6.1 ADC 模块初始化示例

#### 10.6.1.1 初始化顺序

在使用 ADC 模块完成转换前，必须进行初始化步骤。初始化的常见顺序如下：

1. 更新配置寄存器 (ADCCFG)，选择输入时钟源和用来生成内部时钟 ADCK 的分频率。该寄存器也可用于选择采样时间和低功率配置。
2. 更新状态和控制寄存器 2 (ADCSC2)，选择转换触发（硬件或软件）与比较功能选项，如使能的话。
3. 更新状态和控制寄存器 1 (ADCSC1)，选择转换是连续转换还是只完成一次，并使能或禁止转换完成中断。同时还选择执行转换的输入通道。

#### 10.6.1.2 伪代码示例

在本例中，ADC 模块设置为：中断使能，在低功率情况下实施 10 位转换，该转换在输入通道 1 上有一个长采样时间，这里的内部 ADCK 时钟用总线时钟除以 1 得来。

##### ADCCFG = 0x98 (%10011000)

位 7	ADLPC	1	配置用于低功率（降低最快时钟速度）
位 6:5	ADIV	00	将 ADCK 设置为输入时钟除以 1
位 4	ADLSMP	1	配置用于长采样时间
位 3:2	MODE	10	在 10 位转换上设置模式
位 1:0	ADICLK	00	选择总线时钟为输入时钟源

##### ADCSC2 = 0x00 (%00000000)

位 7	ADACT	0	标记表明是否正在进行转换
位 6	ADTRG	0	软件触发已选
位 5	ACFE	0	比较功能禁止
位 4	ACFGT	0	本例中未使用
位 3:2		00	未实施或保留，总是读取 0
位 1:0		00	供飞思卡尔内部使用，总是写入 0

##### ADCSC1 = 0x41 (%01000001)

位 7	COCO	0	转换完成时设置的只读标记
位 6	AIEN	1	转换完成中断使能
位 5	ADCO	0	仅一次转换（连续转换禁止）
位 4:0	ADCH	00001	输入通道 1 选为 ADC 输入通道

### 11.2.3 结构图

图 11-3 是 ICC 的结构图。

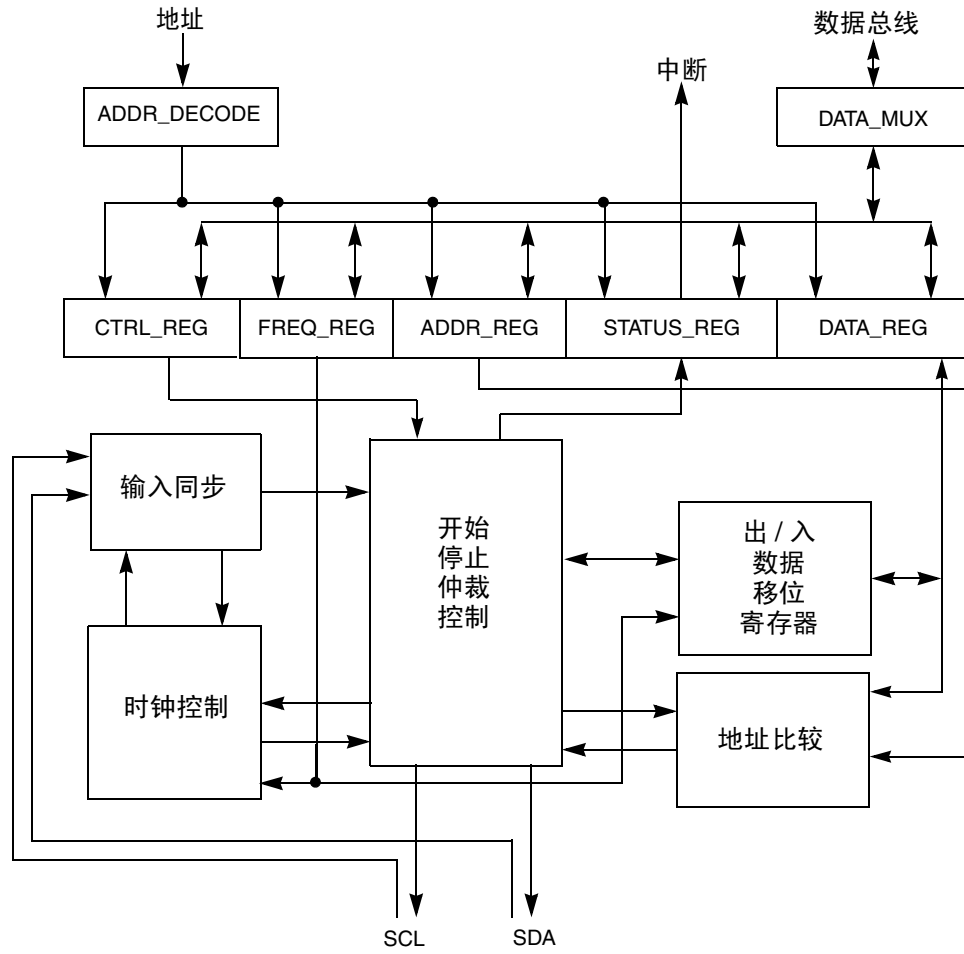


图 11-2. IIC 功能结构图

## 11.3 外部信号描述

本节描述了用户可连接各个管脚信号。

### 11.3.1 SCL — 串行时钟线

双向 SCL 是 IIC 系统的串行时钟线。

### 11.3.2 SDA — 串行数据线

双向 SDA 是 IIC 系统的串行数据线。

### 12.3.13 MSCAN 接收错误计数器 (CANRXERR)

该寄存器反应 MSCAN 接收错误计数器的状态。

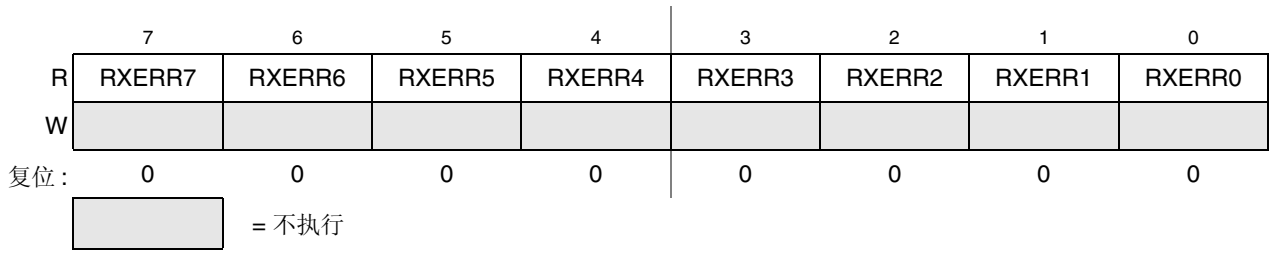


图 12-17. MSCAN 接收错误计数器 (CANRXERR)

读取: 仅在睡眠模式 (SLPRQ = 1, SLPK = 1) 或初始化模式 (INITRQ = 1 and INITAK = 1) 写入: 不执行

#### 注意

在非睡眠或初始化模式外的任意其他模式中读取该寄存器会返回错误值。对于那些具有双 CPU 的 MCU 来说, 这可能会引起 CPU 故障情况。

在特殊模式中写入该寄存器可能改变 MSCAN 功能。

### 12.3.14 MSCAN 发送错误计数器 (CANTXERR)

该寄存器反应 MSCAN 发送错误计数器的状态。

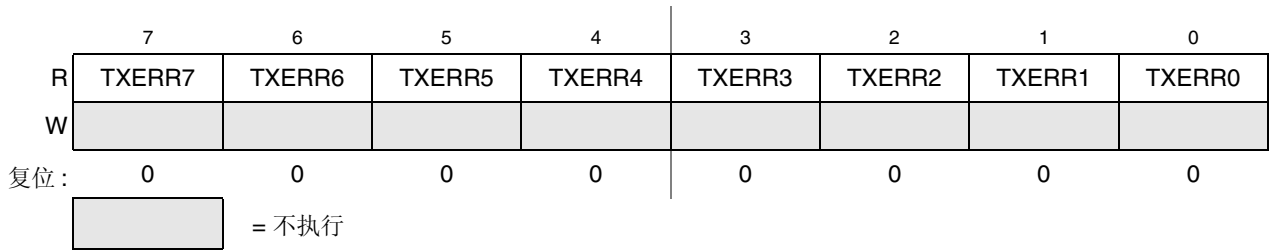


图 12-18. MSCAN 发送错误计数 ~ (CANTXERR)

读取: 仅在睡眠模式 (SLPRQ = 1, SLPK = 1) 或初始化模式 (INITRQ = 1, INITAK = 1)。写入: 不执行

#### 注意

在非睡眠或初始化模式外的任意其他模式中读取该寄存器会返回错误值。对于那些具有双 CPU 的 MCU 来说, 这可能会引起 CPU 故障情况。

在特殊模式中写入该寄存器可能改变 MSCAN 功能。

### 13.1.2.2 SPI 模块结构图

图 13-3 是 SPI 模块的结构图。SPI 的中心元件是 SPI 移位寄存器。数据写入双缓冲发射器（写入 SPID），然后转移到位于数据传输起点的 SPI 移位寄存器。在数据字节中转换后，数据被传输到双缓冲接收器，在这里数据可以被读取（从 SPID 读取）。管脚复用逻辑控制着 MCU 管脚和 SPI 模块间的连接。

当 SPI 配置为主 SPI 时，时钟输出被路由到 SPSCCK 管脚，移位器输出被路由到 MOSI，移位器输入从 MISO 管脚路由出来。

当 SPI 配置为从 SPI 时，SPSCCK 管脚为时钟输出。MOSI 为移位输出，MISO 管脚为移位器输入。

在外部 SPI 系统，只需将所有 SPSCCK 管脚彼此连接，所有 MISO 管脚连接起来，所有 MOSI 管脚连接起来就可以来。外围器件通常为这些管脚使用略有不同的名称。

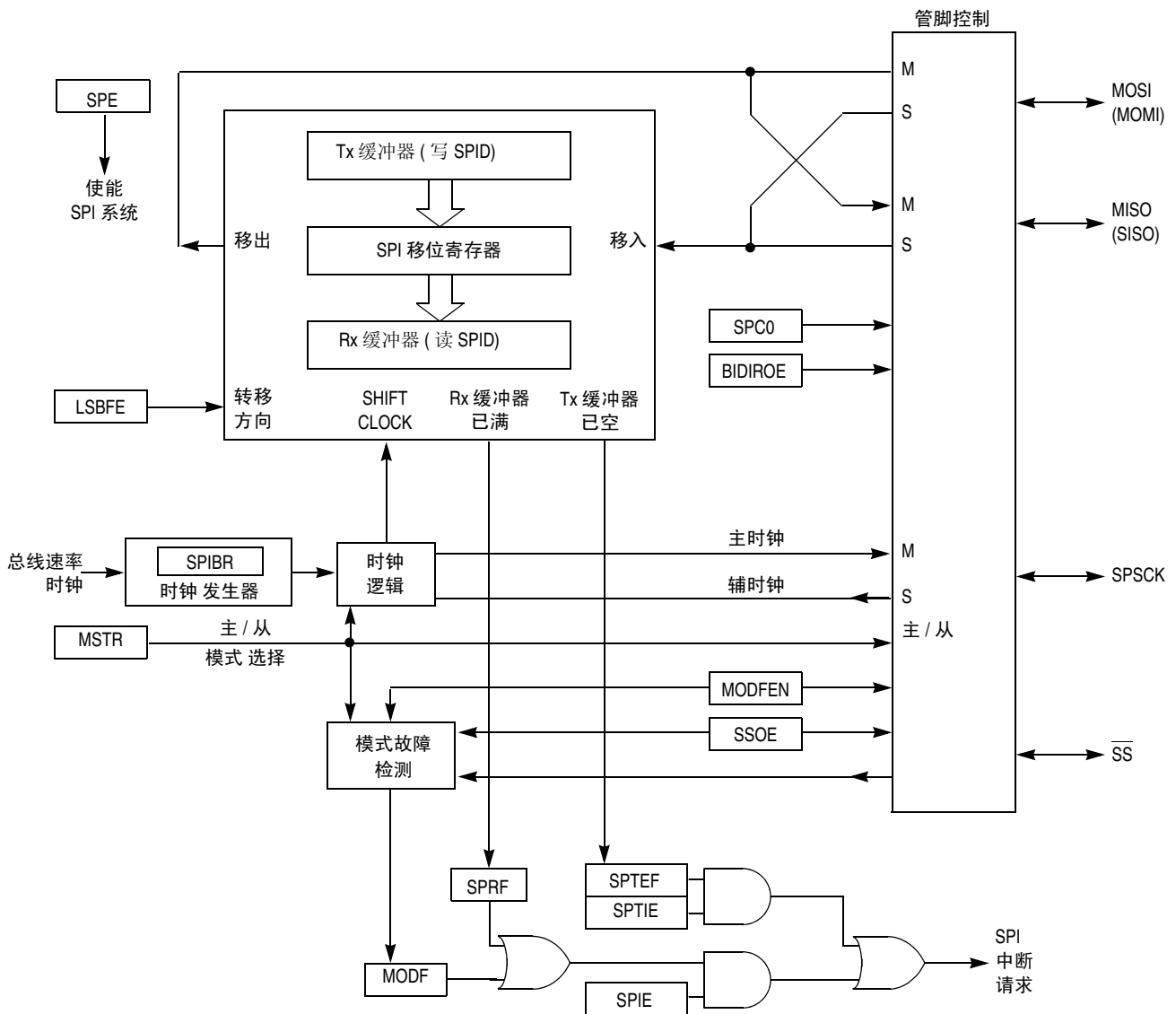


图 13-3. SPI 模块结构图



- 中央对齐 pwm 模式

16 位模数寄存器值的两倍设置 PWM 输出周期，而通道值寄存器设置一半占空比持续时间。定时器计数器向上计数，直到达到模数值，然后向下计数直到达到 0。向下计数的情况下，计数与通道值寄存器匹配时，PWM 输出进入活动状态。向上计数的情况下，计数与通道值寄存器匹配时，PWM 输出进入非活动状态。这类 PWM 信号被称为中央对齐，因为所有通道的活动占空比的中心与计数值 0 对齐。用于小型设备中的发动机类型需要这类 PWM 应用。

这只是一个简要介绍。运行模式的详细介绍请参见后面的各小节。

### 16.1.3 结构图

TPM 为每个通道使用一个输入 / 输出 (I/O) 管脚，即 TPMxCHn (定时器通道 n)，其中 n 为通道编号 (1-8)。TPM 与通用 I/O 端口管脚分享其 I/O 管脚 (请参考全芯片规范中的输入 / 输出管脚描述，了解如何完成具体芯片执行)。

图 16-2 显示了 TPM 结构。TPM 的中心组件是 16 位计数器。该计数器既可作为自由运行的计数器运行，又可作为模数向上 / 向下计数器运行。TPM 计数器 (以正常的向上计数模式运行时) 为输入捕捉、输出比较和边缘对齐 PWM 功能提供定时参考。定时器计数器模数寄存器 TPMxMODH:TPMxMODL 控制计数器的模数值 (0x0000 或 0xFFFF 值有效地使计数器自由运行)。软件可随时读取计数器值而不影响计数序列。向 TPMxCNT 计数器的任何一半写入任何数据值都会复位计数器。

### 16.4.2.3 边缘对齐 PWM 模式

这类 PWM 输出使用定时器计数器的正常向上计数模式 (CPWMS=0)；当相同 TPM 中的其他通道被配置用于输入捕捉或输出比较功能时，也可使用它。这个 PWM 信号的周期由模数寄存器 (TPMxMODH:TPMxMODL) 的值加 1 确定。占空比由定时器通道寄存器 (TPMxCnVH:TPMxCnVL) 中的设置确定。这个 PWM 信号的极性由 ELSnA 控制位中的设置确定。0% 和 100% 的占空比都是可能的。

TPM 通道寄存器中的输出比较值决定 PWM 信号的脉冲宽度 (占空比) (图 16-15)。T 模数溢出和输出比较间的时间间隔为脉冲宽度。如果 ELSnA=0，计数器溢出强迫 PWM 信号进入高态；而输出比较强制 PWM 信号进入低态。如果 ELSnA=1，计数器溢出强迫 PWM 信号进入低态；而输出比较强制 PWM 信号进入高态。

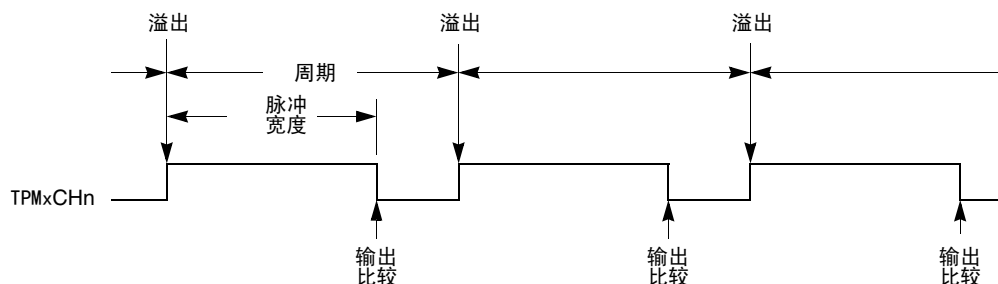


图 16-15. PWM 周期和脉冲宽度 (ELSnA=0)

当通道值寄存器被设为 0x0000 时，占空比为 0%。100%。通过将定时器通道计数器 (TPMxCnVH:TPMxCnVL) 设置为大于模数设置的值可实现 . 的占空比。这意味着要实现 100% 的占空比，模数设置必须小于 0x FFFF。

因为 TPM 可用在 8 位 MCU 中，定时器通道寄存器中的设置被缓存，以确保连贯的 16 位更新并避免意外的 PWM 脉冲宽度。写入到任何寄存器 TPMxCnVH 和 TPMxCnVL 中意味着实际写入到缓冲器寄存器中。在边缘对齐 PWM 模式下，值根据 CLKSB:CLKSA 位的值被传输到相应的定时器通道寄存器中，因此：

- 如果 (clksb:clksa = 0:0)，寄存器在第二个字节被写入时更新
- 如果 (clksb:clksa not = 0:0)，寄存器在两个字节都被写入，tpm 计数器从 (tpmmodh:tpmmodl - 1) 变为 (tpmmodh:tpmmodl) 后更新。如果 tpm 计数器为自由运行的计数器，那么更新在 tpm 计数器从 0xffff 变为 0xffff 时进行更新。

### 16.4.2.4 中央对齐 PWM 模式

这类 PWM 输出使用定时器计数器 (CPWMS=1) 的向上 / 向下计数模式。TPMxCnVH:TPMxCnVL 中的输出比较值决定 PWM 信号的脉冲宽度 (占空比) 而 TPMxMODH:TPMxMODL 中的值决定周期。TPMxMODH:TPMxMODL 应保持在 0x0001 至 0x7FFF 之间，因为这一范围外的值可生成模糊结果。ELSnA 将决定 CPWM 输出的极性。

脉冲宽度 = 2 x (TPMxCnVH:TPMxCnVL)

周期 = 2 x (TPMxMODH:TPMxMODL)；TPMxMODH:TPMxMODL=0x0001-0x7FFF

如果通道值寄存器 TPMxCnVH:TPMxCnVL 为零或负数 (位 15 被设置)，占空比将为 0%。如果 TPMxCnVH:TPMxCnVL 是正值 (位 15 被清除) 并大于模数设置 (非零)，占空比将为

表 A-2. 绝对最大额定值

编号	参数	符号	值	单位
1	电源电压	$V_{DD}$	-0.3 to + 5.8	V
2	输入电压	$V_{In}$	- 0.3 to $V_{DD} + 0.3$	V
3	瞬时最大电流 单管脚极限 (适用于所有端口管脚) <sup>1, 2, 3</sup>	$I_D$	± 25	mA
4	$V_{DD}$ 中的最大电流	$I_{DD}$	120	mA
5	存储温度	$T_{stg}$	-55 to +150	°C

<sup>1</sup> 输入必须是限定为指定值的电流。要确定所需的电流限定电阻器的值，需要先计算正 ( $V_{DD}$  和负 ( $V_{SS}$ ) 钳位电压的电阻值，然后使用两个电阻值中的较大者。

<sup>2</sup> 所有功能性非电源管脚内部均钳位在  $V_{SS}$  和  $V_{DD}$ 。

<sup>3</sup> 在瞬时和操作最大电流条件下，电源必须维持在操作  $V_{DD}$  范围内。如果正注入电流 ( $V_{In} > V_{DD}$ ) 大于  $I_{DD}$ ，则注入电流就可能超出  $V_{DD}$ ，并导致外部电源不可调控。确保外部  $V_{DD}$  载荷分流大于最大注入电流的电流。当 MCU 不消耗功率时，就会有最大的风险，这样的例子包括：如果当前无系统时钟，或者如果时钟速率非常低，这都会降低总功耗。

## A.4 热特性

本小节提供有关操作温度范围、功耗和封装热阻的信息。I/O 管脚上的功耗一般要比片上逻辑的功耗小，它由用户自己决定而非受 MCU 设计的控制。为了在功率计算中把  $P_{I/O}$  考虑进去，先需要确定实际管脚电压和  $V_{SS}$  or  $V_{DD}$  间的差，并乘以每个 I/O 管脚的管脚电流。除非出现异常高的管脚电流（大负荷），管脚电压和  $V_{SS}$  or  $V_{DD}$  间的差非常小。

表 A-3. 热特征

编号	C	参数	符号	值	单位	温度代码
1	D	操作温度范围 (打包后)	$T_A$	-40 至 125 -40 至 105 -40 至 85	°C	M V C
2	T	最高结温度 <sup>1</sup>	$T_J$	135	°C	—
3	D	热阻 <sup>2</sup>				
		单层板				
		64- 管脚 LQFP	$\theta_{JA}$	69	°C/W	
		48- 管脚 LQFP	$\theta_{JA}$	75	°C/W	
		32- 管脚 LQFP	$\theta_{JA}$	80	°C/W	
		四层板				
		64- 管脚 LQFP	$\theta_{JA}$	51	°C/W	
		48- 管脚 LQFP	$\theta_{JA}$	51	°C/W	
		32- 管脚 LQFP	$\theta_{JA}$	52	°C/W	

<sup>1</sup> 结温度是晶元尺寸、片上功耗、封装热阻、安装点（主板）温度、周围温度、气流、主板上的其他组件功耗及主板热阻的函数。

<sup>2</sup> 结与环境的自然对流。

平均芯片界面温度 ( $T_J$ ) (单位  $^{\circ}\text{C}$ ) 可以用如下等式计算:

$$T_J = T_A + (P_D \times \theta_{JA}) \quad \text{等式 A-1}$$

其中:

$T_A$  = 周围温度,  $^{\circ}\text{C}$

$\theta_{JA}$  = 封装热阻, 结到环境,  $^{\circ}\text{C}/\text{W}$

$P_D = P_{\text{int}} + P_{\text{I/O}}$

$P_{\text{int}} = I_{\text{DD}} \times V_{\text{DD}}$ , 瓦特 — 芯片内部功率

$P_{\text{I/O}}$  = 输入和输出管脚上的功耗 — 由用户决定

对大多数应用来说,  $P_{\text{I/O}} \ll P_{\text{int}}$ , 可以忽略不计。 $P_D$  和  $T_J$  间的近似关系 (如果  $P_{\text{I/O}}$  忽略不计) 是:

$$P_D = K \div (T_J + 273^{\circ}\text{C}) \quad \text{等式 A-2}$$

将等式 1 代入和等式 2, 求出  $K$  为:

$$K = P_D \times (T_A + 273^{\circ}\text{C}) + \theta_{JA} \times (P_D)^2 \quad \text{等式 A-3}$$

其中,  $K$  是一个与特殊部件有关的常量。 $K$  可以通过测量已知  $T_A$  的  $P_D$  (平衡时), 从等式 3 计算出来。如果  $K$  值已知, 用等式 1 和等式 2 相式代入, 就可以得出任意  $T_A$  值的  $P_D$  和  $T_J$ 。

## A.5 ESD 保护和抗闭锁方法

尽管这些器件上的静电放电 (ESD) 损害要比早期的 CMOS 电路的 ESD 要小得多, 但仍应采取一些正常的处理防范措施, 防止静电。要执行一些鉴定测试, 以确保这些器件可以忍受合理水平的静电, 而不会造成任何永久的损害。

整个 ESD 测试符合 AEC-Q100 汽车集成电路的应力测试鉴定。在进行器件鉴定过程中, 要执行人体放电模式 (HBM) 和充电器件模式 (CDM) 的 ESD 应力测试。

如果暴露给 ESD 脉冲后, 器件不再符合器件规范, 那么就认定器件测试失败。在进行完高温测试后, 还要在室温下根据每个可适用的器件规范进行完整的 DC 参数及功能测试, 除非设备规范中另有指定。

表 A-4. ESD 和闭锁测试条件

模式	描述	符号	值	单位
人体	串联电阻	R1	1500	W
	存储电容	C	100	pF
	每管脚脉冲数	-	3	
闭锁	最小输入电压限制		-2.5	V
	最大输入电压限制		7.5	V

表 A-10. 12-位 ADC 特性 ( $V_{REFH} = V_{DDAD}$ ,  $V_{REFL} = V_{SSAD}$ ) (续)

特性	条件	C	符号	最小值	典型值 <sup>1</sup>	最大值	单位	注释
转换时间 (包括采样时间)	短采样 (ADLSMP=0)	D	$t_{ADC}$	—	20	—	ADCK 周期	参见表 A-12, 查看转换时间 变量
	长采样 (ADLSMP=1)			—	40	—		
采样时间	短采样 (ADLSMP=0)	D	$t_{ADS}$	—	3.5	—	ADCK 周期	
	长采样 (ADLSMP=1)			—	23.5	—		
未调整误差总数	12 位模式	T	$E_{TUE}$	—	$\pm 3.0$	$\pm 10$	LSB <sup>2</sup>	包括基本倍数
	10 位模式	P		—	$\pm 1$	$\pm 2.5$		
	8 位模式	T		—	$\pm 0.5$	$\pm 1.0$		
差分非线性误差	12 位模式	T	DNL	—	$\pm 1.75$	$\pm 4.0$	LSB <sup>2</sup>	
	10 位模式 <sup>3</sup>	P		—	$\pm 0.5$	$\pm 1.0$		
	8 位模式 <sup>3</sup>	T		—	$\pm 0.3$	$\pm 0.5$		
积分非线性误差	12 位模式	T	INL	—	$\pm 1.5$	$\pm 4.0$	LSB <sup>2</sup>	
	10 位模式	T		—	$\pm 0.5$	$\pm 1.0$		
	8 位模式	T		—	$\pm 0.3$	$\pm 0.5$		
零刻度误差	12 位模式	T	$E_{ZS}$	—	$\pm 1.5$	$\pm 6.0$	LSB <sup>2</sup>	$V_{ADIN} = V_{SSAD}$
	10 位模式	P		—	$\pm 0.5$	$\pm 1.5$		
	8 位模式	T		—	$\pm 0.5$	$\pm 0.5$		
满刻度误差	12 位模式	T	$E_{FS}$	—	$\pm 1$	$\pm 4.0$	LSB <sup>2</sup>	$V_{ADIN} = V_{DDAD}$
	10 位模式	T		—	$\pm 0.5$	$\pm 1$		
	8 位模式	T		—	$\pm 0.5$	$\pm 0.5$		
量化误差	12 位模式	D	$E_Q$	—	-1 to 0	-1 to 0	LSB <sup>2</sup>	
	10 位模式			—	—	$\pm 0.5$		
	8 位模式			—	—	$\pm 0.5$		
输入漏电流误差	12 位模式	D	$E_{IL}$	—	$\pm 1$	$\pm 10.0$	LSB <sup>2</sup>	Pad leakage <sup>4*</sup> $R_{AS}$
	10 位模式			—	$\pm 0.2$	$\pm 2.5$		
	8 位模式			—	$\pm 0.1$	$\pm 1$		
温度传感器范围	-40°C– 25°C	D	m	—	3.266	—	mV/°C	
	25°C– 125°C			—	3.638	—		
温度传感器电压	25°C	D	$V_{TEMP25}$	—	1.396	—	V	

<sup>1</sup> 典型值假设  $V_{DDAD} = 5.0V$ 、温度 = 25°C,  $f_{ADCK} = 1.0MHz$ , 除非另有其他说明。典型值仅用于参考, 并在生产中测试。

<sup>2</sup>  $1 \text{ LSB} = (V_{REFH} - V_{REFL}) / 2^N$

<sup>3</sup> 10 位和 8 位模式中保证单调和无丢码。

<sup>4</sup> 基于输入引脚 (input pad) 漏电流。请参考板电气 (pad electricals)。