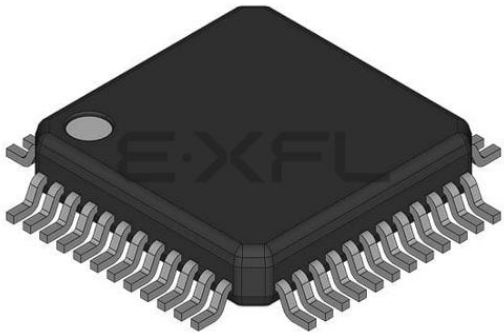

Welcome to E-XFL.COM

What is "Embedded - Microcontrollers"?

"Embedded - Microcontrollers" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "Embedded - Microcontrollers"

Details	
Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I²C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	39
Program Memory Size	16KB (16K x 8)
Program Memory Type	FLASH
EEPROM Size	512 x 8
RAM Size	1K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 16x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 85°C (TA)
Mounting Type	Surface Mount
Package / Case	48-LQFP
Supplier Device Package	48-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/pro/item?MUrl=&PartUrl=mc9s08dz16clf

图 4-4 为接收及发送缓冲器 （用于扩展的识别符映射）的结构。这些寄存器各有不同，具体取决于选择了标准映射还是扩展的映射。有关标准映射和扩展映射的更详尽信息请参见第 12 章，“飞思卡尔控制器局域网 (S08MSCANV1)”。

表 4-4. MSCAN 前台接收和发射缓冲器布局— 显示的为扩展映射

0x18A0	**CANRIDR0**	ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21
0x18A1	**CANRIDR1**	ID20	ID19	ID18	SRR(1)	IDE(1)	ID17	ID16	ID15
0x18A2	**CANRIDR2**	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
0x18A3	**CANRIDR3**	ID6	ID5	ID4	ID3	ID2	ID1	ID0	RTR[2]
0x18A4 – 0x18AB	**CANRDSR0 – CANRDSR7**	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0x18AC	**CANRDLR**	—	—	—	—	DLC3	DLC2	DLC1	DLC0
0x18AD	预留	—	—	—	—	—	—	—	—
0x18AE	**CANRTSRH**	TSR15	TSR14	TSR13	TSR12	TSR11	TSR10	TSR9	TSR8
0x18AF	**CANRTSRL**	TSR7	TSR6	TSR5	TSR4	TSR3	TSR2	TSR1	TSR0
0x18B0	**CANTIDR0**	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3
0x18B1	**CANTIDR1**	ID2	ID1	ID0	RTR	IDE	—	—	—
0x18B2	**CANTIDR2**	—	—	—	—	—	—	—	—
0x18B3	**CANTIDR3**	—	—	—	—	—	—	—	—
0x18B4 – 0x18BB	**CANTDSR0 – CANTDSR7**	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0x18BC	**CANTDLR**	—	—	—	—	DLC3	DLC2	DLC1	DLC0
0x18BD	**CANTTBPR**	PRIO7	PRIO6	PRIO5	PRIO4	PRIO3	PRIO2	PRIO1	PRIO0

1 SRR 和 IDE 均为 1s。

2 RTR 的位置在扩展识别符映射和标准识别符映射不同。

表 4-5 的非易失性 Flash 寄存器位于 Flash 中。这些寄存器包括 8 个字节的后门密钥 NVBACKKEY。该密钥可用于访问安全的内存资源。在复位过程中， Flash 中非易失性寄存器区域的 NVPROT 和 NVOPT 内容会被转移到高端页面寄存器中相应的 FPROT 和 FOPT 工作寄存器中，以控制安全性和块保护选项。

表 4-5. 非易失性寄存器总结

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0xFFAE	预留用于存储 FTRIM	0	0	0	0	0	0	0	FTRIM
0xFFAF	预留用于存储 MCGTRM	TRIM							
0xFFB0–0xFFB7	**NVBACKKEY**	8 字节对比密钥							
0xFFB8–0xFFBC	预留	— —	— —	— —	— —	— —	— —	— —	— —
0xFFBD	**NVPROT**	EPS		FPS					
0xFFBE	预留	—	—	—	—	—	—	—	—
0xFFBF	**NVOPT**	KEYEN	FNORED	EPGMOD	0	0	0	SEC	

表 5-10. SPMSC1 寄存器字段描述

字段	描述
4 LVDRE	**低压检测复位使能** — 这个 write-once 位支持 LVD 事件生成硬件复位 （假设 LVDE = 1）。 0 LVD 事件不生成硬件复位。 1 当发生使能的低压检测事件时，强制实行 MCU 复位。
3 LVDSE	**低压检测停止使能** — 假设 LVDE = 1，这个读 / 写位决定当 MCU 处于停止模式时是否操作低压检测功能。 0 停止模式期间低压检测禁止。 1 停止模式期间低压检测使能。
2 LVDE	**低压检测使能** — 这个 write-once 位支持低压检测逻辑，并且限定该寄存器中的其他位的操作。 0 LVD 逻辑禁止。 1 LVD 逻辑使能。
0 BGBE	**带隙缓冲器使能** — 这个位支持内部缓冲器，提供带隙电压参考，可供任何一个内部通道上的 ADC 和 ACMP 模块使用。 0 带隙缓冲器禁止。 1 带隙缓冲器使能。

5.8.8 系统电源管理状态和控制寄存器 2 (SPMSC2)

该寄存器用来报告低压警告功能状态，配置 MCU 的停止模式行为。该寄存器应在用户复位初始化程序期间写入，以设置期望的控制，即便期望的设置与复位设置相同。

	7	6	5	4	3	2	1	0
R	0	0	LVDV[1]	LVWV	PPDF	0	0	PPDC[2]
W						PPDACK		
加电复位：	0	0	0	0	0	0	0	0
LVD 复位：	0	0	u	u	0	0	0	0
其他复位：	0	0	u	u	0	0	0	0

= 未实现或预留　　u = 未受复位影响

1 加电复位后，这个位只能写入一次。其他写入被忽略。

2 复位后这个字节只能写入一次。其他写入被忽略。

图 5-10. 系统电源管理状态和控制寄存器 2 (SPMSC2)

表 5-11. SPMSC2 寄存器字段描述

字段	描述
5 LVDV	**低压检测电压选择** — 这个单次写入有效的位选择低压检测 （LVD）跳变点设置。它还选择警告电压范围。参见表 5-12。
4 LVWV	**低压警告电压选择** — 这个位选择低压警告 （LVW）跳变点电压。参见表 5-12。
3 PPDF	**局部断电标志** — 这个只读状态位显示 MCU 已经从 STOP2 模式中恢复。 0 MCU 还没有从 STOP2 模式中恢复。 1 MCU 已经从 STOP2 模式中恢复。

6.5.3.3 C 端口上拉使能寄存器 (PTCPE)

	7	6	5	4	3	2	1	0
R W	PTCPE7	PTCPE6	PTCPE5	PTCPE4	PTCPE3	PTCPE2	PTCPE1	PTCPE0
复位 :	0	0	0	0	0	0	0	0

图 6-21. C 端口寄存器内部上拉使能 (PTCPE)

表 6-19. PTCPE 寄存器字段描述

字段	描述
7:0 PTCPE[7:0]	**C 端口内部上拉使能位** — 这些控制位决定着是否为相关 PTC 管脚使能内部上拉器件。对于配置为输出的 C 端口管脚，这些位不会产生影响，同时内部拉器件被禁止。 0 C 端口位 - 内部上拉器件被禁止。 1 C 端口位 - 内部上拉器件使能。

注意

只有当使用管脚中断功能且配置了相应的边沿选择和管脚选择功能时，才能使用下拉器件。

6.5.3.4 C 端口斜率使能寄存器 (PTCSE)

	7	6	5	4	3	2	1	0
R W	PTCSE7	PTCSE6	PTCSE5	PTCSE4	PTCSE3	PTCSE2	PTCSE1	PTCSE0
复位 :	0	0	0	0	0	0	0	0

图 6-22. C 端口寄存器斜率使能 (PTCSE)

表 6-20. PTCSE 寄存器字段描述

字段	描述
7:0 PTCSE[7:0]	**C 端口位输出斜率使能** — 这些控制位决定着是否为相关 PTC 管脚使能输出斜率控制。对于配置为输入的 C 端口管脚，这些位不会产生任何影响。 0 C 端口位 - 输出斜率控制禁止。 1 C 端口位 - 输出斜率控制使能。

注意：工程样品和最终成品的斜率复位默认值可能不同。一定要将斜率控制初始化为所需的值，以确保正确的操作。

表 8-1. MCG 控制寄存器 1 字段描述

字段	描述
7:6 CLKS	**时钟源选择** — 选择系统时钟源 00 Encoding 0 — 选择 FLL 或 PLL 输出。 01 Encoding 1 — 选择内部参考时钟。 10 Encoding 2 — 选择外部参考时钟。 11 Encoding 3 — 预留的，默认为 00。 .
5:3 RDIV	**参考分频器** — 选择要分配给 IREFS 位选定参考时钟的量。如果选择 FLL，得到的频率必须在 31.25 kHz --39.0625 kHz 之间；如果选择 PLL，得到的频率必须在 1 MHz -- 2 MHz 之间。 000 Encoding 0 — 参考时钟除以 1 (复位默认) 001 Encoding 1 — 参考时钟除以 2 010 Encoding 2 — 参考时钟除以 4 011 Encoding 3 — 参考时钟除以 8 100 Encoding 4 — 参考时钟除以 16 101 Encoding 5 — 参考时钟除以 32 110 Encoding 6 — 参考时钟除以 64 111 Encoding 7 — 参考时钟除以 128
2 IREFS	**内部参考选择** — 选择参考时钟源 1 选择内部参考时钟 0 选择外部参考时钟
1 IRCLKEN	**内部参考时钟使能** — 使能内部参考时钟，用作 MCGIRCLK。 1 MCGIRCLK 使能 0 MCGIRCLK 禁止
0 IREFSTEN	**内部参考停止使能** — 控制着当 MCG 进入停止模式时，内部参考时钟是否仍保持使能状态。 1 如果设置了 IRCLKEN 或者在 MCG 进入停止状态前已处于 FEI、 FBI 或 BLPI 模式，那么内部参考时钟在停止状态中保持使能。 0 内部参考时钟在停止状态中被禁止。

8.4.2 MCG 控制寄存器 2 (MCGC2)

	7	6	5	4	3	2	1	0
R W	BDIV		RANGE	HGO	LP	EREFS	ERCLKEN	EREFSTEN
复位 :	0	1	0	0	0	0	0	0

图 8-4. MCG 制寄存器 2 (MCGC2)

在 8 位模式中，比较过程中不使用 ADCCVH。

10.4.5 比较值低地址寄存器 （ADCCVL）

寄存器包含 12 位或 10 位比较值的低 8 位或者 8 位比较值的所有 8 位。位 ADCV7:ADCV0 与 12 位、 10 位或 8 位模式转换结果的低 8 位进行比较。

	7	6	5	4	3	2	1	0
R W	ADCV7	ADCV6	ADCV5	ADCV4	ADCV3	ADCV2	ADCV1	ADCV0
复位：	0	0	0	0	0	0	0	0

图 10-9. 比较值低地址寄存器 （ADCCVL）

10.4.6

10.4.7 配置寄存器 （ADCCFG）

ADCCFG 用来选择运行模式、时钟源、时钟分频、低功率或长采样时间配置。

	7	6	5	4	3	2	1	0
R W	ADLPC	ADIV		ADLSMP	MODE		ADICLK	
复位：	0	0	0	0	0	0	0	0

图 10-10. 配置寄存器 （ADCCFG）

表 10-5. ADCCFG 寄存器字段描述

字段	描述
7 ADLPC	**低功率配置** — ADLPC 控制逐次逼近转换器的速度和功率配置。当不需要更高采样率时， ADLPC 可以用来优化功耗。 0 高速配置 1 低功率配置：{FC31} 功率的降低以最大时钟速度为代价。
6:5 ADIV	**时钟分频选择** — ADIV 选择 ADC 生成内部时钟 ADCK 所使用的分频率。 表 10-6 显示了可用时钟配置。
4 ADLSMP	**长采样时间配置** — ADLSMP 选择长采样时间和短采样时间。这样可以调节采样时间，实现对高抗阻输入的精确采样，或者最大限度地提高对低抗阻输入的转换速度。如果在连续转换模式下不需要高转换速率，更长的采样时间还可以用来来降低整体功耗。 0 短采样时间 1 长采样时间
3:2 模式	**转换模式选择** — MODE 位用来选择是 12、 10 或 8 位转换。请参见表 10-7。
1:0 ADICLK	**输入时钟选择** — ADICLK 位选择生成内部时钟 ADCK 的输入时钟源。请参见表 10-8。

11.4.3 IIC 控制寄存器 （IICC1）

	7	6	5	4	3	2	1	0
R	IICEN	IICIE	MST	TX	TXAK	0	0	0
W						RSTA		
复位	0	0	0	0	0	0	0	0

= 不执行或保留

图 11-5. IIC 控制寄存器 （IICC1）

表 11-5. IICC1 字段描述

字段	描述
7 IICEN	IIC 使能。IICEN 位确定是否使能 IIC 模块。 IIC 禁止 1 IIC 使能
6 IICIE	IIC 中断使能。 IICIE 位确定是否请求 IIC 中断。 0 IIC 中断请求禁止 1 IIC 中断请求使能
5 MST	主模式选择。当 MST 位从 0 变为 1，总线上产生启动信号，主机模式被选择。当 MST 位从 1 变为 0，生成停止信号，运行模式从主机模式变为从机模式 0 从机模式 1 主机模式
4 TX	发送模式选择。 TX 位选择主从传输的方向。在主模式中， TX 位应根据所需传输类型进行设置。因此对于地址周期来说， TX 位始终很高。当作为从机时， TX 位应由软件根据状态寄存器中的 SRW 位进行设置。 0 接收 1 发送
3 TXAK	发送应答使能。在主从接收器的数据应答周期中，该位设置驱动输出到 SDA 的值。 0 收到一个数据字节后，向总线发送应答信号 1 不发送应答信号响应
2 RSTA	重复开始。向该位写入 1 产生重复启动条件，假设它是当前主机的情况。该位始终读取为 0。在错误时间试图重复会导致仲裁丢失。

11.4.4 IIC 状态寄存器 （IICS）

	7	6	5	4	3	2	1	0
R	TCF	IAAS	BUSY	ARBL	0	SRW	IICIF	RXAK
W								
复位	1	0	0	0	0	0	0	0

= 不执行或保留

图 11-6. IIC 状态寄存器 （IICS）

表 11-6. IICS 字段描述

字段	描述
7 TCF	传输完成标志。该位在字节传输完成时置位。该位只有在 IIC 模块往返传输过程中或刚传输完成后才有效。 TCF 位的清除通过在接收模式中读取 IICD 寄存器或在发送模式中写入 IICD。 0 传输正在进行 1 传输完成
6 IAAS	匹配从机。当主叫地址匹配已编程的从机地址或当设置了 GCAEN 位且收到通用呼叫时，设置 IAAS 位。写 IICC 寄存器则清除该位。 0 未寻址 1 已寻址从机
5 BUSY	总线忙。 BUSY 位表示总线的状态，无论是处于从模式还是主模式 。当检测到启动信号时设置 BUSY 位，当检测到停止信号时清除。 0 总线空闲 1 总线忙
4 ARBL	仲裁丢失。当仲裁丢失时，该位由硬件设置。 ARBL 位必须通过由软件向其中写入 1 来清除。 0 标准总线运行 1 仲裁丢失
2 SRW	从机读 / 写。当寻址到从机时， SRW 位指示发送给主叫地址主机的 R/W 命令位的值。 0 从机接收，主机写入从机 1 从机发送，主机从从机中读取
1 IICIF	IIC 中断标记。当有中断等待时，设置 IICIF 位。该位必须通过由软件向其中写入 1 来清除。以下事件可以设置 IICIF 位： • 一个字节传输完成 • 从机地址匹配主叫地址 • 仲裁丢失 0 无等待中断 1 有等待中断
0 RXAK	接收确认。当 RXAK 位低时，表示向总线传输一个字节数据完成后收到应答信号。如果 RXAK 位高，表示没有检测到应答信号。 0 收到应答 1 未收到应答

11.4.5 IIC 数据 I/O 寄存器 （IICD）

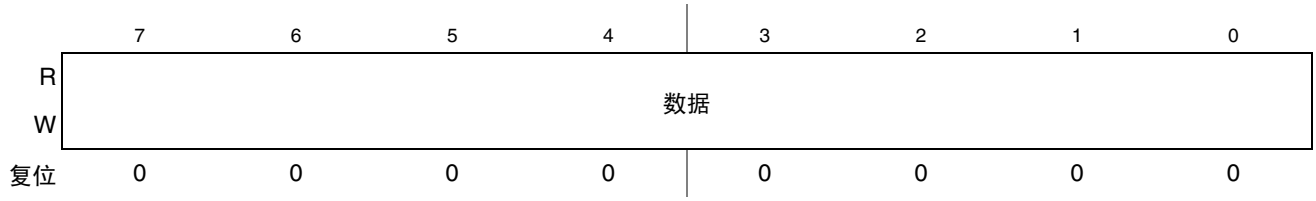

图 11-7. IIC 数据 I/O 寄存器 （IICD）

表 11-7. IICD 字段描述

字段	描述
7–0 DATA	数据—在主传输模式中，当数据写入 IICD 时，数据传输被发起。最高位先传送。在主接收模式中，读取该寄存器启动接收下一字节的数据。

12.3.2 控制寄存器 1 (CANCTL1)

CANCTL1 寄存器如下所述提供了 MSCAN 模块的各种控制位和握手状态报文。

.

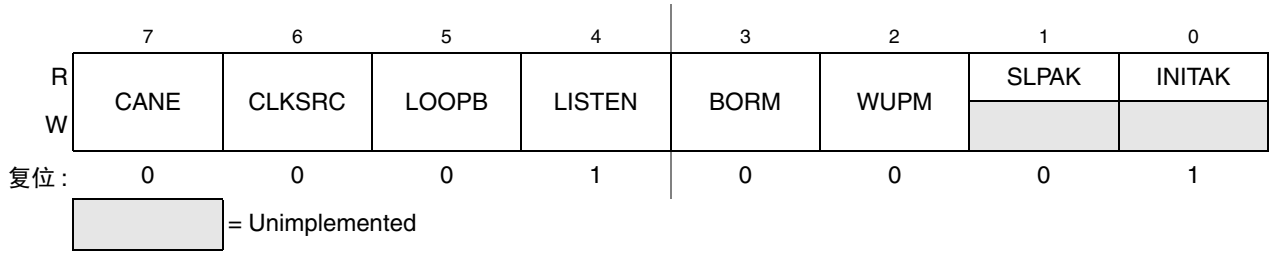

图 12-5. 控制寄存器 1(CANCTL1)

读取：任何时间
写入：当 INITRQ = 1 和 INITAK = 1 时的任何时间， CANE 例外，可以在正常情况下写入一次，以及当 MSCAN 处于初始化模式（INITRQ = 1， NITAK = 1）的特殊系统运行模式时任何时间写入。

表 12-2. 寄存器字段描述

字段	描述
7 CANE	**MSCAN 使能** 0 MSCAN 模块禁止 1 MSCAN 模块使能
6 CLKSRC	**MSCAN** 时钟源 — 该位定义 MSCAN 模块的时钟源 (仅适用于具有时钟发生模块的系统； 12.5.3.3，“时钟系统”和图 12-42.，“MSCAN 时钟机制”). 0 MSCAN 时钟源是振荡器时 1 MSCAN 时钟源是总线时钟
5 LOOPB	环回自测模式 — 当设置了该位时，MSCAN 执行可用于自测操作的内部环回。T 发送器的位流输出从内部流回接收器。 12.5.4.6，“环回自测模式” . 0 环回自测禁止 1 环回自测使能
4 LISTEN	º 监听模式 — 该位把 SCAN 配置为 CAN 总线监控器。当设置了 LISTEN 时，会收到带有匹配 ID 的所有有效 CAN，但不发出确认或错误帧 (参见 12.5.4.4，“监听模式”)。此外，错误计数器停止计数。监听模式可以支持需要 “热插拔”或 “吞吐量分析”的应用。当监听模式处于有效状态时， MSCAN 不能发送任何报文。 0 正常运行 1 监听模式使能 d
3 BORM	总线脱离恢复模式 — 该位配置 MSCAN 的总线关断恢复模式。更多报文总线脱离恢复模式— 该位配置 MSCAN 的总线关断恢复模式。更多报文 12.6.2，“总线脱离恢复”。 0 自动总线脱离恢复 （参见 Bosch CAN 2.0A/B 协议规范） 1 用户请求的总线脱离恢复
2 WUPM	唤醒模式 — 如果 CANCTL0 中的 WUPE 被使能，该位决定是否应用集成低通滤波器来防止 MSCAN 出现假唤醒 (参见 12.5.5.4，“MSCAN 睡眠模式”) 0 MSCAN 被 CAN 总线上的任意显性信号唤醒 1 MSCAN 只有在 CAN 总线上的显性脉冲长度为 Twup 时才唤醒。

12.4 报文存储模式

下面这一节详细介绍了接收和发送报文缓冲器的结构，以及相关控制寄存器。

了简化程序员界面，接收和发送报文缓冲器的轮廓相同。每个报文缓冲器都在包含 13 字节数据结构的存储器映射中都分配 16 个字节。

我们还为发送缓冲器定义了一个发送缓冲器优先级寄存器 （TBPR）。在该存储器映射的最后两个字节中， MSCAN 保存一个特殊的 16 位时间标签，采样于报文成功传输或接收后的内部计时器。如果设置了 TIME 位，这种功能只出现于发送和接收器缓冲器 (参见 12.3.1，“MSCAN 控制寄存器 0 (CANCTL0)”)。

时间标签寄存器由 MSCAN 写入。 CPU 只能读这些寄存器。

表 12-24. 报文缓冲器结构

Offset Address	Register	Access
0x00X0	Identifier Register 0	
0x00X1	Identifier Register 1	
0x00X2	Identifier Register 2	
0x00X3	Identifier Register 3	
0x00X4	Data Segment Register 0	
0x00X5	Data Segment Register 1	
0x00X6	Data Segment Register 2	
0x00X7	Data Segment Register 3	
0x00X8	Data Segment Register 4	
0x00X9	Data Segment Register 5	
0x00XA	Data Segment Register 6	
0x00XB	Data Segment Register 7	
0x00XC	Data Length Register	
0x00XD	Transmit Buffer Priority Register[1]	
0x00XE	Time Stamp Register (High Byte)[2]	
0x00XF	Time Stamp Register (Low Byte)[3]	

1 Not applicable for receive buffers

2 Read-only for CPU

3 Read-only for CPU

图 12-23 为扩展标识符显示了接收和发送缓冲器常用的 13 字节数据结构。标准标识符在 IDR 寄存器中的映射图 12-24。

由于基于 RAM1，接收和发送缓冲器的所有位在复位时均为 ‘x’。接收和发送缓冲器的所有保留或不使用位始终读为 ‘x’。

13.1.2.2 SPI 模块结构图

图 13-3 是 SPI 模块的结构图。SPI 的中心元件是 SPI 移位寄存器。数据写入双缓冲发射器（写入 SPID），然后转移到位于数据传输起点的 SPI 移位寄存器。在数据字节中转换后，数据被传输到双缓冲接收器，在这里数据可以被读取 （从 SPID 读取）。管脚复用逻辑控制着 MCU 管脚和 SPI 模块间的连接。

当 SPI 配置为主 SPI 时，时钟输出被路由到 SPSCK 管脚，移位器输出被路由到 MOSI，移位器输入从 MISO 管脚路由出来。

当 SPI 配置为从 SPI 时， SPSCK 管脚为时钟输出。 MOSI 为移位输出， MISO 管脚为移位器输入。

在外部 SPI 系统，只需将所有 SPSCK 管脚彼此连接，所有 MISO 管脚连接起来，所有 MOSI 管脚连接起来就可以来。外围器件通常为这些管脚使用略有不同的名称。

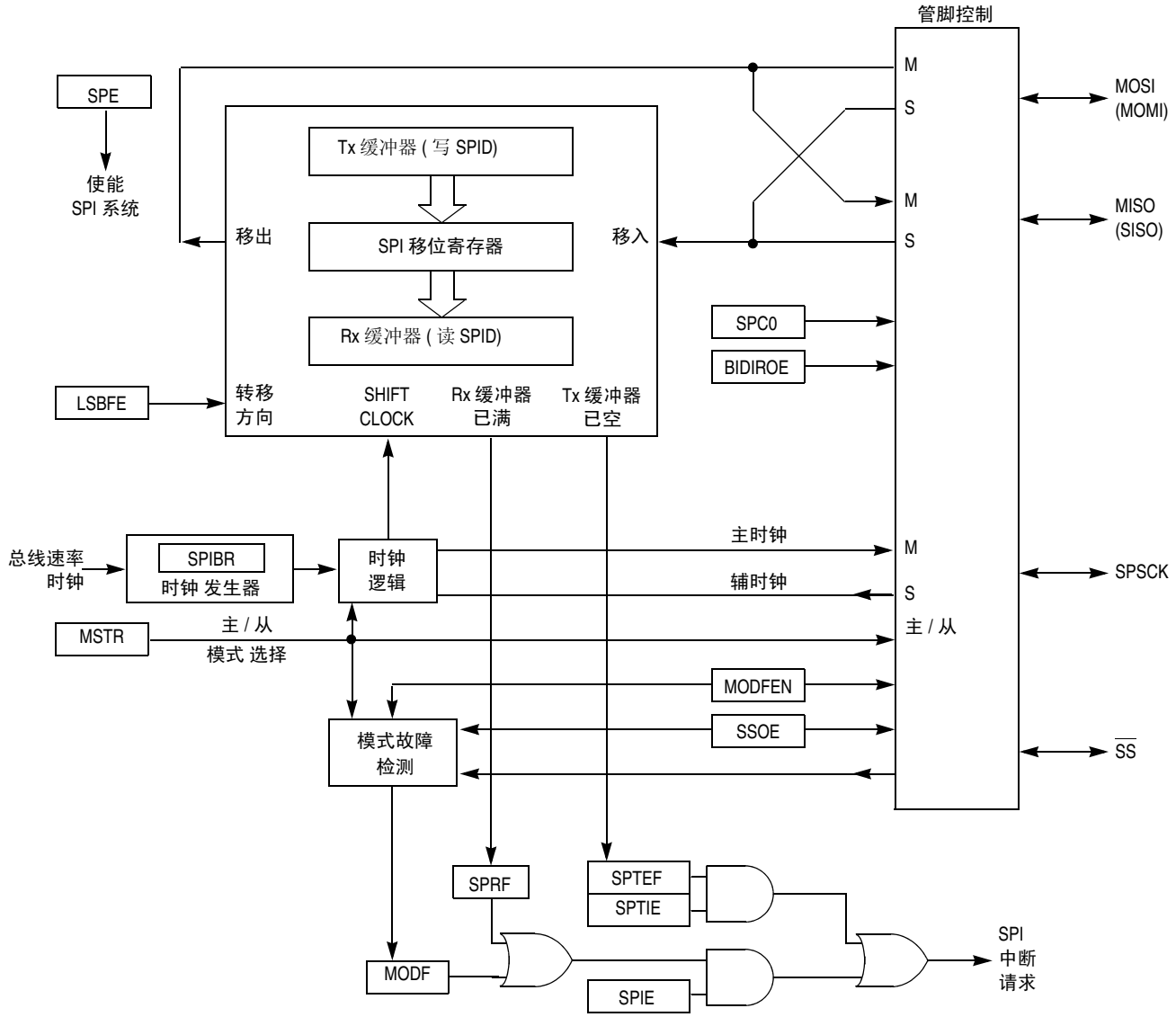

图 13-3. SPI 模块结构图

13.2 外部信号描述

SPI 共享 4 个端口管脚。这些管脚的功能取决于 SPI 控制位的设置。当 SPI 禁止 （SPE = 0）时，这 4 个管脚恢复为不受 SPI 控制的通用端口 I/O 管脚。

13.2.1 SPSCK — SPI 串行时钟

当 SPI 作为从 SPI 被使能时，该管脚是串行时钟输入。当 SPI 作为主 SPI 被使能时，该管脚是串行时钟输出。

13.2.2 MOSI — Master Data Out, Slave Data In

当 SPI 作为主 SPI 被使能且 SPI 管脚控制零 （SPC0）为 0 （不是双向模式）时，该管脚是串行数据输出。当 SPI 作为从 SPI 被使能且 SPC0 = 0 时，该管脚为串行数据输入。如果 SPC0 = 1，选择单线双向模式并选择了主模式，该管脚就成为双向数据 I/O 管脚 （MOMI）。同样，双向模式输出使能位决定该管脚作为输入 （BIDIROE = 0）管脚还是输出管脚 （BIDIROE = 1）。如果 SPC0 = 1 且选择了辅模式，该管脚不会被 SPI 使用，并恢复为通用端口 I/O 管脚。

13.2.3 MISO — Master Data In, Slave Data Out

当 SPI 作为主 SPI 被使能且 SPI 管脚控制零 （SPC0）为 0 （不是双向模式）时，该管脚是串行数据输入。当 SPI 作为从 SPI 被使能且 SPC0 = 0 时，该管脚是串行数据输出。如果 SPC0 = 1，选择单线双向模式并选择了辅模式，该管脚变成双向数据 I/O 管脚 （SISO），双向模式输出使能位决定该管脚作为输入 （BIDIROE = 0）管脚还是输出管脚 （BIDIROE = 1）。如果 SPC0 = 1 且选择了辅模式，该管脚不会被 SPI 使用，并恢复为通用端口 I/O 管脚。

13.2.4 $\overline{SS}$ — 从选择

当 SPI 作为从 SPI 被使能时，该管脚是低电平有效的从选择输入。当 SPI 作为主 SPI 被使能且模式默认使能关闭 （MODFEN = 0）时，该管脚不被 SPI 使用，并恢复为通用端口 I/O 管脚。当 SPI 作为主 SPI 被使能时， MODFEN = 1，辅选择输出使能位决定该管脚是作为模式默认输入 （SSOE = 0）还是辅选择输出 （SSOE = 1）。

13.3 运行模式

13.3.1 处于停止模式的 SPI

SPI 在所有停止模式禁止，无论在执行 STOP 指令前的设置如何。在 STOP1 或 STOP2 模式期间， SPI 模块将完全关闭。一旦从 STOP1 或 STOP2 模式唤醒， SPI 模块将进入复位状态。在 STOP3 模式期间， SPI 模块的时钟暂停。寄存器没受到影响。如果通过复位退出 STOP3， SPI 被置复位状态。如果通过中断退出 STOP3， SPI 继续保持其进入 STOP3 时所处的状态。

当 TPM 被配置用于中央对齐 PWM （and ELSnB:ELSnA not = 0:0）时，该 TPM 中所有通道的数据方向被改变； TPMxCHn 管脚被强制用作受 TPM 控制的输出，而 ELSnA 位控制每个 TPMxCHn 输出的极性。如果 ELSnB:ELSnA=1:0，那么在定时器计数器向上计数、通道值寄存器与定时器计数器匹配时，相应的 TPMxCHn 管脚被清除；当定时器计数器向下计数、通道值寄存器与定时器的计数器匹配时，TPMxCHn 管脚被设置。如果 ELSnA=1，在定时器计数器向上计数、通道值寄存器与定时器的计数器匹配时，相应的 TPMxCHn 管脚被设置；当定时器计数器向下计数、通道值寄存器与定时器计数器匹配时， TPMxCHn 管脚被清除。

TPMxMODH:TPMxMODL = 0x0008
TPMxCnVH:TPMxCnVL = 0x0005

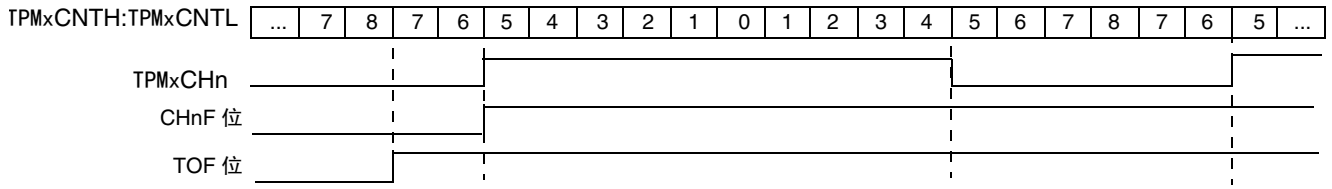

图 16-5. 中央对齐 PWM 的 High-True 脉冲

TPMxMODH:TPMxMODL = 0x0008
TPMxCnVH:TPMxCnVL = 0x0005

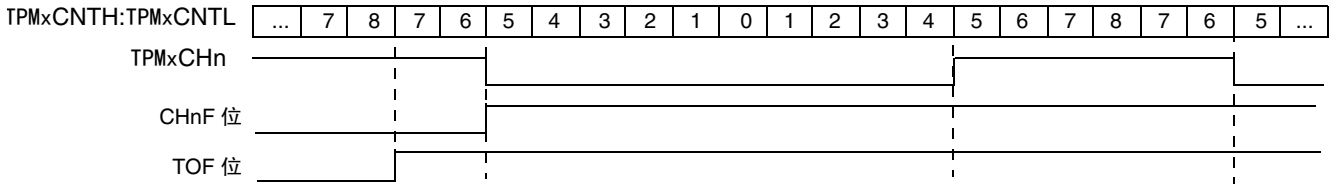

图 16-6. 中央对齐 PWM 的 Low-True 脉冲

100%，因为占空比比较将不会发生。这意味着模数寄存器设置的可用范围周期为 0x0001 至 0x7FFE （如果不需要 100% 的占空比，则为 0x7FFF）。这不是一个重大的限制。所能产生的周期将远远长于正常应用所需的周期。

TPMxMODH:TPMxMODL=0x0000 是不用于中央对齐 PWM 模式的特例。当 CPWMS=0 时，这一情况与计数器从 0x0000 自由运行到 0xFFFF 的情况相对应，但当 CPWMS=1 时，计数器需要与 0x0000 以外的模数寄存器有效匹配，以便将方向从向上计数变为向下计数。

TPM 通道寄存器 （2 倍）中的输出比较值决定 CPWM 信号的脉冲宽度 （占空比）（图 16-16）。如果 ELSnA=0，当向上计数时发生数值比较会强制 CPWM 输出信号进入低态；当向下计数时发生数值比较会强制输出进入高态。计数器达到 TPMxMODH:TPMxMODL 中的模数设置后才开始向上计数；然后向下计数直到 0。这将周期设置为 TPMxMODH:TPMxMODL 的两倍。

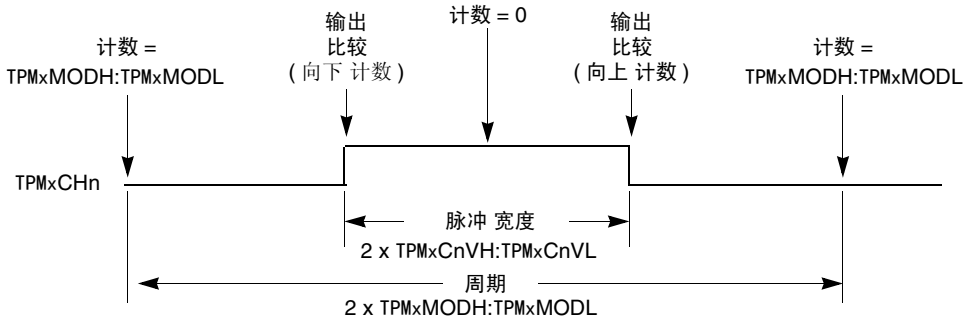

图 16-16. CPWM 周期和脉冲宽度 （ELSnA=0）

中央对齐 PWM 输出的噪音一般比边缘对齐 PWM 小，因为相同系统时钟边上的输入 / 输出管脚过渡更少。有些类型的电机需要这类 PWM 应用。

当计数器以向上 / 向下计数模式运行时，输入捕捉、输出比较和边缘对齐 PWM 功能没有意义。因此这意味着当 CPWMS=1 时， TPM 中的所有使能通道必须用于 CPWM 模式中。

TPM 可用在 8 位 MCU 中。定时器通道寄存器中的设置被缓冲，以确保连贯的 16 位更新并避免意外的 PWM 脉冲宽度。向任何寄存器 TPMxMODH、 TPMxMODL、 TPMxCnVH 和 TPMxCnVL 中写入实际上就是写入到缓冲器寄存器中。

在中央对齐 PWM 模式下， TPMxCnVH:L 寄存器根据 CLKSB:CLKSA 位的值通过写入缓冲器的值得到更新，因此：

- 如果 （clksb:clksa = 0:0），寄存器在第二个字节被写入时更新。
- 如果 （clksb:clksa not = 0:0），寄存器在两个字节都被写入， tpm 计数器从 （tpmxmodh:tpmxmodl - 1）变为 （tpmxmodh:tpmxmodl）后更新。如果 tpm 计数器为自由运行的计数器，那么更新在 tpm 计数器从 0xfffe 变为 0xffff 时进行。

当 TPMxCNTH:TPMxCNTL=TPMxMODH:TPMxMODL 时， TPM 可选择生成 TOF 中断 （在该计数结束时）。

写入 TPMxSC 的操作会取消写入到 TPMxMODH 和 / 或 TPMxMODL 中的任何值，并且复位模数寄存器的一致性机制。写入 TPMxCnSC 的操作会取消写入到通道值寄存器中的任何值，并且为 TPMxCnVH:TPMxCnVL 复位一致性机制。

从 TPM v2 到 TPM v3 的差异

1. 写入到 TPMxCnTH:L 寄存器中 （16.3.2，“计数器的寄存器（TPMxCNTH:TPMxCNTL）”） [SE110-TPM 案例 7]

   向 TPM v3 中任何 TPMxCNTH 或 TPMxCNTL 寄存器的写入可清除 TPM 计数器（TPMxCNTH:L）和预分频器计数器。然而，在这种情况下， TPM v2 中只有 TPM 计数器被清除。

2. TPMxCNTH:L 寄存器的读取 （16.3.2，“计数器的寄存器（TPMxCNTH:TPMxCNTL）”）

   — 在 TPM v3 中，BDM 模式下 TPMxCNTH:L 寄存器的任何读取都会返回冻结的 TPM 计数器的值。在 TPM v2 中，如果 BDM 模式使能前只有 TPMxCNTH:L 寄存器的一个字节被读取，那么 BDM 模式下对 TPMxCNTH:L 寄存器的任何读取都将从读取缓冲器而不是冻结的 TPM 计数器值中返回 TPMxCNTH:L 的锁定值。

   — 如果有向 TPMxSC、TPMxCNTH 或 TPMxCNTL 的写入，那么该读取一致性机制将在 BDM 模式下从 TPM v3 中清除。然而，在这些情况下， TPM v2 不会清除这种读取一致性机制。

3. TPMxCnVH:L 寄存器的读取 （16.3.5，“TPM 通道值寄存器（TPMxCnVH:TPMxCnVL）”）

   — 在 TPM v3 中，BDM 模式下对 TPMxCnVH:L 寄存器的任何读取都会返回 TPMxCnVH:L 寄存器中的值。在 TPM v2 中，如果 BDM 模式使能前只有 TPMxCnVH:L 寄存器的一个字节被读取，那么 BDM 模式下对 TPMxCnVH:L 寄存器的任何读取都将从读取缓冲器而不是 TPMxCnVH:L 寄存器值中返回 TPMxCNTH:L 的锁定值。

   — 如果有 TPMxCnSC 写入操作，该读取一致性机制在 BDM 模式下在 TPM v3 中被清除。然而，在这种情况下， TPM v2 不会清除这种读取一致性机制。

4. 写入到 TPMxCnVH:L 寄存器

   — 输入捕捉模式 （16.4.2.1，“输入捕捉模式”）

   在此模式下， TPM v3 不允许向 TPMxCnVH:L 寄存器写入任何值。然而， TPM v2 允许写入。

   — 输出比较模式 （16.4.2.2，“输出比较模式”）

   在此模式下，如果 （CLKSB:CLKSA not = 0:0），那么 TPM v3 会在第二个字节被写入、 TPM 计数器再次发生变化 （预分频器计数结束）时使用写入缓冲器的值更新 TPMxCnVH:L 寄存器。然而， TPM v2 总是在它们的第二个字节被写入时更新这些寄存器。

   — 边缘对齐 PWM （16.4.2.3，“边缘对齐 PWM 模式”）

   在此模式下，如果 （CLKSB:CLKSA not = 0:0）， TPM v3 在两个字节都被写入， TPM 计数器从 （TPMxMODH:L - 1）变为 （TPMxMODH:L）时使用写入缓冲器的值更新 TPMxCnVH:L 寄存器。如果 TPM 计数器为自由运行的计数器，那么更新在 TPM 计数器从 $FFFE 变为 $FFFF 时进行。然而， TPM v2 在两个字节都被写入，且当 TPM 计数器从 TPMxMODH:L 变为 $0000 时进行更新。

表 17-6. DBGS 寄存器字段描述

字段	描述
7 AF	**触发匹配 A 标记** — 在调试运行开始时请除 AF，指示武装后是否满足触发 匹配 A 条件。 0 比较器 A 未匹配 1 比较器 A 匹配
6 BF	**触发匹配 B 标记** — 在调试运行开始时请除 BF，指示武装后是否满足触发 匹配 B 条件。 0 比较器 B 未匹配 1 比较器 B 匹配
5 ARMF	**打开标记** — 当 DBGEN=1 时，这个位为 DBGC 中 ARM 的只读镜像。将 DBGC 中的 ARM 控制位写为 1 （当 DBGEN = 1）可设置该位，在调试运行结束时自动清除它。当 FIFO 为满时 （始起跟踪），或当探测到触发事件时 （结束跟踪），调度运行完成。将 DBGC 中的 ARM 或 DBGEN 写为 0，可以人工停止调试运行 。 0 调试器没有打开 1 调试器被打开
3:0 CNT[3:0]	**FIFO 有效计数** — 这些位在调试运行开始时清除，指示调试运行结束时 FIFO 中的有效数据的字数。当数据大 FIFOO 中读出时， CNT 中的值不减少。当信息从 FIFO 中读出时，外部调试主机负责计数的跟踪。 0000 FIFO 中的有效字数 = 无有效数据 0001 FIFO 中的有效字数 = 1 0010 FIFO 中的有效字数 = 2 0011 FIFO 中的有效字数 = 3 0100 FIFO 中的有效字数 = 4 0101 FIFO 中的有效字数 = 5 0110 FIFO 中的有效字数 = 6 0111 FIFO 中的有效字数 = 7 1000 FIFO 中的有效字数 = 8

平均芯片接面温度 （T_J）（单位 °C）可以用如下等式计算：

$$T_J = T_A + (P_D \times \theta_{JA}) \qquad \textit{等式 A-1}$$

其中：

T_A = 周围温度，°C
θ_{JA} = 封装热阻，结到环境，°C/W
$P_D = P_{int} + P_{I/O}$
$P_{int} = I_{DD} \times V_{DD}$，瓦特 — 芯片内部功率
$P_{I/O}$ = 输入和输出管脚上的功耗 — 由用户决定

对大多数应用来说， $P_{I/O} << P_{int}$ ，可以忽略不计。P_D 和 T_J 间的近似关系 （如果 $P_{I/O}$ 忽略不计）是：

$$P_D = K \div (T_J + 273°C) \qquad \textit{等式 A-2}$$

将等式 1 代入和等式 2，求出 K 为：

$$K = P_D \times (T_A + 273°C) + \theta_{JA} \times (P_D)^2 \qquad \textit{等式 A-3}$$

其中，K 是一个与特殊部件有关的常量。K 可以通过测量已知 T_A 的 P_D（平衡时），从等式 3 计算出来。如果 K 值已知，用等式 1 和等式 2 相式代入，就可以得出任意 T_A 值的 P_D 和 T_J。

A.5 ESD 保护和抗闭锁方法

尽管这些器件上的静电放电 （ESD）损害要比早期的 CMOS 电路的 ESD 要小得多，但仍应采取一些正常的处理防范措施，防止静电。要执行一些鉴定测试，以确保这些器件可以忍受合理水平的静电，而不会造成任何永久的损害。

整个 ESD 测试符合 AEC-Q100 汽车集成电路的应力测试鉴定。在进行器件鉴定过程中，要执行人体放电模式 （HBM）和充电器件模式 （CDM）的 ESD 应力测试。

如果暴露给 ESD 脉冲后，器件不再符合器件规范，那么就认定器件测试失败。在进行完高温测试后，还要在室温下根据每个可适用的器件规范进行完整的 DC 参数及功能测试，除非设备规范中另有指定。

表 A-4. ESD 和闭锁测试条件

模式	描述	符号	值	单位
人体	串联电阻	R1	1500	W
	存储电容	C	100	pF
	每管脚脉冲数	–	3	
闭锁	最小输入电压限制		–2.5	V
	最大输入电压限制		7.5	V

表 A-7. 电源电流特性 （续）

编号	C	参数	符号	V_{DD} （V）	典型值[1]	最大值[2]	单位
5	P[4]	停止 2 模式 电源电流 –40 °C (C, V, & M 后缀)	$S2I_{DD}$	5	0.8	—	μA
	P[4]	25 °C （所有部件）			0.9	—	
	P	105 °C （仅 V 后缀）			25	37	
	P	125 °C （仅 M 后缀）			46	70	
	C	–40 °C (C, V, & M 后缀)		3	0.7	—	
	C	25 °C （所有部件）			0.8	—	
	C	105 °C （仅 V 后缀）			20	30	
	C	125 °C （仅 M 后缀）			40	60	
6	C	增加 RTC 时的停止 2 或停止 3[4] 的加法器、 25°C		5	300	—	nA
				3	300	—	nA
7	C	增加 LVD 的停止 3 （LVDE = LVDSE = 1）		5	110	—	μA
				3	90	—	μA
8	C	增加振荡器启用时[5] 的停止 3 （IRCLKEN = 1 和 IREFSTEN = 1 或 ERCLKEN = 1 和 EREFSTEN = 1）		5	5	—	μA
				3	5	—	μA

1 典型值典型值在 25°C 时测量的值，除非另有说明。

2 本列中的最大值适用于设备的整个操作温度范围，除非另有说明。

3 25°C 时在所有部件上进行停止电流测试。在其他温度上的测试取决于部件编号后缀及产品的成熟度。一旦收集到足够的数据且被批准，飞思卡尔可能会把特殊温度下的测试从生产测试流程中消除。

4 大多数客户都期望可以使用停止 2 或停止 3 的自动唤醒，而非更高电流的等待模式。

5 以下条件下的给定值：低量程操作 （RANGE = 0）、低功率模式 （HGO = 0）

A.8 模拟比较器 （ACMP）电气特性

表 A-8. 模拟比较器电气规范

编号	C	参数	符号	最小值	典型值	最大值	单位
9	—	电源电压	V_{DD}	2.7	—	5.5	V
10	D	电源电流 （活动）	I_{DDAC}	—	20	35	μA
11	D	模拟输入电压	V_{AIN}	V_{SS} – 0.3	—	V_{DD}	V
12	D	模拟输入偏移电压	V_{AIO}		20	40	mV
13	D	模拟比较器滞后	V_H	3.0	6.0	20.0	mV
14	D	模拟输入漏电流	I_{ALKG}	--	--	1.0	μA
15	D	模拟比较器初始化延迟	t_{AINIT}	—	—	1.0	μs

A.9 ADC 特性

表 A-9. 12 位 ADC 操作条件

特性	条件	符号	最小值	典型值[1]	最大值	单位	注释
电源电压	绝对	V_{DDAD}	2.7	—	5.5	V	
	Delta to V_{DD} （V_{DD}-V_{DDAD}）[2]	DV_{DDAD}	-100	0	+100	mV	
接地电压	Delta to V_{SS} （V_{SS}-V_{SSAD}）[2]	DV_{SSAD}	-100	0	+100	mV	
参考电压 高		V_{REFH}	2.7	V_{DDAD}	V_{DDAD}	V	仅在 64 管脚封装中适用 {V_{REFH} < V_{DDAD} 描述性的，未在生产中测试 }
参考电压 低		V_{REFL}	V_{SSAD}	V_{SSAD}	V_{SSAD}	V	不适用于 64 管脚封装 （只适用于 32 和 48 管脚封装）
输入电压		V_{ADIN}	V_{REFL}	—	V_{REFH}	V	
输入电容		C_{ADIN}	—	4.5	5.5	pF	
输入电阻		R_{ADIN}	—	3	5	kΩ	
模拟信号源电阻	12 位模式 f_{ADCK} > 4MHz f_{ADCK} < 4MHz	R_{AS}	 — —	 — —	 2 5	kΩ	MCU 外部
	10 位模式 f_{ADCK} > 4MHz f_{ADCK} < 4MHz		 — —	 — —	 5 10		
	8 位模式 （所有有效 f_{ADCK}）		—	—	10		
ADC 转换时钟频率	高速 （ADLPC=0）	f_{ADCK}	0.4	—	8.0	MHz	
	低速 （ADLPC=1）		0.4	—	4.0		

1 典型值假设 V_{DDAD} = 5.0V、温度 = 25×C、 f_{ADCK}=1.0MHz，除非另有其他说明。典型值仅用于参考，并在生产中测试。

2 DC 潜在差。

A.13 闪存和 EEPROM

本小节详细地描述闪存和 EEPROM 存储器的编程 / 擦除次数及编程 - 擦除容限。

编程和擦除操作除正常 V_{DD} supply 电源外不需要任何特殊电源。有关编程 / 擦除操作的更多信息，请参见第 4 章，“存储器”。

表 A-17. 闪存和 EEPROM 特性

编号	C	参数	符号	最小值	典型值值	最大值	单位
16	—	编程 / 擦除的电原电压	$V_{prog/erase}$	2.7		5.5	V
17	—	读取操作的电源电压 $0 < f_{Bus} < 8$ MHz $0 < f_{Bus} < 20$ MHz	V_{Read}	2.7		5.5	V
18	—	内部 FCLK 频率[1]	f_{FCLK}	150		200	kHz
19	—	内部 FCLK 时间 （1/FCLK）	t_{Fcyc}	5		6.67	µs
20	—	字节编程时间 （任意位置）(2)	t_{prog}	9			t_{Fcyc}
21	—	字节编程时间 （突发模式）(2)	t_{Burst}	4			t_{Fcyc}
22	—	页面擦除时间[2]	t_{Page}	4000			t_{Fcyc}
23	—	块擦除时间 (2)	t_{Mass}	20,000			t_{Fcyc}
24	C	闪存编程 / 擦除次数[3] T_L 至 to T_H = –40°C to + 125°C T = 25°C	n_{FLPE}	10,000 —	— 100,000	— —	cycles
25	C	编程 / 擦除次数 [3] T_L 至 T_H = –40×C to + 0×C T_L to T_H = 0×C to + 125×C T = 25×C	n_{EEPE}	10,000 50,000 —	— — 100,000	— — —	cycles
26	C	数据保留时间[4]	t_{D_ret}	15	100	—	years

1 该时钟的频率由软件设置控制。

2 这些值是硬件状态设备控制的值。用户代码无需计周期数。提供该信息的目的是为了计算编程和擦除的大约时间。

3 闪存和 EEPROM 的典型容限基于内在的位信元性能。有关飞思卡尔半导体如何定义典型容限的更多信息，请参考 Engineering Bulletin EB619，非易失性存储器的典型容限。

4 典型数据保留时间值基于在高温时测量的技术的内在能力，并使用阿伦尼乌斯公式降到 25?C。有关飞思卡尔半导体如何定义典型数据保留时间的更多信息，请参考 Engineering Bulletin EB618，*非易失性存储器的典型数据保留时间*。

B.5.1 定时器状态和控制寄存器 (TPMxSC)

TPMxSC 包含溢出状态标志和控制位，用来配置中断使能、 TPM 配置、时钟源和预分频器除数。这些控制与本定时器模块中的所有通道相关。

	7	6	5	4	3	2	1	0
R	TOF	TOIE	CPWMS	CLKSB	CLKSA	PS2	PS1	PS0
W								
复位	0	0	0	0	0	0	0	0

= 未实现或已保留

图 B-2. 定时器状态和控制寄存器 (TPMxSC)

表 B-1. TPMxSC 寄存器字段描述

字段	描述
7 TOF	**定时器溢出标记** — 该标记用于 TPM 计数器变更为 x0000 时，并且已经到达 TPM 计数器模量寄存器中设定的模量值。当 TPM 配置用于 CPWM 时，计数器达到模量寄存器的值后设置 TOF，这时转化为下一个较低的计数值。 TOF 设置完毕后，读取 TPM 状态和控制寄存器，在 TOF 中写入 0，可以清除 TOF。如果在清除顺序完成之前，发生另一个 TPM 溢出，该顺序要复位，这样前一个 TOF 的清除顺序完成后，后一个 TOF 仍然能保持为设置状态。复位可清除 TOF。在 TOF 中写入 1 不会产生影响。 0 TPM 计数器没有达到模量值或没有溢出 1 TPM 计数器已经溢出
6 TOIE	**定时器溢出中断使能** — 这个读 / 写位使能 TPM 溢出中断。如果 TOIE 被设置，那么在 TOF 等于 1 时会生成中断。复位可清除 TOIE。 0 TOF 中断关闭 （用于软件轮询） 1 TOF 中断允许
5 CPWMS	**中心对齐 PWM 选择** — 这个读写位选择 CPWM 的操作模式。复位清除该位，这样 TPM 就在向上计数模式中运行，完成输入捕捉、输出比较和边沿对齐 PWM 功能。设置 CPWMS 可以重新配置 TPM，使它以向上 / 下计数模式操作完成 CPWM 功能。复位清除 CPWMS。 0 所有 TPMx 通道以输入捕捉、输出比较或边沿对齐 PWM 模式操作，由各通道的状态和控制寄存器中 MSnB:MSnA 控制位的选择 1 所有 TPMx 通道以中心对齐 PWM 模式操作
4:3 CLKS[B:A]	**时钟源选择** — 如表 A-2 所示， 2 位字段用来禁止 TPM 系统或在 3 个时钟源中任选一个驱动计数器预分频器。外部源和 XCLK 通过片上同步电路，完成与总线的时钟同步。
2:0 PS[2:0]	**预分频器除数选择** — 这个 3 位字段从 8 个除数中选择一个，用作 TPM 时钟输入，如表 B-3 所示。完成时钟源同步或选定时钟源后，这个预分频器的位置也就确定了，因此无论选择什么时钟源驱动 TPM 系统都会产生影响。