



Welcome to [E-XFL.COM](#)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

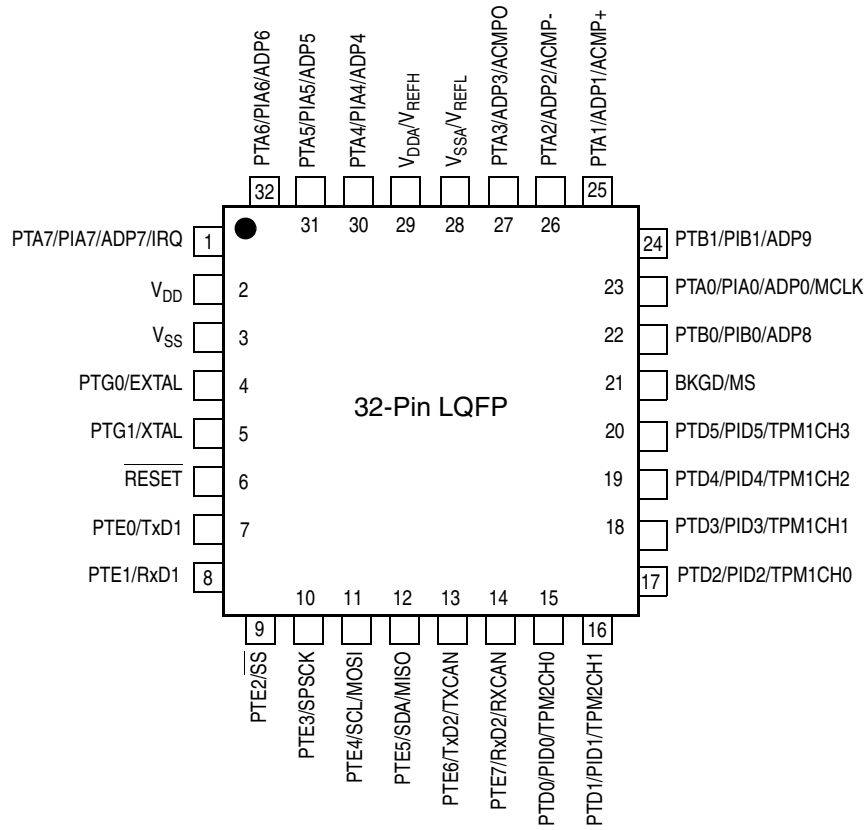
Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	16KB (16K x 8)
Program Memory Type	FLASH
EEPROM Size	512 x 8
RAM Size	1K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz16mlc

章节列表

章节号	标题	页码
第 1 章	器件概述	19
第 2 章	管脚和连接	25
第 3 章	操作模式	33
第 4 章	存储器	39
第 5 章	复位、中断和系统总控制	65
第 6 章	并行输入 / 输出控制	81
第 7 章	中央处理器 (S08CPUV3)	107
第 8 章	多功能时钟发生器 (S08MCGV1)	127
第 9 章	模拟比较器 (S08ACMPV3)	157
第 10 章	数模转换器 (S08ADC12V1)	163
第 11 章	IIC 模块 (S08IICV2)	189
第 12 章	飞思卡尔控制器局域网 (S08MSCANV1)	207
第 13 章	串行外围器件接口 (S08SPIV3)	257
第 14 章	串行通信接口 (S08SCIV4)	271
第 15 章	实时计数器 (S08RTCV1)	289
第 16 章	定时器脉冲宽度调节器 (S08TPMV3)	299
第 17 章	开发支持	323
附录 A	电气特征	342
附录 B	定时器脉宽调制器 (TPMV2)	364
附录 C	订购信息和机械图	378



VREFH 和 VREFL 在内部分别连接到 VDDA 和 VSSA。

图 2-3. 32 管脚 LQFP



图 4-5. Flash 和 EEPROM 时钟分频寄存器 (FCDIV)

表 4-7. FCDIV 寄存器字段描述

字段	描述
7 DIVLD	Divisor 加载状态标识 — 当置 1 时，这个只读状态标记指出 FCDIV 寄存器自从复位后已有写入。复位会清除该位而且第一次写入该寄存器的操作将导致该位被置 1，不管写入什么数据。 0 FCDIV 自复位后没有写入；Flash 和 EEPROM 的擦除和编程操作被禁止。 1 FCDIV 自复位后已写入；Flash 和 EEPROM 的擦除和编程操作已开启。
6 PRDIV8	预分频（分频）Flash 和 EEPROM 时钟除以 8（该位只设置一次。） 0 Flash 和 EEPROM 时钟分频器的时钟输入为总线速率时钟。 1 Flash 和 EEPROM 时钟分频器的时钟输入为总线速率时钟除以 8。
5:0 DIV	Divisor for Flash 和 EEPROM 时钟分频器 — 这些位只写入一次。Flash 和 EEPROM 时钟分频器用 6 位 DIV 字段中的值除总线速率时钟（如果 PRDIV8 = 1，则用总线速率时钟除以 8）再加 1。最后的内部 Flash 和 EEPROM 时钟的频率必须在 200 kHz 到 150 kHz 的范围内，这样才能使 Flash 和 EEPROM 正常运行。编程 / 擦除定时脉冲为这个内部 Flash 和 EEPROM 时钟的一个循环，这相当于 5 ms 到 6.7 ms。自动编程逻辑使用这些脉冲的整数来完成擦除或编程操作。请参见 等式 4-1 和 等式 4-2。

if PRDIV8 = 0 – $f_{FCLK} = f_{Bus} \div (DIV + 1)$ 等式 4-1

if PRDIV8 = 1 – $f_{FCLK} = f_{Bus} \div (8 \times (DIV + 1))$ 等式 4-2

表 4-8 为给定总线频率上 PRDIV8 和 DIV 的相应值。

表 4-8. Flash 和 EEPROM 时钟分频器设置

f_{Bus}	PRDIV8 (二进制)	DIV (十进制)	f_{FCLK}	编程 / 擦除定时脉冲 (最少 5 μs , 最多 6.7 μs)
20 MHz	1	12	192.3 kHz	5.2 μs
10 MHz	0	49	200 kHz	5 μs
8 MHz	0	39	200 kHz	5 μs
4 MHz	0	19	200 kHz	5 μs
2 MHz	0	9	200 kHz	5 μs
1 MHz	0	4	200 kHz	5 μs
200 kHz	0	0	200 kHz	5 μs
150 kHz	0	0	150 kHz	6.7 μs

5.8.1 中断管脚请求状态和控制寄存器 (IRQSC)

该直接页面寄存器包括用来配置 IRQ 功能、报告状态和确认 IRQ 事件的状态和控制位。

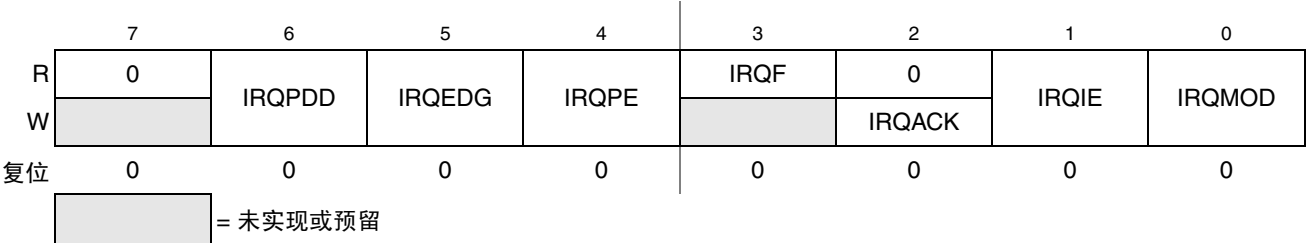


图 5-2. 中断请求状态和控制寄存器 (IRQSC)

表 5-2. IRQSC 寄存器字段描述

字段	描述
6 IRQPDD	中断请求 (IRQ) 上拉器件禁止 — IRQ 管脚激活时 (IRQPE = 1)，这个读 / 写控制位用来禁止内部上拉 / 下拉器件，从而允许使用外部器件。 0 如果 IRQPE = 1，IRQ 上拉器件激活； 1 如果 IRQPE = 1，IRQ 上拉器件禁止。
5 IRQEDG	
4 IRQPE	IRQ 管脚使能 — 这个读写控制位使能 IRQ 管脚。当设置了该位时，IRQ 管脚可以用作中断请求。 0 IRQ 管脚禁止； 1 IRQ 管脚使能。
3 IRQF	IRQ 标志 — 该只读状态位显示中断请求事件发生的时间。 0 无 IRQ 请求； 1 检测到 IRQ 事件。
2 IRQACK	IRQ 确认 — 这个只写位用来确认中断请求事件（写 1 来清除 IRQF）。写入 0 则没有任何意义或影响。读总是返回 0。如果选择了边沿和电平检测（IRQMOD = 1），则不能清除 IRQF，并且 IRQ 管脚位于断言级。
1 IRQIE	IRQ 中断使能 — 这个读 / 写控制位决定 IRQ 事件是否生成中断请求。 0 当 IRQF = 1 时不产生中断请求（使用轮询）； 1 当 IRQF = 1 时产生中断请求。
0 IRQMOD	IRQ 检测模式 — 这个读 / 写控制位选择只边沿检测还是边沿和电平检测。IRQEDG 控制位决定检测为中断请求事件的边沿和电平极性。如需了解更多信息，请参见 5.5.2.2，“边沿和电平敏感度”。 0 只下降边沿或上升边沿的 IRQ 事件； 1 下降边沿和低电平 IRQ 事件或上升边沿和高电平 IRQ 事件。

5.8.2 系统复位状态寄存器 (SRS)

该高页寄存器包括只读状态标记，以显示最近复位的源。将 1 写入 SBDFR 寄存器的 BDFR 时，调试主机强制完成复位，SRS 中不设置任何状态位。COP 使能时，在寄存器地址中写入任意值

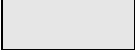
表 5-10. SPMSC1 寄存器字段描述

字段	描述
4 LVDRE	低压检测复位使能 — 这个 write-once 位支持 LVD 事件生成硬件复位（假设 LVDE = 1）。 0 LVD 事件不生成硬件复位。 1 当发生使能的低压检测事件时，强制实行 MCU 复位。
3 LVDSE	低压检测停止使能 — 假设 LVDE = 1，这个读 / 写位决定当 MCU 处于停止模式时是否操作低压检测功能。 0 停止模式期间低压检测禁止。 1 停止模式期间低压检测使能。
2 LVDE	低压检测使能 — 这个 write-once 位支持低压检测逻辑，并且限定该寄存器中的其他位的操作。 0 LVD 逻辑禁止。 1 LVD 逻辑使能。
0 BGBE	带隙缓冲器使能 — 这个位支持内部缓冲器，提供带隙电压参考，可供任何一个内部通道上的 ADC 和 ACMP 模块使用。 0 带隙缓冲器禁止。 1 带隙缓冲器使能。

5.8.8 系统电源管理状态和控制寄存器 2 (SPMSC2)

该寄存器用来报告低压警告功能状态，配置 MCU 的停止模式行为。该寄存器应在用户复位初始化程序期间写入，以设置期望的控制，即便期望的设置与复位设置相同。

	7	6	5	4	3	2	1	0
R	0	0	LVDV ¹	LVWV	PPDF	0	0	PPDC ²
W						PPDACK		
加电复位：	0	0	0	0	0	0	0	0
LVD 复位：	0	0	u	u	0	0	0	0
其他复位：	0	0	u	u	0	0	0	0

 = 未实现或预留

u = 未受复位影响

¹ 加电复位后，这个位只能写入一次。其他写入被忽略。

² 复位后这个字节只能写入一次。其他写入被忽略。

图 5-10. 系统电源管理状态和控制寄存器 2 (SPMSC2)

表 5-11. SPMSC2 寄存器字段描述

字段	描述
5 LVDV	低压检测电压选择 — 这个单次写入有效的位选择低压检测（LVD）跳变点设置。它还选择警告电压范围。参见表 5-12。
4 LVWV	低压警告电压选择 — 这个位选择低压警告（LVW）跳变点电压。参见表 5-12。
3 PPDF	局部断电标志 — 这个只读状态位显示 MCU 已经从 STOP2 模式中恢复。 0 MCU 还没有从 STOP2 模式中恢复。 1 MCU 已经从 STOP2 模式中恢复。

6.5.2.7 B 端口中断管脚选择寄存器 (PTBPS)

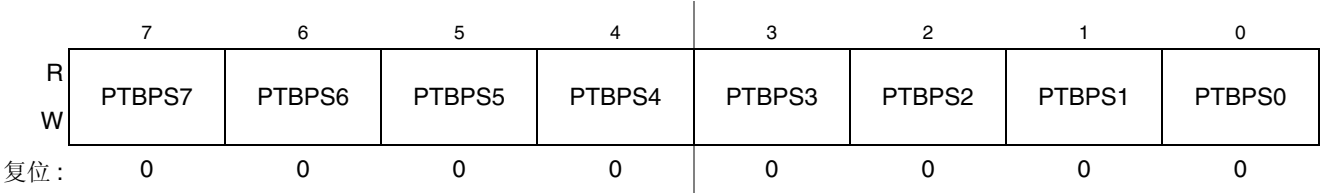


图 6-17. B 端口中断管脚选择寄存器 (PTBPS)

表 6-15. PTBPS 寄存器字段描述

字段	描述
7:0 PTBPS[7:0]	B 端口中断管脚选择 — 每个 PTBPSn 位都使能相应的 B 端口中断管脚。 0 管脚禁止中断。 1 管脚允许中断。

6.5.2.8 B 端口边沿选择寄存器 (PTBES)

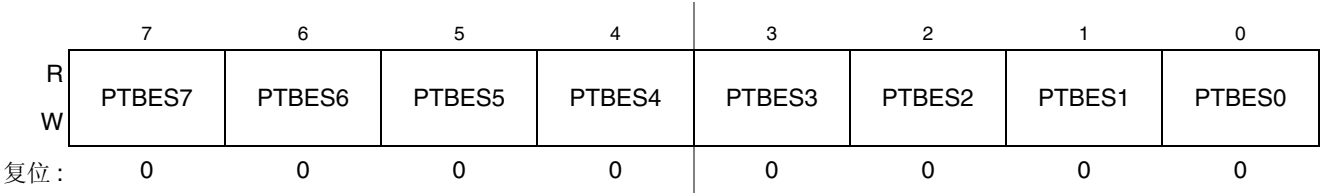


图 6-18. B 端口边沿选择寄存器 (PTBES)

表 6-16. PTBES 寄存器字段描述

字段	描述
7:0 PTBES[7:0]	B 端口边沿选择 — 每个 PTBESn 位都具有双重功能，选择活动中断边沿的极性以及选择上拉或下拉器件（使能的话）。 0 上拉器件与相关的管脚相连，检测中断生成的下降边沿 / 低电平。 1 下拉器件与相关的管脚相连，检测中断生成的上升边沿 / 高电平。

6.5.3 C 端口寄存器

C 端口由下列寄存器控制。

6.5.6.3 F 端口上拉使能寄存器 (PTFPE)

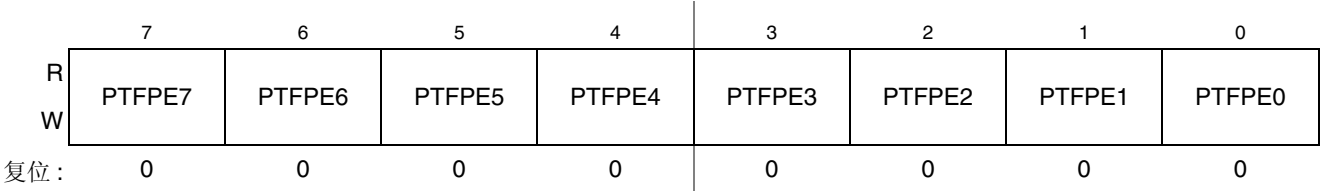


图 6-39. 端口寄存器内部上拉使能 (PTFPE)

表 6-37. PTFPE 寄存器字段描述

字段	描述
7:0 PTFPE[7:0]	F 端口的内部上拉使能位 — 这些控制位决定着是否为相关的 PTF 管脚使能内部上拉器件。对于配置为输出的 F 端口管脚，这些位不会产生影响，同时内部上拉器件被禁止。 0 F 端口位 - 内部上拉器件被禁止。 1 F 端口位 - 内部上拉器件使能。

注意

只有当使用管脚中断功能且配置了相应的边沿选择和管脚选择功能时，才能使用下拉器件。

6.5.6.4 F 端口斜率使能寄存器 (PTFSE)

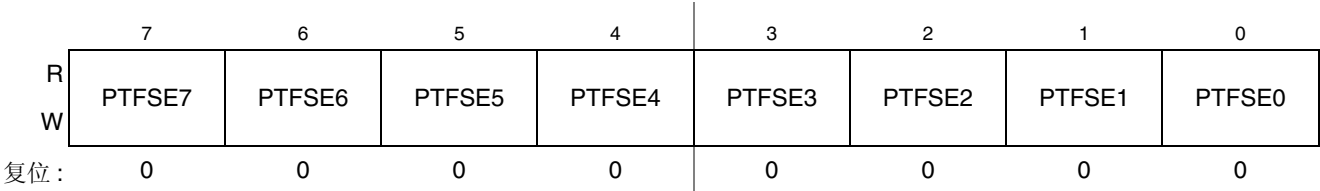


图 6-40. F 端口寄存器斜率使能 (PTFSE)

表 6-38. PTFSE 寄存器字段描述

字段	描述
7:0 PTFSE[7:0]	F 端口位的输出斜率使能 — 这些控制位决定着是否为相关的 PTF 管脚使能输出斜率控制。对于配置为输入的 F 端口管脚，这些位不会产生任何影响。 0 F 端口位 - 输出斜率控制禁止。 1 F 端口位 - 输出斜率控制使能。

注意：工程样品和最终成品的斜率复位默认值可能不同。一定要将斜率控制初始化为所需的值，以确保正确的操作。

8.5.5 内部参考时钟

当设置了 IRCLKEN 时，内部参考时钟信号将作为 MCGIRCLK 出现，作为另外一个时钟源使用。通过调整内部参考时钟时段，MCGIRCLK 的目标频率可以重新设定。在 MCGTRM 寄存器的 FRIM 位中写入一个新值就可以完成该操作。向 MCGTRM 寄存器写入一个更大的值将降低 MCGIRCLK 频率，写入一个更小的值将提高 MCGIRCLK 频率。如果 MCG 处于 FLL Engaged Internal (FEI)、FLL Bypassed Internal (FBI) 或 Bypassed Low Power Internal (BLPI) 模式，TRIM 位会影响 MCGOUT 频率。TRIM 和 FTRIM 值由 POR 初始化，但不会受其他复位影响。

如果 MCGIRCLK 未调整，编程低参考分频器 (RDIV) 因子可能导致 MCGOUT 频率超过芯片级最高频率，且违反芯片级时钟定时技术规范 (参见 Device Overview)

如果 IREFSTEN 和 IRCLKEN 位均已设置，内部参考时钟将在停止模式期间保持运行，以便在退出停止模式时快速恢复。

8.5.6 外部参考时钟

MCG 模块可以支持 FEE 和 FBE 模式中频率在 31.25 kHz-5 MHz，PEE 和 PBE 模式中频率在 1 MHz -16 MHz 之间，BLPE 模式中频率在 0 - 40 MHz 之间的外部参考时钟。当设置了 ERCLKEN 时，内部参考时钟信号将作为 MCGERCLK 出现，作为另外一个时钟源使用。当 IREFS = 1 时，FLL 或 PLL 不使用外部参考时钟，外部参考时钟只能用作 MCGERCLK。在这些模式中，该频率可能等于芯片级定时规范支持的最大频率 (参见 Device Overview)

如果 EREFSTEN 和 ERCLKEN 位均已设置，或者 MCG 处于 FEE、FBE、PEE、PBE 或 BLPE 模式，外部参考时钟将在停止模式期间保持运行，以便在退出停止模式时快速恢复。

如果 CME 位写入 1，时钟监控器使能。如果外部参考降到某一频率 (根据 MCGC2 中的 RANGE 位可以是 floc_high 或 floc_low) 以下，MCU 将复位。系统复位状态 (SRS) 寄存器中的 LOC 位将用来标志错误。

8.5.7 固定频率时钟

MCG 将分频参考时钟作为 MCGFFCLK，作为另外一个时钟源使用。MCGFFCLK 频率小于或等于 MCGOUT 频率的 1/4 才有效。正是因为这个要求，MCGFFCLK 在旁路模式中的如下 BDIV 和 RDIV 值组合中无效：

- BDIV=00 (除以 1)，RDIV
- BDIV=01 (除以 2)，RDIV

8.6 初始化 / 应用报文

本节描述了如何在应用中初始化和配置的 MCG 模块。后面几节给出了几个如何对 MCG 进行初始化、如何在不同模式间进行适当切换的例子。

10.4.3 数据结果高地址寄存器 (ADCRH)

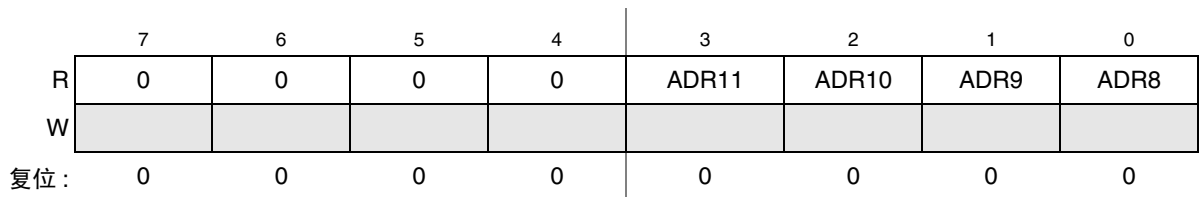


图 10-6. 数据结果高地址寄存器 (ADCRH)

在 10 位模式中，ADCRH 包含 10 位转换结果中的高 2 位。在配置 10 位模式时，ADR11 - ADR10 等于 0。当为 8 位模式进行配置时，ADR11 - ADR8 等于 0。

在 12 位和 10 位模式中，每次完成转换时 ADCRH 都被更新，除非使能了自动比较但不满足比较条件。在 12 位和 10 位模式中，读取 ADCRH 能够防止在读取 ADCRL 之前 ADC 将后续转换结果传输到结果寄存器。如果 ADCRL 是在下一次转换完成后才被读取，那么中间转换结果被会丢失。在 8 位模式中，没有与 ADCRL 的互锁。

当 MODE 位被更改时，ADCRH 中的任何数据都将无效。数据结果低地址寄存器 (ADCRL)

ADCRL 包含 12 位或 10 位转换结果中的低 8 位。每次转换完成时，8 位转换寄存器的 8 个位都被更新，除非使能了自动比较但不满足比较条件。在 12 位和 10 位模式中，读取 ADCRH 能够防止在读取 ADCRL 之前 ADC 将后续转换结果传输到结果寄存器。如果 ADCRL 是在下一次转换完成后才被读取，那么中间转换结果被会丢失。在 8 位模式中，没有与 ADCRH 的互锁。当 MODE 位被更改时，ADCRL 中的任何数据都将无效。

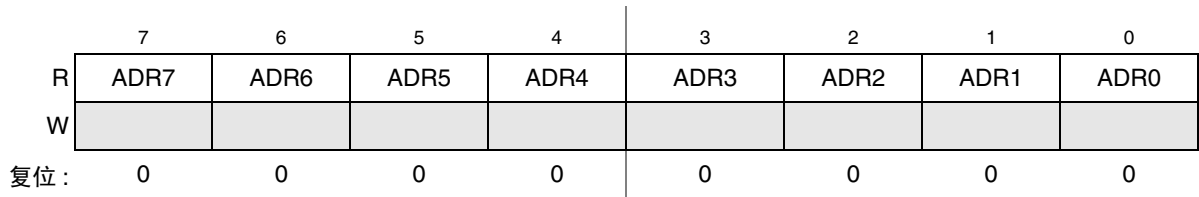


图 10-7. 数据结果低态寄存器 (ADCRL)

10.4.4 比较值高地址寄存器 (ADCCVH)

在 12 位模式中，ADCCVH 寄存器包含 12 位比较值的高 4 位。当比较功能使能时，这些位与 12 位模式转换结果的高 4 位进行比较。

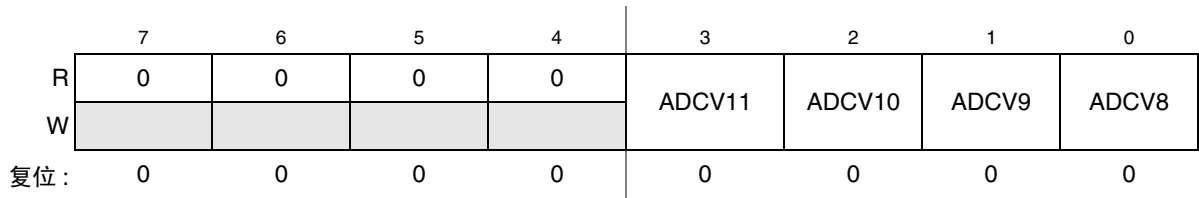


图 10-8. 比较值高态寄存器 (ADCCVH)

在 10 位模式中，ADCCVH 寄存器包含 10 位比较值 (ADCV9 - ADCV8) 的高 2 位。当比较功能使能时，这些位就与 10 位模式转换结果的高 2 位进行比较。

12.5.3 标识符接收滤波器

MSCAN 标识符接收寄存器（参见 12.3.11，“MSCAN 标识符验收控制寄存器 (CANIDAC)”）定义标准或扩展标识符（ID[10:0] 或 ID[28:0]）的可接受模式。这些位中的任意一个都可以在 MSCAN 标识符掩码寄存器中标志为“不比较”（参见 12.3.16，“MSCAN 标识符掩码寄存器 (CANIDMR0-CANIDMR7)”）。

一次滤波器匹配可由接收缓冲器已满标志（RXF = 1）和 CANIDAC 寄存器中的 3 个位（参见 12.3.11，“MSCAN 标识符验收控制寄存器 (CANIDAC)”）。通知给应用软件。这些标识符匹配标志（IDHIT[2:0]）能够清晰识别引起接收的滤波寄存器。它们简化了应用软件处理接收器中断来源的任务。如果出现一次以上的匹配（两个或多个滤波器匹配），低地址的寄存器具有优先权。

非常灵活的可编程通用标识符接收滤波器可以有效降低 CPU 的中断负载，该滤波器在经过编程后可在四种不同模式中运行（Bosch CAN 2.0A/B 协议规范）：

- 两个标识符接收滤波器，每个将应用于：
 - 扩展标识符的全部 29 位和 CAN2.0B 帧的以下位：
 - 远程发送请求 (RTR)
 - 标识符扩展 (IDE)
 - 替代远程请求 (SRR)
 - 标准标识符的 11 位，加上 CAN 2.0A/B 报文的 RTR 和 IDE 位¹。这种模式为符合 CAN 2.0B 标准的长扩展标识符提供两个滤波器。图 12-39 显示第一个 32 位滤波器页（CANIDAR0 - CANIDAR3、CANIDMR0 - CANIDMR3）如何产生滤波器 0 匹配。同样，第二个滤波器页（CANIDAR4 - CANIDAR7、CANIDMR4 - CANIDMR7）产生滤波器 1 匹配。
- 4 个标识符接收滤波器，每个应用于：
 - a) 扩展标识符的 14 个最重要位，加上 CAN 2.0B 报文的 SRR 和 IDE 位，或
 - b) 标准标识符的 11 位、CAN 2.0A/B 报文的 RTR 和 IDE 位。图 12-40 显示第一个 32 位滤波器页（CANIDAR0 - CANIDAR3、CANIDMR0 - 3CANIDMR）如何产生滤波器 0 和 1 匹配。同样，第二个滤波器页（CANIDAR4 - CANIDAR7、CANIDMR4 - CANIDMR7）产生滤波器 2 和 3 匹配。
- 8 个标识符接收滤波器，每个应用于标识符的前 8 位。这种模式为符合 CAN 2.0A/B 的标准标识符或符合 CAN 2.0B 的扩展标识符的前 8 个位实施 8 个独立的滤波器。图 12-41 显示第一个 32 位滤波器页（CANIDAR0 - CANIDAR3、CANIDMR0 - CANIDMR3）如何产生滤波器 0-3 匹配。同样，第二个滤波器页（CANIDAR4 - CANIDAR7、CANIDMR4 - CANIDMR7）产生滤波器 4-7 匹配。
- 关闭滤波器。没有 CAN 报文被复制到前景缓冲器 RxFG，且从不设置 RXF 标志。

1. 尽管这种模式可以用于标准标识符，但我们还是建议为标准标识符使用 4 个或 8 个标识符接收滤波器。

15.3.2 RTC 计数器寄存器 (RTCCNT)

RTCCNT 是 8 位计数器的当前 RTC 计数的只读值。

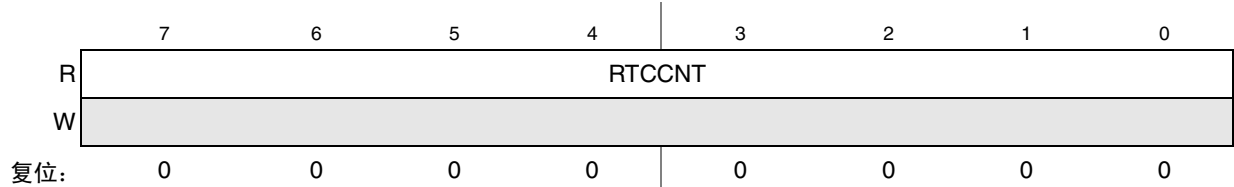


图 15-4. RTC 计数器寄存器 (RTCCNT)

表 15-4. RTCCNT 字段描述

字段	描述
7:0 RTCCNT	RTC 计数—这 8 个只读位包含 8 位计数器的当前值。写入操作对该寄存器无效。复位、写入 RTCMOD 或向 RTCLKS 和 RTCPS 写入不同值将把计数清除为 0x00。

15.3.3 RTC 模数寄存器 (RTCMOD)

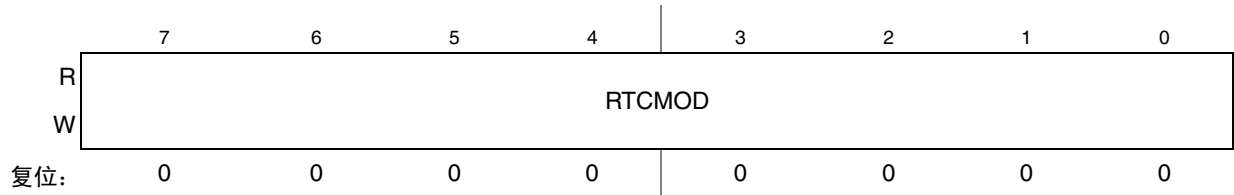


图 15-5. RTC 模数寄存器 (RTCMOD)

表 15-5. RTCMOD 字段描述

字段	描述
7:0 RTCMOD	RTC 模数 — 这 8 个读 / 写位包含用于在比较匹配后将计数复位为 0x00 并设置 RTIF 状态位的模数值。0x00 值会在预分频器输出的每个上升边沿设置 RTIF 位。写入 RTCMOD 将把预分频器和 RTCCNT 计数器复位为 0x00。复位将模数寄存器设置为 0x00。

15.4 功能描述

RTC 由一个带有 8 位模数寄存器的主 8 位向上计数器、一个时钟源选择器和一个带有二进制和十进制可选值的预分频器组件组成。该模块还包含软件可选的中断逻辑。

任何 MCU 复位后，计数器被停止并复位为 0x00；模数寄存器被设置为 0x00，而且预分频器将关闭。1-kHz 内部振荡器时钟被选择为默认时钟源。要启动预分频器，向预分频器选择位 (RTCPS) 写入零以外的任何值。

16.1.1 功能

TPM 包括以下独特功能：

- 1 至 8 个通道：
 - 每个通道可以是输入捕捉、输出比较或边缘对齐 PWM 模式
 - 上升边、下降边或任何边输入捕捉触发
 - 设置、清除、切换输出比较操作
 - PWM 输出上的可选极性
- 在所有通道上，模块可配置为缓冲、中央对齐脉冲宽度调制 (cpwm)
- 定时器时钟源，可选为预分频的总线时钟、固定系统时钟或外部时钟管脚
 - 除以 1, 2, 4, 8, 16, 32, 64, 或 128 的预分频器值相位
 - 固定系统时钟源通过片上同步电路与总线时钟保持同步
 - 外部时钟管脚可与任何定时器通道管脚或独立的输入管脚共享。
- 16 位自由运行或模数向上 / 向下计数操作
- 定时器系统启动
- 每个通道一个中断以及终端计数中断

16.1.2 运行模式

一般来说，TPM 通道可以独立配置，以便以输入捕捉、输出比较或边缘对齐的 PWM 模式运行。控制位使整个 TPM（所有通道）可以切换为中央对齐的 PWM 模式。选择中央对齐 PWM 模式后，输入捕捉、输出比较和边缘对齐 PWM 功能不能在本 TPM 模式的任何通道上使用。

当微控制器处于激活的 BDM 后台模式或 BDM 前台模式时，TPM 会临时暂停所有计数操作，直到微控制器返回到正常用户运行模式。在停止模式下，包括主振荡器的所有系统时钟都会停止；因此在时钟恢复前，TPM 被有效关闭。在等待模式下，TPM 继续正常运行。如果 TPM 不需要产生实时参考或提供从等待模式中唤醒 MCU 的中断源，那么用户在进入等待模式前可以通过关闭 TPM 功能来节约电源。

- 输入捕捉模式

关联 MCU 管脚上发生所选边沿事件时，16 位定时器计数器当前值被捕捉到通道值寄存器中，同时会设置一个中断标志位。上升边沿、下降边沿、任何边沿或无边沿（关闭通道）可选择作为触发输入捕捉的活动边沿。
- 输出比较模式

定时计数器寄存器中的值与通道值寄存器相匹配时，会设置一个中断标志位，并且会在管理管脚上强制执行所选的输出操作。输出比较操作可选择用于强制将管脚设置为零或 1、反转管脚电平或忽略管脚（用于软件定时功能）。
- 边缘对齐 pwm 模式

16 位模数寄存器值加 1 设置 PWM 输出信号的周期。通道值寄存器设置 PWM 输出信号的占空比。此外，用户还可选择 PWM 输出信号的极性。中断可在周期结束和占空比过渡点上提供。这类 PWM 信号被称为边缘对齐，因为所有 PWM 信号的前沿是在周期开始时对齐的，该周期对 TPM 内的所有通道是相同的。

外部时钟信号与通道输入 / 输出管脚共享相同的管脚，因此选择为外部时钟源时通道管脚不能用于通道输入 / 输出功能。用户应负责避免这种设置。如果这个管脚被用作外部时钟源 (CLKSB:CLKSA = 1:1)，通道仍可作为软件定时器 (ELSnB:ELSnA = 0:0) 用于输出比较模式。

16.2.1.2 TPMxCHn — 通道 n 输入 / 输出管脚

每个 TPM 通道都与 MCU 上的一个输入 / 输出管脚相关联。这个管脚的功能取决于通道配置。TPM 管脚与通用输入 / 输出管脚共享，其中每个管脚都有一个端口数据寄存器位和一个数据方向控制位，而且端口有可选的被动上拉器件。该上拉器件可在端口管脚作为输入设备时使能。

当 (ELSnB:ELSnA = 0:0) 或 (CLKSB:CLKSA = 0:0) 时，TPM 通道不会控制输入 / 输出管脚，因此通常恢复到由通用输入 / 输出控制的状态。当 CPWMS = 1 (and ELSnB:ELSnA not = 0:0) 时，TPM 中的所有通道被配置用于中央对齐 PWM，而 TPMxCHn 管脚全部由 TPM 系统控制。当 CPWMS=0 时，MSnB:MSnA 控制位决定通道配置用于输入捕捉、输出比较还是边缘对齐 PWM。

当通道被配置用于输入捕捉 (CPWMS=0, MSnB:MSnA = 0:0 and ELSnB:ELSnA not = 0:0) 时，TPMxCHn 管脚被强制用作 TPM 的对边缘敏感的输入。ELSnB:ELSnA 控制位决定哪个或哪些极性边将触发输入捕捉事件。一个基于总线时钟的同步器用于同步输入边和总线时钟。这意味着输入捕捉管脚上可以可靠检测的最小脉冲宽度是 4 个总线时钟周期 (可检测尽可能靠近 2 个总线时钟的最佳时钟脉冲)。TPM 使用该管脚作为输入捕捉输入，为相同管脚改写端口数据和数据方向控制。

当通道被配置用于输出比较 (CPWMS=0, MSnB:MSnA = 0:1 and ELSnB:ELSnA not = 0:0) 时，相关数据方向控制被改写；TPMxCHn 管脚被看作是由 TPM 控制的输出，ELSnB:ELSnA 控制位决定如何控制管脚。ELSnB:ELSnA 的其余三个组合决定在每次 16 位通道值寄存器与定时器计数器匹配时是否切换、清除或者设置 TPMxCHn 管脚。

刚完成选择输出比较切换模式时，管脚上的以前的值一直被驱动，直到发生下一个输出比较事件，然后管脚被切换。

规定中央对齐 PWM 操作时，计数器从 0x0000 向上计数到其终端计数，然后向下计数到 0x0000，在那里又开始向上计数。0x0000 和终端计数值均为正常长度计数（一个定时器时钟周期长度）。在这种模式下，定时器溢出标记（TOF）在终端计数周期结束时被设置（当计数器变为下一个更低计数值时）。

16.4.1.4 手动计数器复位

主定时器计数器可随时通过将任何值写入 TPMxCNTH 或 TPMxCNTL 的任何一半来手动复位。如果复位计数前只有一半计数器被读取，这种计数器复位方法还会复位一致性机制。

16.4.2 通道模式选择

如果 Provided CPWMS=0, 通道 n 状态和控制寄存器中 MSnA 和 MSnA 控制位为相应通道确定基本运行模式。选择包括输入捕捉、输出比较或边缘对齐 PWM。

16.4.2.1 输入捕捉模式

利用输入捕捉功能，TPM 可捕捉外部事件发生的时间。当输入捕捉通道的管脚上发生活动边沿时，TPM 可将 TPM 计数器的内容锁入到通道值寄存器（TPMxCnVH:TPMxCnVL）中。上升边沿、下降边沿或任何边沿都可选择作为触发输入捕捉的使能边沿。

在输入捕捉模式下，TPMxCnVH 和 TPMxCnVL 寄存器为只读。

当 16 位捕捉寄存器的任何一半被读时，另一半被锁入到缓冲器中，以按从小到大或从大到小顺序支持连贯的 16 位接入。一致序列可通过向通道状态 / 控制寄存器（TPMxCnSC）中写入值来手动复位。

输入捕捉事件设置标记位（CHnF）。该位可选择生成 CPU 中断请求。

在 BDM 中时，输入捕捉功能按用户配置的方式运行。发生外部事件时，TPM 将 TPM 计数器的内容（因为这在 BDM 模式下是冻结的）锁入到通道值寄存器中，并设置标志位。

16.4.2.2 输出比较模式

利用输出比较功能，TPM 可生成具有可编程位置、极性、持续时间和频率的定时脉冲。当计数器达到输出比较通道的通道值寄存器中的值时，TPM 可设置、清除或切换通道管脚。

在输出比较模式下，根据 CLKSb:CLKSA 位值，仅在 16 位寄存器的两个一半（8 位）被写入后，值被传输到相应的定时器通道寄存器中，因此：

- 如果（clksb:clksa = 0:0），寄存器在第二个字节被写入时更新。
- 如果（clksb:clksa not = 0:0），寄存器在第二字节被写入后 tpm 计数器下次发生变化（预分频器计数结束）时更新。

一致性序列可通过向通道状态 / 控制寄存器（TPMxCnSC）中写入值来手动复位。

输出比较事件设置标记位（CHnF）。该位可选择生成 CPU 中断请求。

100%，因为占空比比较将不会发生。这意味着模数寄存器设置的可用范围周期为 0x0001 至 0x7FFE（如果不需要 100% 的占空比，则为 0x7FFF）。这不是一个重大的限制。所能产生的周期将远远长于正常应用所需的周期。

TPMxMODH:TPMxMODL=0x0000 是不用于中央对齐 PWM 模式的特例。当 CPWMS=0 时，这一情况与计数器从 0x0000 自由运行到 0xFFFF 的情况相对应，但当 CPWMS=1 时，计数器需要与 0x0000 以外的模数寄存器有效匹配，以便将方向从向上计数变为向下计数。

TPM 通道寄存器（2 倍）中的输出比较值决定 CPWM 信号的脉冲宽度（占空比）（图 16-16）。如果 ELSnA=0，当向上计数时发生数值比较会强制 CPWM 输出信号进入低态；当向下计数时发生数值比较会强制输出进入高态。计数器达到 TPMxMODH:TPMxMODL 中的模数设置后才开始向上计数；然后向下计数直到 0。这将周期设置为 TPMxMODH:TPMxMODL 的两倍。

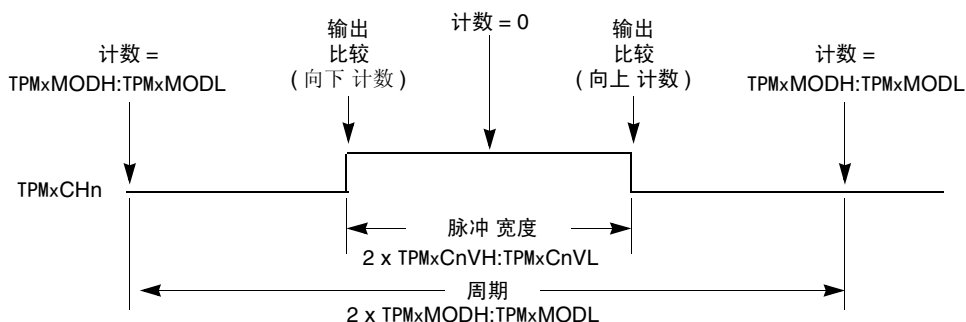


图 16-16. CPWM 周期和脉冲宽度 (ELSnA=0)

中央对齐 PWM 输出的噪音一般比边缘对齐 PWM 小，因为相同系统时钟边上的输入 / 输出管脚过渡更少。有些类型的电机需要这类 PWM 应用。

当计数器以向上 / 向下计数模式运行时，输入捕捉、输出比较和边缘对齐 PWM 功能没有意义。因此这意味着当 CPWMS=1 时，TPM 中的所有使能通道必须用于 CPWM 模式中。

TPM 可用在 8 位 MCU 中。定时器通道寄存器中的设置被缓冲，以确保连贯的 16 位更新并避免意外的 PWM 脉冲宽度。向任何寄存器 TPMxMODH、TPMxMODL、TPMxCnVH 和 TPMxCnVL 中写入实际上就是写入到缓冲器寄存器中。

在中央对齐 PWM 模式下，TPMxCnVH:L 寄存器根据 CLKSb:CLKSA 位的值通过写入缓冲器的值得到更新，因此：

- 如果 (clksb:clksa = 0:0)，寄存器在第二个字节被写入时更新。
- 如果 (clksb:clksa not = 0:0)，寄存器在两个字节都被写入，tpm 计数器从 (tpmxmodh:tpmxmodl - 1) 变为 (tpmxmodh:tpmxmodl) 后更新。如果 tpm 计数器为自由运行的计数器，那么更新在 tpm 计数器从 0xffff 变为 0x0000 时进行。

当 TPMxCnTH:TPMxCnTL=TPMxMODH:TPMxMODL 时，TPM 可选择生成 TOF 中断（在该计数结束时）。

写入 TPMxSC 的操作会取消写入到 TPMxMODH 和 / 或 TPMxMODL 中的任何值，并且复位模数寄存器的一致性机制。写入 TPMxCnSC 的操作会取消写入到通道值寄存器中的任何值，并且为 TPMxCnVH:TPMxCnVL 复位一致性机制。

16.5 复位概述

16.5.1 概况

MCU 复位时 TPM 就会被复位。

16.5.2 复位操作介绍

复位清除 TPMxSC 寄存器，导致关闭 TPM 的时钟源，并禁止定时器溢出中断（TOIE=0）。CPWMS、MSnB、MSnA、ELSnB 和 ELSnA 可被全部清除，这使相关的被配置为输入捕捉功能的所有 TPM 通道与 I/O 口逻辑断开（因此与 TPM 相关的所有 MCU 管脚恢复到通用输入 / 输出管脚）。

16.6 中断

16.6.1 General

TPM 为主计数器溢出产生可选的中断，或为每个通道生成中断。通道中断的意义取决于每个通道的运行模式。通道中断的意义取决于每个通道的运行模式。I 如果通道配置用于输入捕捉，那么中断标志在每次所选的输入捕捉边沿被识别时设置。如果通道配置用于输出比较或 PWM 模式，那么中断标志在每次主定时器计数器与 16 位通道值寄存器中的值匹配时被设置。

表 16-8 中列出所有 TPM 中断，其中显示了中断名称及任何本地使能的名称。这些本地使能可促使中断请求离开 TPM 或被不同的处理逻辑识别。

表 16-8. 中断总结

中断	本地启动	源	描述
TOF	TOIE	定时器溢出	每次定时器计数器达到其终端计数（过渡到通常为 0x0000 的下一计数值）时设置
CHnF	CHnIE	通道事件	通道 n 上发生输入捕捉或输出比较事件 TPM 模块将提供 high-true 中断信号。

向量和优先级在中断模块中进行芯片集成时确定，因此请参考用户指南，查看有关中断模块或芯片的全部文档了解更详细信息。

16.6.2 中断操作描述

对于 TPM 中的每个中断源，标志位在识别到中断条件后设置，如定时器溢出、通道输入捕捉或输出比较事件等。这个标志可被软件读取（轮询），以确定操作已经发生，或者相关使能位（TOIE 或 CHnIE）可设置以便使能硬件中断生成。设置了中断使能位时，不论何时相关中断标记等于 1，就会生成静态中断。从中断服务程序中返回前，用户的软件必须执行一系列步骤来清除中断标志。

上半部分没有被使用，仅仅通过读 DBGFL 来从 FIFO 中读出数据。每次读 DBGFL 时，FIFO 都会移动，这样通过 DBGFL 的 FIFO 数据端口可以获得下一个数据值。

在触发模式中，FIFO 保存流变化地址，CPU 地址与 FIFO 的输入端有一个延迟。由于这个延迟，如果触发事件本身是一个流变化地址或在触发事件启动 FIFO 后下两个周期中出现了流变化地址，它将不保存在 FIFO 中。如果是结束 - 跟踪的情况，当触发事件是一个流变化，则它将保存为运行的调试器的最后一个流变化入口。

当调试器没有打开时，FIFO 还可以用来生成所执行指令地址的分析。当 ARM = 0, 读 DBGFL 会使最近获取的操作码的地址保存在 FIFO 中。采用分析功能，主机调试器将从 FIFO 中读取地址，即以常规的间隔先读 DBGFH 然后读 DBGFL，。前 8 个值将被丢弃，因为它们对应于初始需要填充 FIFO 的 8 个 DBGFL 读取。DBGFH 和 DBGFL 的其它周期读取则返回关于所执行指令的延迟信息，这样主机调试器可以对执行指令地址进行分析。

17.3.3 流变化信息

为了减少存储在 FIFO 中的信息数量，只保存与使正常的指令执行顺序发生变化的指令相关的信息。知道存储在目标系统中的源和对象代码程序后，外部调试器可以通过来自 FIFO 中存储的大量流变化信息的许多指令来重现执行路径。

对于采用了分支的条件分支指令（分支条件为真），则保存源地址（条件分支操作码的地址）。由于 BRA 和 BRN 指令不是条件的，这些事件不会使流变化信息存储在 FIFO 中。

间接 JMP 和 JSR 指令采用 H:X 间址寄存器对的当前内容，确定目的地址，这样调试系统为任何间接 JMP 或 JSR 保存运行时的目的地址。对于中断，RTI 或 RTS, 目的地址作为流变化信息存储在 FIFO 中。

17.3.4 标记 vs. 强制断点和触发器

标记一词指当指令操作码被取到指令队列时识别它，但是不采取任何其它操作，直到且除非指令被 CPU 真正执行。这种区分非常重要，因为任何因跳转、分支、子例程调用、或中断而发生的流变化都会导致一些指令被取到指令队列，未执行就被丢弃。

强制类型的断点等待当前指令完成，然后执行断点请求操作。通常操作是进入激活背景调试模式，而不是继续用户应用程序中的下一个指令。

标记 vs. 强制这一术语在调试模块的两种情况下使用。第一种情况指从调试模块向 CPU 发送断点请求。第二种情况指从比较器向调试控制逻辑发送匹配信号。当标记类断点发送给 CPU 时，信号与操作码一起进入指令队列，这样当这个操作码被执行时，CPU 将有效地用 BGND 操作码代替被标记的操作码，这样 CPU 进入激活背景调试模式，而不是执行被标记的指令。当 DBGTR 寄存器中的 TRGSEL 控制位被设置为选择标记类操作，比较器 A 或 B 的输出被调试模块中的逻辑块鉴定，这个逻辑块跟踪操作码，如果比较地址的操作码被实际执行，则只向该调试器生成一个触发。每个比较器都有单独的操作码跟踪逻辑，这样整个指令队列一次不只一个比较事件被跟踪。

范围内 ($A \leq \text{地址} \leq B$) — 当地址大于或等于比较器 A 的值，且小于等于比较器 B 的值时，触发发生。

范围外 ($\text{地址} < A$ 或 $\text{地址} > B$) — 当地址小于比较器 A 的值，或大于比较器 B 的值时，触发发生。

17.3.6 硬件断点

DBG 寄存器中的 **BRKEN** 控制位可以设置为 1，来允许使用 17.3.5，“触发模式”所描述的任何触发条件，向 CPU 生成硬件断点请求。DBG 中的 **TAG** 控制断点请求是否处理为标记类断点或强制类断点。标记断点使当前的操作码进入指令队列时被标记。如果标记的操作码达到队列的末端，CPU 执行 **BGND** 指令，进入激活背景调试模式，而不是执行被标记的操作码。强制类断点使 CPU 完成当前指令，然后进入激活背景调试模式。

如果背景调试模式没有被通过 **BKGD** 管脚的串行 **WRITE_CONTROL** 命令激活 (**ENBDM** = 1)，CPU 将执行 **SWI** 指令，而不是进入激活背景调试模式。

17.4 寄存器定义

本小节描述了 **BDC** 和 **DBG** 寄存器及控制位。

参见本文的器件概述章节中的 **high-page** 寄存器一览，了解所有 **DBG** 寄存器的绝对地址分配。本小节只按名字参考了寄存器和控制位。使用飞思卡尔提供的等式或头文件，将这些名称翻译为相应的绝对地址。

17.4.1 BDC 寄存器和控制位

BDC 有两个寄存器：

- 状态和控制寄存器 (**BDCSCR**) 是一个包含背景调试控制器控制和状态位的 8- 位寄存器。
- **BDC** 断点匹配寄存器 (**BDCBKPT**) 拥有一个 16- 位断点匹配地址。

这些寄存器通过专门的串行 **BDC** 命令接入，没有位于目标 MCU 的存储器空间中 (因此，它们没有地址，用户程序不能接入)。

BDCSCR 中的一些位有写限制，否则这些寄存器可以随时被读或写。例如，当 MCU 处于激活背景调试模式中时，**ENBDM** 控制位不能被写。(这防止了在 MCU 已经处于激活后台模式时，禁止激活后台模式的控制位的模糊条件) 而且，有四个状态位 (**BDMACT**, **WS**, **WSF**, 和 **DVF**) 是只读状态指示符，永远也不能被 **WRITE_CONTROL** 串行 **BDC** 命令写。时钟开关 (**CLKSW**) 控制位随时都可读或写。

17.4.1.1 BDC 状态和控制寄存器 (BDCSCR)

这个寄存器可以被串行 **BDC** 命令 (**READ_STATUS** 和 **WRITE_CONTROL**) 读或写，但是用户程序不能存取它，因为它不位于 MCU 的正常的存储器映射空间中。

表 A-6. DC 特性 (续)

编号	C	特性	符号	条件	最小值	典型值 ¹	最大值	单位
10	P	Hi-Z (关态) 漏电流 (每管脚) 所有输入 / 输出	I_{OZ}	$V_{IN} = V_{DD} \text{ or } V_{SS}$	—	0.1	1	μA
11	P	上拉电阻 (或下拉电阻 ² , 如果启用的话)	R_{PU}, R_{PD}	5 V	20	45	65	$k\Omega$
	C			3 V	20	45	65	
12	T	输入电容、所有管脚	C_{In}		—	—	8	pF
13	D	RAM 保持电压	V_{RAM}		0.9	1.4	2.0	V
14	D	POR re-arm 电压 ³	V_{POR}		0.9	1.4	2.0	V
15	D	POR re-arm 时间 ⁴	t_{POR}		10	—	—	μs
16	P	低压探测阈值 — 高量程 V_{DD} 下降 V_{DD} 上升	V_{LVD1}		3.9 4.0	4.0 4.1	4.1 4.2	V
17	P	低压探测阈值 — 低量程 V_{DD} 下降 V_{DD} 上升	V_{LVD0}		2.48 2.54	2.56 2.62	2.64 2.70	V
18	C	低压报警阈值 — 高量程 1 V_{DD} 下降 V_{DD} 上升	V_{LVW3}		4.5 4.6	4.6 4.7	4.7 4.8	V
19	P	低压报警阈值 — 高量程 0 V_{DD} 下降 V_{DD} 上升	V_{LVW2}		4.2 4.3	4.3 4.4	4.4 4.5	V
20	P	低压报警阈值 — 低量程 1 V_{DD} 下降 V_{DD} 上升	V_{LVW1}		2.84 2.90	2.92 2.98	3.00 3.06	V
21	C	低压报警阈值 — 低量程 0 V_{DD} 下降 V_{DD} 上升	V_{LVW0}		2.66 2.72	2.74 2.80	2.82 2.88	V
22	T	低压禁止复位 / 恢复滞后	V_{hys}	5 V	—	100	—	mV
				3 V	—	60	—	
23	D	dc 注入电流 ^{5, 6, 7, 8} 单管脚限制 总 MCU 限制, 包括所有加应用的管脚	I_{IC}	$V_{IN} > V_{DD}$	0	—	2	mA
				$V_{IN} < V_{SS}$	0	—	-0.2	
				$V_{IN} > V_{DD}$	0	—	25	
				$V_{IN} < V_{SS}$	0	—	-5	

中断标记和启动与 16 位主计数器相关。定时器溢出标记 (TOF) 是一种显示定时器计数器溢出的软件可接入指示。TOF 标记等于 1 时自动生成静态硬件中断的情况下, 启动信号都在软件轮询 (TOIE=0) (无硬件中断生成) 或中断驱动操作 (TOIE=1) 之间选择。

导致 TOF 被设置的条件取决于 (向上或向上 / 向下) 计数模式。在向上计数模式中, 16 位主计数器从 0x0000 计数到 0xFFFF, 并且在下一次计数时钟中溢出到 0x0000。在从 0xFFFF 向 0x0000 过渡时, TOF 被设置。设置了模数限制时, TOF 会在从模数寄存器中设置的值向 0x0000 过渡时设置。当 16 位主计数器以向上 / 向下模式运行的情况下, 计数器在从模数寄存器中设置的值和下一个更低的计数值过渡而改变方向时 TOF 标记被设置。这对应 PWM 周期的结束。(0x0000 计算值对应周期的中央。)

因为 HCS08 MCU 是一种 8 位的架构, 所以一致性机制被设计到定时器计数器中以进行读取操作。当计数器的任何一个字节 (TPMxCNTH or TPMxCNTL) 被读取时, 两个字节都被捕获到缓冲器中, 这样当另一个字节被读取时, 值会显示读取第一个字节时计数的另一个字节。计数器继续正常计数, 但是没有新的值从任意字节中读取, 直到旧的计数的两个字节都被读取。

主定时器的计数器可随时通过将任何值写入 TPMxCNTH 或 TPMxCNTL 计数的任一比特来手动复位。如果在复位计数前只有计数器的一个字节被读取, 那么这种计数器复位方式还会复位一致性机制。

B.6.2 通道模式选择

如果 CPWMS=0 (未规定中央对齐的 PWM 操作), 那么通道 n 状态和控制寄存器中 MSnB 和 MSnA 控制位为相应通道确定基本运行模式。选择包括输入捕获、输出对比或缓冲的边缘对齐 PWM。

B.6.2.1 输入捕获模式

利用输入捕获功能, TPM 可捕获外部事件发生的时间。当输入捕获通道的管脚上发生激活边时, TPM 会将 TPM 计数器的内容锁入到通道值寄存器中 (TPMxCnVH:TPMxCnVL)。上升边、下降边或任何边可被选为触发输入捕获的活动边。

当 16 位捕获寄存器的任何一个字节被读取时, 两个字节都被锁入到缓冲器中, 以支持连贯的 16 位接入而不受顺序的影响。一致性序列可通过向通道状态 / 控制寄存器 (TPMxCnSC) 中写入值来手动复位。

输入捕获事件会设置标记位 (CHnF), 该标记可选择生成一个 CPU 中断请求。

B.6.2.2 输出比较模式

通过输出比较功能, TPM 可生成具有可编程位置、极性、持续时间和频率的定时脉冲。当定时器达到输出对比通道的通道值寄存器中的值时, TPM 可以置 1, 置 0, 翻转引脚状态通道。

在输出比较模式中, 值只有在 16 位寄存器的两个 8 位字节都被写入后被传输到相应定时器的通道寄存器中。这种一致性序列可通过向通道状态 / 控制寄存器 (TPMxCnSC) 中写入值来手动复位。

输出比较事件会设置标记位 (CHnF), 该标记可选择产生 CPU 中断请求。