

Welcome to E-XFL.COM

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	32KB (32K x 8)
Program Memory Type	FLASH
EEPROM Size	1K x 8
RAM Size	2K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/pro/item?MUrl=&PartUrl=mc9s08dz32amlc

2.2.1 电源

V_{DD} 和 V_{SS} 是 MCU 基本的电源管脚。该电源为所有 I/O 缓冲器电路和一个内部稳压器供电。内部稳压器为 CPU 及 MCU 的其他内部电路提供经过稳压的低电压电源。

通常，应用系统在电源管脚上需要安装两个独立的电容器。其中一个为大容量电解电容器（如 $10\mu\text{F}$ 钽电容器）为整个系统提供大容量电荷存储。同时应在离 MCU 电源管脚尽可能近的地方安装一个 $0.1\mu\text{F}$ 的陶瓷旁路电容器来抑制高频噪音。MC9S08DZ60 系列有两个 V_{DD} 管脚（32 管脚封装除外），每个管脚都必须有一个旁路电容器以实现最有效的噪音抑制。

V_{DDA} 和 V_{SSA} 是 MCU 的模拟电源管脚。该管脚引入的电源为 ADC 模块供电。我们应在离 MCU 电源管脚尽可能近的地方安装一个 $0.1\mu\text{F}$ 陶瓷旁路电容器来抑制高频噪音。

2.2.2 振荡器

复位完成后，MCU 立即开始使用由 MCG（多功能时钟生成器）模块提供的内部时钟。关于 MCG 的更详尽信息，请参见第 8 章，“多功能时钟发生器（S08MCGV1）”。

本 MCU 中的振荡器（XOSC）为皮尔斯（Pierce）振荡器，可以支持晶体和陶瓷谐振器。除了晶体或陶瓷谐振器外，我们还可以将一个外部振荡器连接到 EXTAL 输入管脚上。

如图 2-4 所示， R_S （如果使用了的话）和 R_F 必须采用低感电阻器，如碳膜电阻器。而不能采用感应系数过高的线绕和金属薄膜电阻器。 $C1$ 和 $C2$ 必须使用专为高频应用设计的高质量陶瓷电容器。

R_F 用来提供偏置路径用于在晶体启动过程中将 EXTAL 输入保持在线性范围内。它的值并不是在所有情况下都非常关键。一般系统采用 $1\text{M} \sim 10\text{M}$ 之间的 R_F 。过高的阻抗对湿度太敏感，而过低的阻抗会减少增益并（在一些极端情况下）导致无法正常启动。

$C1$ 和 $C2$ 一般采用 $5\text{pF} \sim 25\text{pF}$ 的电容，并且必须满足匹配特定晶体或谐振器的要求。在选择 $C1$ 和 $C2$ 时必须考虑印刷电路板（PCB）的电容和 MCU 管脚的电容。晶体生产商一般都规定了一个负载电容—— $C1$ 和 $C2$ （二者的尺寸通常是相同的）的系列组合。按照一次近似原则，我们应使用 10pF 作为每个振荡器管脚（EXTAL 和 XTAL）的管脚和 PCB 总电容的估计值。

2.2.3 $\overline{\text{RESET}}$ （复位）

$\overline{\text{RESET}}$ 是一个专用管脚，带有内置的上拉器件。它有输入电压迟滞、大电流输出驱动器但没有输出斜率控制。由于存在内部加电复位电路和低压复位电路，因此在一般情况下不必使用外部复位电路。该管脚通常连接到标准的 6 脚后台调试接头，以保证开发系统可以直接复位 MCU 系统。如果需要，我们可以增加一个到地线的简单开关（拉低复位管脚以强制进行复位）来实现手动外部复位。

在任何情况下触发复位时（不管是由外部信号还是内部系统）， $\overline{\text{RESET}}$ 管脚都会下拉约 34 个总线周期。复位电路会解析复位原因并且在系统复位状态寄存器（SRS）中设置一个相应的位来记录这一原因。

4.2 复位和中断向量分配

表 4-1 为复位和中断向量的地址分配情况。该表中使用的向量名称为飞思卡尔半导体提供的 MC9S08DZ60 系列通用文件中使用的标签。

表 4-1. 复位和中断向量表

地址 (高 / 低)	向量	向量名称
0xFFC0:0xFFC1	ACMP2	Vacmp2
0xFFC2:0xFFC3	ACMP1	Vacmp1
0xFFC4:0xFFC5	MSCAN Transmit	Vcantx
0xFFC6:0xFFC7	MSCAN Receive	Vcanrx
0xFFC8:0xFFC9	MSCAN errors	Vcanerr
0xFFCA:0xFFCB	MSCAN wake up	Vcanwu
0xFFCC:0xFFCD	RTC	Vrtc
0xFFCE:0xFFCF	IIC	Viic
0xFFD0:0xFFD1	ADC Conversion	Vadc
0xFFD2:0xFFD3	Port A, Port B, Port D	Vport
0xFFD4:0xFFD5	SCI2 Transmit	Vsci2tx
0xFFD6:0xFFD7	SCI2 Receive	Vsci2rx
0xFFD8:0xFFD9	SCI2 Error	Vsci2err
0xFFDA:0xFFDB	SCI1 Transmit	Vsci1tx
0xFFDC:0xFFDD	SCI1 Receive	Vsci1rx
0xFFDE:0xFFDF	SCI1 Error	Vsci1err
0xFFE0:0xFFE1	SPI	Vspi
0xFFE2:0xFFE3	TPM2 Overflow	Vtpm2ovf
0xFFE4:0xFFE5	TPM2 Channel 1	Vtpm2ch1
0xFFE6:0xFFE7	TPM2 Channel 0	Vtpm2ch0
0xFFE8:0xFFE9	TPM1 Overflow	Vtpm1ovf
0xFFEA:0xFFEB	TPM1 Channel 5	Vtpm1ch5
0xFFEC:0xFFED	TPM1 Channel 4	Vtpm1ch4
0xFFEE:0xFFEF	TPM1 Channel 3	Vtpm1ch3
0xFFFF0:0xFFFF1	TPM1 Channel 2	Vtpm1ch2
0xFFFF2:0xFFFF3	TPM1 Channel 1	Vtpm1ch1
0xFFFF4:0xFFFF5	TPM1 Channel 0	Vtpm1ch0
0xFFFF6:0xFFFF7	MCG Loss of lock	Vlol
0xFFFF8:0xFFFF9	Low-Voltage Detect	Vlvd
0xFFFFA:0xFFFFB	IRQ	Virq
0xFFFFC:0xFFFFD	SWI	Vswi
0xFFFFE:0xFFFFF	Reset	Vreset

表 4-14. Flash 块保护 (continued)

FPS	受保护的地址域	受保护的内存大小 (字节)	受保护的扇区数量
0x1B	0x2800–0xFFFF	54K	72
0x1A	0x2200–0xFFFF	55.5K	74
0x19	0x1C00–0xFFFF	57K	76
0x18–0x00	0x0000–0xFFFF	64K	86

4.5.11.5 Flash 和 EEPROM 状态寄存器 (FSTAT)

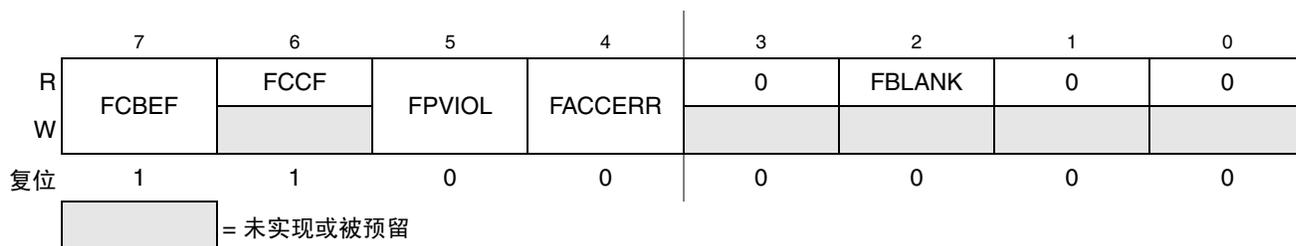


图 4-9. Flash 和 EEPROM 状态寄存器 (FSTAT)

表 4-15. FSTAT 寄存器字段描述

字段	描述
7 FCBEF	命令缓冲器空标记 — FCBEF 位用于发出命令。它还用于标识命令缓冲器是空的，因此可以在执行突发编程时执行新的命令顺序。FCBEF 位通过在写入 1 或一个突发编程命令被发送到阵列中以进行编程时清除。只有突发编程命令可以被缓冲。 0 命令缓冲器满 (没有准备好缓冲额外的命令)。 1 命令缓冲器中可写入新的突发编程命令。
6 FCCF	命令完成标记 — FCCF 在命令缓冲器变空而且没有处理任何命令时自动设置。FCCF 在开始执行一个新命令时自动清除 (通过将 1 写到 FCBEF 中以登记一个命令)。向 FCCF 写入内容没有任何意义或效果。 0 命令正在执行过程中。 1 所有命令都已完成。
5 FPVIOL	保护规则违反标记 — FPVIOL 在发出试图擦除或编程受保护块中的一个位置的命令后自动置 1 (错误的命令会被忽略)。FPVIOL 通过向 FPVIOL 中写入 1 来清除。 0 无保护规则违反。 1 有人尝试擦除或编程一个受保护的位置。

6.5.5.2 E 端口数据方向寄存器 (PTEDD)

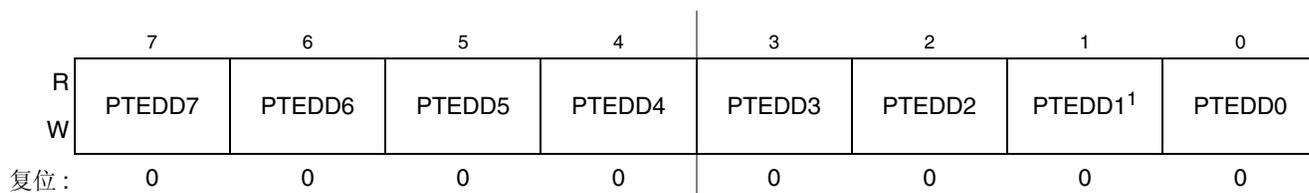


图 6-33. E 端口数据方向寄存器 (PTEDD)

¹ PTEDD1 对输入 PTE1 管脚没有影响。

表 6-31. PTEDD 寄存器字段描述

字段	描述
7:0 PTEDD[7:0]	E 端口位的数据方向 — 这些读 / 写位控制着 E 端口管脚的方向以及为 PTED 读数读取的内容。 0 输入 (输出驱动被禁止), 读数返回管脚值。 1 E 端口位 - 输出驱动使能, PTED 读取返回 PTEDn 内容。

6.5.5.3 E 端口上拉使能寄存器 (PTEPE)



图 6-34. E 端口寄存器内部上拉使能 (PTEPE)

表 6-32. PTEPE 寄存器字段描述

字段	描述
7:0 PTEPE[7:0]	E 端口内部上拉使能位 — 这些控制位决定是否相关的 PTE 管脚使能内部上拉器件。对于配置为输出的 E 端口管脚, 这些位不会产生影响, 同时内部拉器件被禁止。 0 E 端口位 - 内部上拉器件禁止。 1 E 端口位 - 内部上拉器件使能。

注意

只有当使用管脚中断功能且配置了相应的边沿选择和管脚选择功能时, 才能使用下拉器件。

8.5 特性描述

8.5.1 运行模式

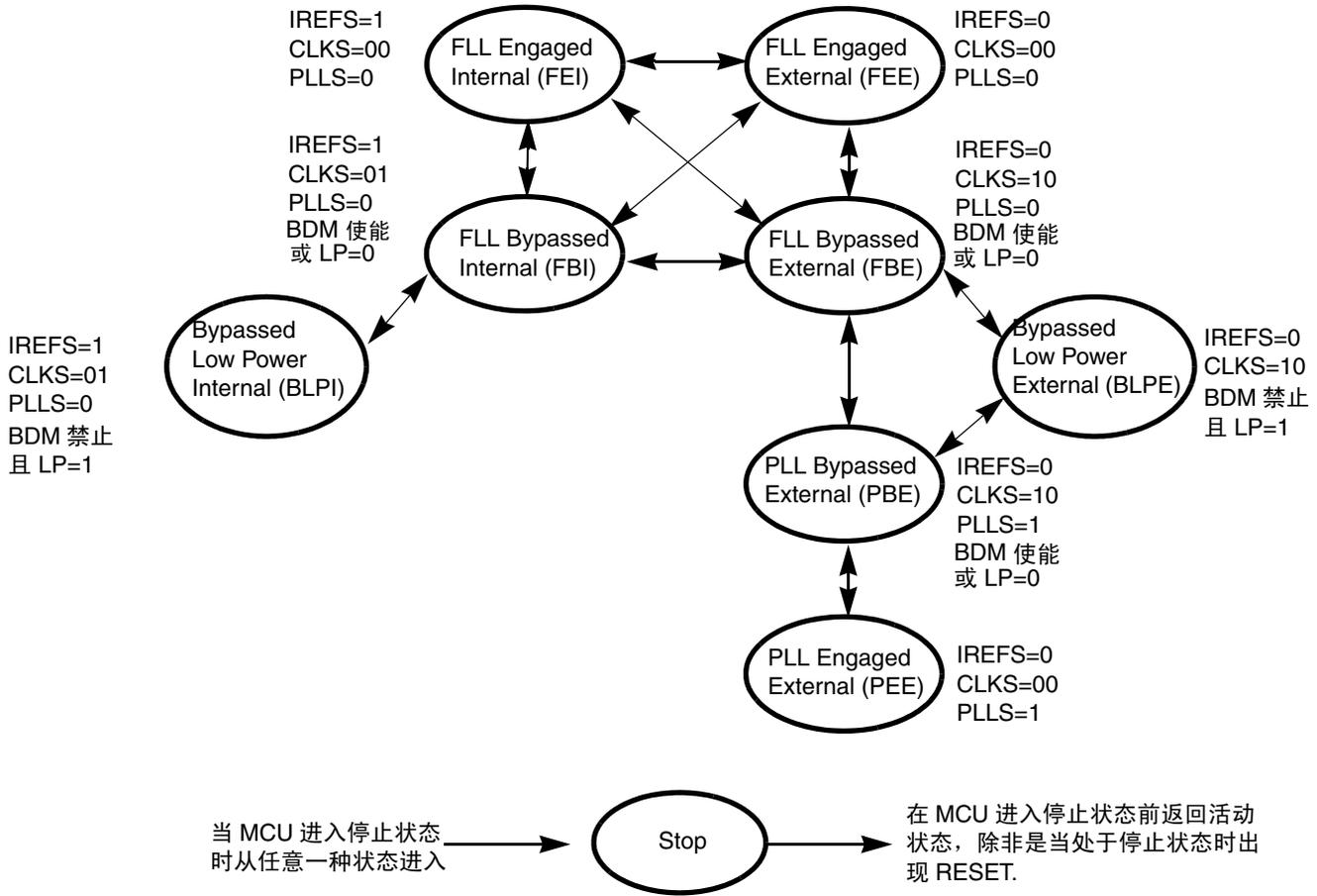


图 8-8. 时钟切换模式

MCG 的 9 种状态如状态示意图所示，并在下面做了详细地介绍。箭头显示状态间的允许移动方向。

8.5.5 内部参考时钟

当设置了 IRCLKEN 时，内部参考时钟信号将作为 MCGIRCLK 出现，作为另外一个时钟源使用。通过调整内部参考时钟时段，MCGIRCLK 的目标频率可以重新设定。在 MCGTRM 寄存器的 FRIM 位中写入一个新值就可以完成该操作。向 MCGTRM 寄存器写入一个更大的值将降低 MCGIRCLK 频率，写入一个更小的值将提高 MCGIRCLK 频率。如果 MCG 处于 FLL Engaged Internal (FEI)、FLL Bypassed Internal (FBI) 或 Bypassed Low Power Internal (BLPI) 模式，TRIM 位会影响 MCGOUT 频率。TRIM 和 FTRIM 值由 POR 初始化，但不会受其他复位影响。

如果 MCGIRCLK 未调整，编程低参考分频器 (RDIV) 因子可能导致 MCGOUT 频率超过芯片级最高频率，且违反芯片级时钟定时技术规范 (参见 Device Overview)

如果 IREFSTEN 和 IRCLKEN 位均已设置，内部参考时钟将在停止模式期间保持运行，以便在退出停止模式时快速恢复。

8.5.6 外部参考时钟

MCG 模块可以支持 FEE 和 FBE 模式中频率在 31.25 kHz-5 MHz，PEE 和 PBE 模式中频率在 1 MHz -16 MHz 之间，BLPE 模式中频率在 0 - 40 MHz 之间的外部参考时钟。当设置了 ERCLKEN 时，内部参考时钟信号将作为 MCGERCLK 出现，作为另外一个时钟源使用。当 IREFS = 1 时，FLL 或 PLL 不使用外部参考时钟，外部参考时钟只能用作 MCGERCLK。在这些模式中，该频率可能等于芯片级定时规范支持的最大频率 (参见 Device Overview)

如果 EREFSTEN 和 ERCLKEN 位均已设置，或者 MCG 处于 FEE、FBE、PEE、PBE 或 BLPE 模式，外部参考时钟将在停止模式期间保持运行，以便在退出停止模式时快速恢复。

如果 CME 位写入 1，时钟监控器使能。如果外部参考降到某一频率 (根据 MCGC2 中的 RANGE 位可以是 floc_high 或 floc_low) 以下，MCU 将复位。系统复位状态 (SRS) 寄存器中的 LOC 位将用来标志错误。

8.5.7 固定频率时钟

MCG 将分频参考时钟作为 MCGFFCLK，作为另外一个时钟源使用。MCGFFCLK 频率小于或等于 MCGOUT 频率的 1/4 才有效。正是因为这个要求，MCGFFCLK 在旁路模式中的如下 BDIV 和 RDIV 值组合中无效：

- BDIV=00 (除以 1)，RDIV
- BDIV=01 (除以 2)，RDIV

8.6 初始化 / 应用报文

本节描述了如何在应用中初始化和配置的 MCG 模块。后面几节给出了几个如何对 MCG 进行初始化、如何在不同模式间进行适当切换的例子。

下列代码顺序描述了如何从 FEI 模式转换到 PEE 模式，直到设置 8 MHz 晶体参考频率来获得 8 MHz 总线频率。因为 MCG 复位后处于 FEI 模式，本例还显示了如何初始化 MCG，以实现在复位后进入 PEE 模式。示例中首先介绍了代码序列，然后提供了一个演示该顺序的流程图。

1. 首先，FEI 必须转换到 FBE 模式：

a) $MCGC2 = 0x36$ (%00110110)

- BDIV 位 7 和 6) 设置为 %00 或除以 1。
- RANGE (位 5) 设置为 1，因为 8 MHz 的频率属于高频范围。
- HGO (位 4) 设置为 1，为高增益运行配置外部振荡器。
- EREFS (位 2) 设置为 1，因为正在使用晶体。
- ERCLKEN (位 1) 设置为 1，确保外部参考时钟处于活动状态。

b) 循环检测，直到 MCGSC 中的 OSCINIT (位 1) 是 1，表明 EREFS 位选择的晶体已经完成初始化。

c) 禁止中断 (如果适用，在 CCR 中设置中断位)。

d) $MCGC1 = 0xB8$ (%10111000)

- CLKS (位 7 和 6) 设置为 %10，以便将外部参考时钟选择为系统时钟源。
- RDIV (位 5-3) 设置为 %111 或除以 128。

注意

$8 \text{ MHz} / 128 = 62.5 \text{ kHz}$ ，这大于 FLL 要求的 $31.25 \text{ kHz} -- 39.0625 \text{ kHz}$ 频率范围。因此，当 FBE 的转换完成后，必须通过在软件中设置 MCGC2 中 LP 位，让 MCG 立即进入 BLPE 模式。

— IREFS 位 2) 清除至 0，选择外部参考时钟。

e) 循环检测，直到 MCGSC 中的 IREFST (位 4) 是 0，表明外部参考是参考时钟的当前源。

f) 循环检测，直到 MCGSC 中的 CLKST (位 3 和 2) 是 %10，表明已经选择外部参考时钟为 MCGOUT 馈电。

2. 然后，从 FBE 模式转换到 BLPE 模式：

a) $MCGC2 = 0x3E$ (%00111110)

— MCGC2 中的 LP (位 3) 为 1 (已进入 BLPE 模式)

注意

在 1d 和 2a 步骤间没有额外步骤 (包括中断)。

b) 使能中断 (如果适用，清除 CCR 中的中断位)

c) $MCGC1 = 0x98$ (%10011000)

— RDIV (位 5-3) 设置为 %011 或除以 8，因为 $8 \text{ MHz} / 8 = 1 \text{ MHz}$ ，这在 PLL 要求的 $1 \text{ MHz} -- 2 \text{ MHz}$ 频率范围内。在 BLPE 模式中，RDIV 的配置不重要，因为 FLL 和 PLL 都被禁止。更改它们只会为 PLL 建立在 PBE 模式中使用的分频器。

d) $MCGC3 = 0x44$ (%01000100)

— PLLS (位 6) 设置为 1，选择 PLL。在 BLPE 模式中，更改该位只会使 MCG 准备在 PBE 模式中的 PLL 使用。

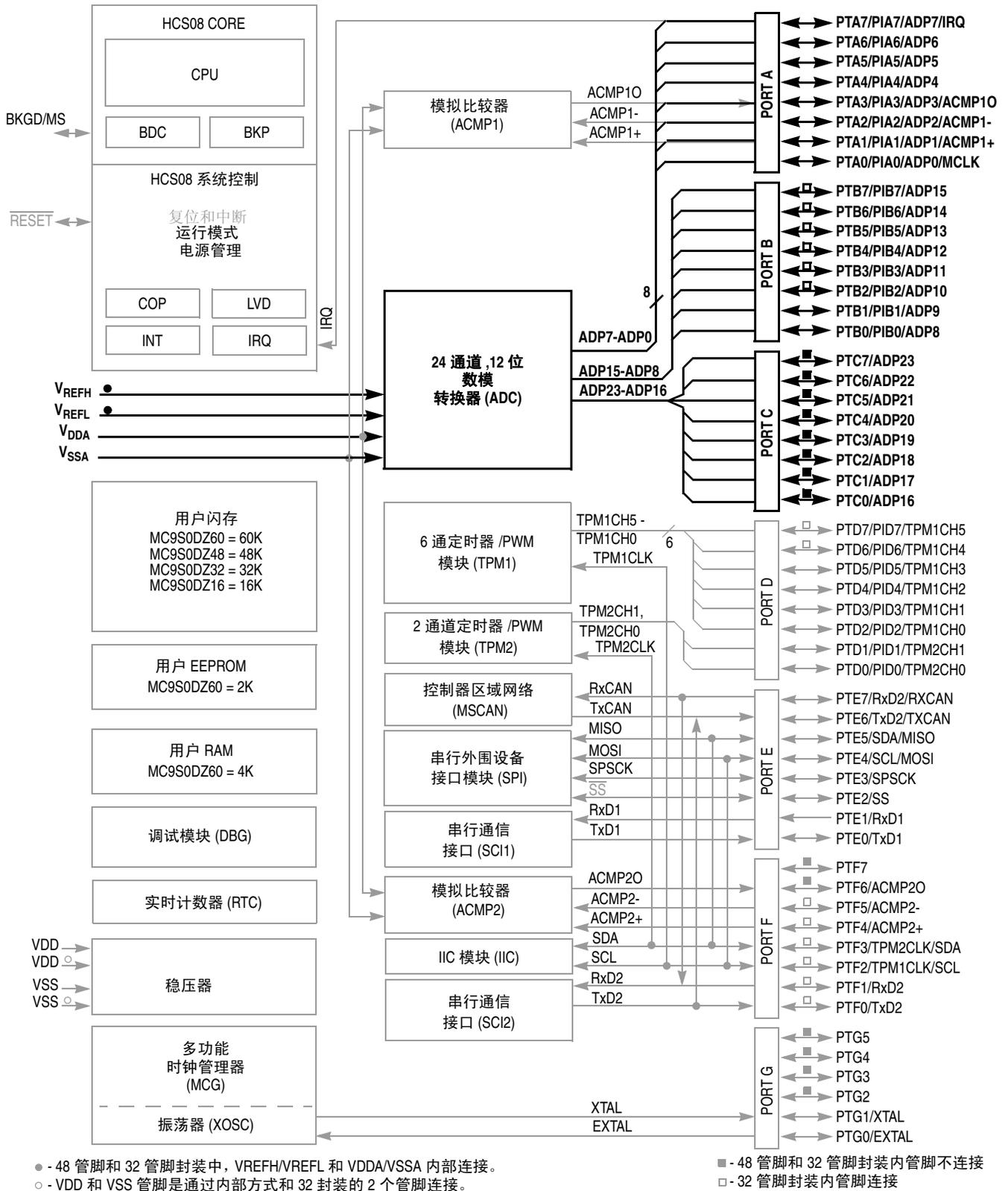


图 10-1. 强调 ADC 模块和管脚的 MC9S08DZ60 结构图

图 10-4. 输入通道选择

ADCH	输入选择
00000–01111	AD0–15
10000–11011	AD16–27
11100	预留
11101	V_{REFH}
11110	V_{REFL}
11111	模块禁止

10.4.2 状态和控制寄存器 2 (ADCSC2)

ADCSC2 寄存器用来控制 ADC 模块的比较功能、转换触发和转换状态。

	7	6	5	4	3	2	1	0
复位:	0	0	0	0	0	0	0	0

图 10-5. 状态和控制寄存器 2 (ADCSC2)

表 10-4. ADCSC2 寄存器字段描述

字段	描述
7 ADACT	转换状态 — ADACT 显示正在进行一个转换。当开始转换时就设置 ADACT，当转换完成或中止时就清除 ADACT。 0 转换未进行 1 转换正在进行
6 ADTRG	转换触发选择 — ADTRG 用来选择转换的触发类型。 有 2 种触发可供选择：软件触发和硬件触发。当选择软件触发时，写入 ADCSC1 就能发起转换。当选择硬件触发时，ADHWT 触发后就能发起转换。 0 选择软件触发 1 选择硬件触发
5 ACFE	比较功能使能 — ACFE 用来使能比较功能。 0 比较功能禁止 1 比较功能使能
4 ACFGT	比较功能大于使能 — ACFGT 用来配置使当前的转换结果大于或等于比较值时触发，默认的比较功能为在当前的转换结果小于比较值时触发。 0 当输入小于比较值时触发 1 当输入大于或等于比较值时触发

最长总转换时间由所选的时钟源和分频率决定。时钟源可以由 ADICLK 位选择，分频率由 ADIV 位指定。例如，在 10 位模式中，总线时钟选为输入时钟源、输入时钟分频率选为除以 1、总线频率为 8 MHz，那么单转换的转换时间为：

$$\text{转换时间} = \frac{23 \text{ ADCK Cyc}}{8 \text{ MHz}/1} + \frac{5 \text{ bus Cyc}}{8 \text{ MHz}} = 3.5 \text{ ms}$$

$$\text{总线周期数} = 3.5 \text{ ms} \times 8 \text{ MHz} = 28 \text{ 周期}$$

注意

ADCK 频率必须介于 fADCK 最小值和最大值之间才符合 ADC 技术规范

10.5.5 自动比较功能

可以配置比较功能来检查上限或下限。在进行完输入采样并转换后，结果与比较值（ADCCVH 和 ADCCVL）补数相加。比较上限（ACFGT = 1）时，如果结果大于或等于比较值，就设置 COCO。比较下限（ACFGT = 0）时，如果结果小于比较值，就设置 COCO。转换结果和比较值的补数相加得到的值被传输到 ADCRH 和 ADCRL 中。

当转换完成而比较功能使能时，如果比较条件不成立，就不设置 COCO，且没有数据传输到结果寄存器。如果使能了 ADC 中断（AIEN = 1），那么当设置 COCO 时就会生成 ADC 中断。

注意

这个比较功能可以用来监控通道的电压，这时 MCU 可能处于等待模式或 STOP3 模式。在满足比较条件时，ADC 中断会唤醒 MCU。

10.5.6 MCU 等待模式运行

WAIT 指令使 MCU 处于更低功耗的待机模式，待机模式的恢复非常快，因为时钟源保持有效状态。如果正在进行转换时 MCU 进入等待模式，那么转换会继续，直到完成。在 MCU 处于等待模式时，通过硬件触发或使能连续转换，可以发起转换。

在等待模式中，总线时钟、总线时钟除以 2 和 ADACK 都可以作为转换时钟源。在等待模式中，是否将 ALTCLK 作为时钟源取决于该 MCU 对 ALTCLK 的定义。有关该 MCU 的特定 ALTCLK 的更多信息，请参阅本章概述。

如果 ADC 中断使能（AIEN = 1），转换完成事件就会设置 COCO，生成 ADC 中断，把 MCU 从等待模式中唤醒。

10.5.7 MCU STOP3 模式运行

STOP 指令使 MCU 进入低功耗待机模式，在该模式中，MCU 上的大多数甚至所有时钟源都被禁止。

第 12 章

飞思卡尔控制器局域网 (S08MSCANV1)

12.1 介绍

飞思卡尔控制器局域网（MSCAN）是一种通信控制器，它按照 1991 年 9 月定义的 Bosch 规范执行 CAN 2.0A/B 协议。为了全面了解 MSCAN 规范，我们建议首先阅读 Bosch 规范，熟悉本文档包含的一些条款和概念。

尽管 CAN 协议并非是汽车应用的专用协议，但它旨在满足车辆串行数据总线的特定规范，如实时处理、车辆在 EMI 环境中的可靠运行、成本高效性和所需带宽等。

MSCAN 使用先进的缓冲器安排，实现了可预测的实时性，并简化了应用软件。

MSCAN 模块应用在 MC9S08DZ60 系列的所有器件上。

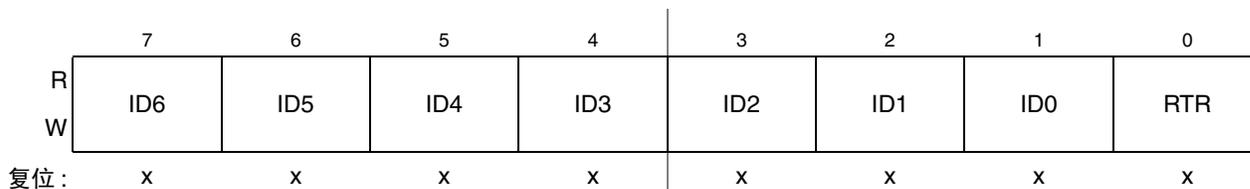


图 12-28. 标识符寄存器 3 (IDR3) — 扩展标识符映射

表 12-28. 标识符寄存器 0 — 标准映射

字段	描述
7:1 ID[6:0]	扩展格式标识符 — 该标识符由 29 个扩展格式位 (ID[28:0]) 组成。ID28 是最高的位, 仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。
0 RTR	远程发送请求 — 该标志反应 CAN 帧中远程发送请求的状态。在接收缓冲器中, 它显示已接收帧的状态, 并在软件中支持应答帧的发送。在发送缓冲器中, 该标志定义将要发送的 RTR 位的设置。 0 数据帧 1 远程帧

12.4.2 标准标识符映射的 IDR0 - IDR3

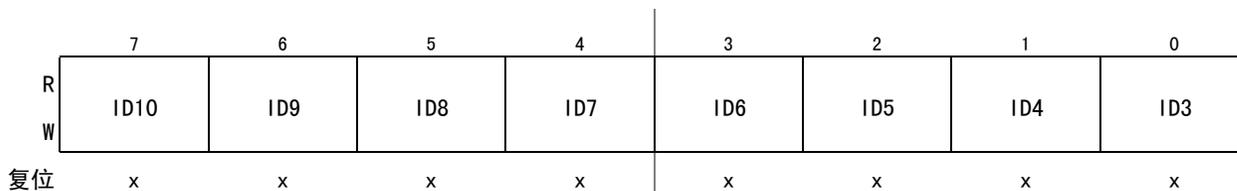
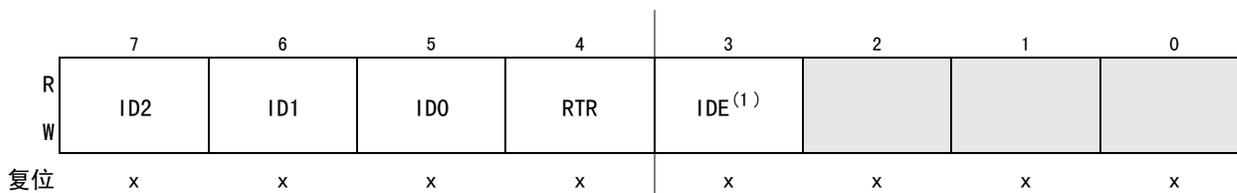


图 12-29. 标识符寄存器 0 — 标准映射

表 12-29. IDR0 寄存器字段描述 — 标准

字段	描述
7:0 ID[10:3]	标准格式标识符 — 该标识符由 11 个扩展格式位 (ID[10:0]) 组成。ID10 是最高位, 仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。也可参见表 12-30 中的 ID 位。



= 不使用, 始终读为 'x'

图 12-30. 标识符寄存器 1 — 标准映射

¹ IDE 为 0.

12.5.2 报文存储

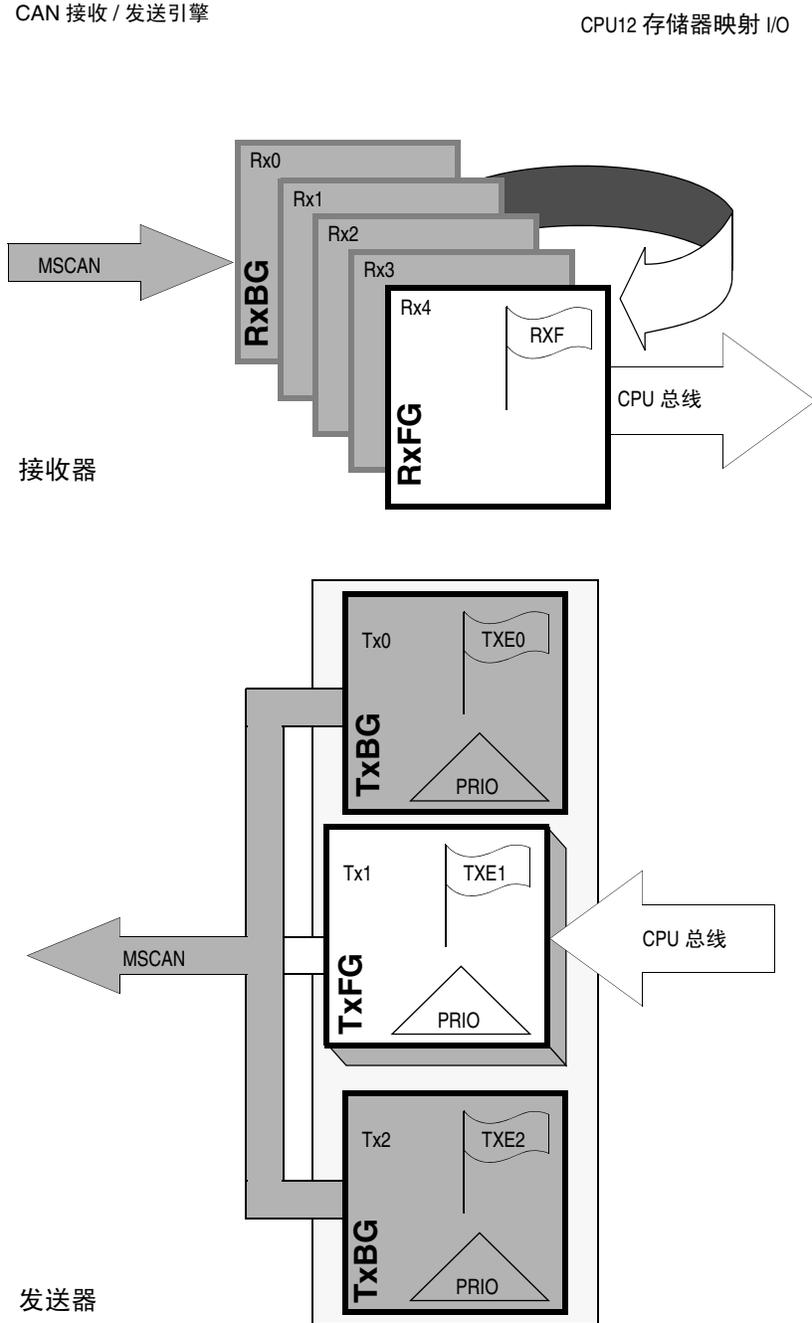


图 12-38. 报文缓冲器结构的用户模型

MSCAN 促进了一个能够满足一系列网络应用需求的先进报文存储系统。

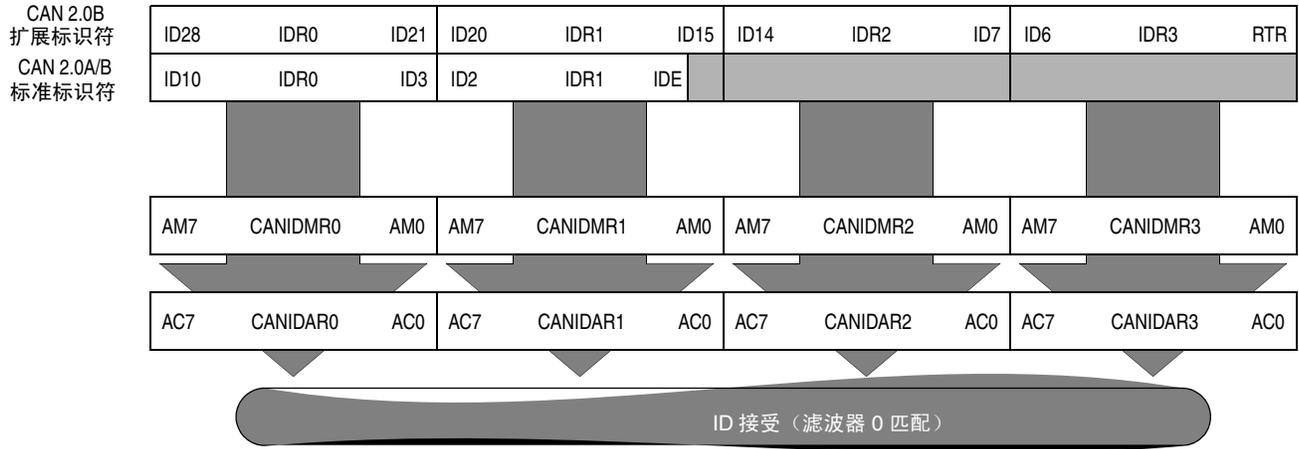


图 12-39. 32 位可屏蔽标识符接收滤波器

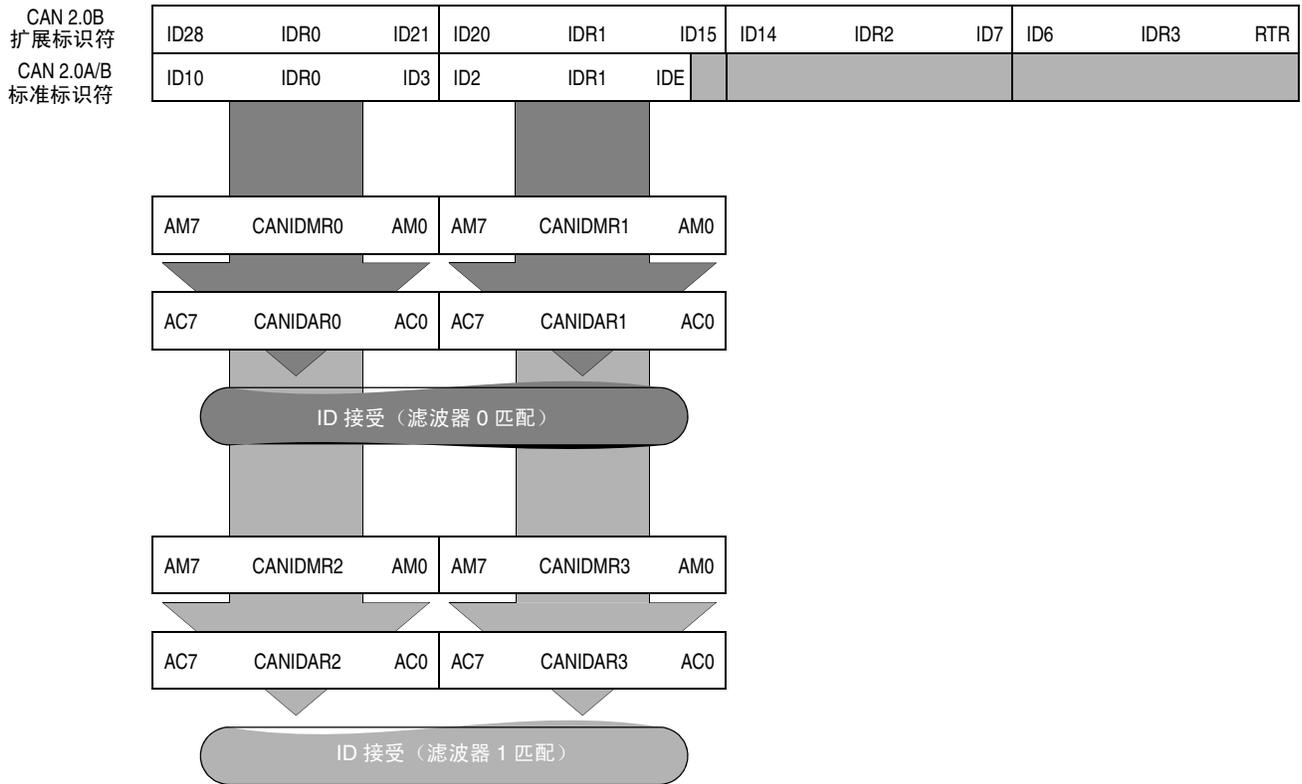


图 12-40. 16 位可屏蔽标识符接收滤波器

只有当出现以下情形时，MSCAN 才能够退出睡眠模式（唤醒）：

- 出现 CAN 总线有效和 $\overline{WUPE} = 1$
或
- CPU 清除 SLPRQ 位

注意

在使能睡眠模式（ $SLPRQ = 1$ ， $SLPAK = 1$ ）前，CPU 不能清除 SLPRQ 位。

唤醒之后，MSCAN 等待 11 个连续隐性位与 CAN 总线同步。因此，如果 MSCAN 被 CAN 帧唤醒，就不会收到该帧。

如果在进入睡眠模式前已经收到报文，接收报文缓冲器（RxFG 和 RxBG）就包含该报文。所有挂起操作在唤醒后执行，复制 RxBG 至 RxFG，报文中止和报文发送。如果在退出睡眠模式后 MSCAN 仍处于总线脱离状态，它将继续计数 128 次 11 个连续隐性位的出现。

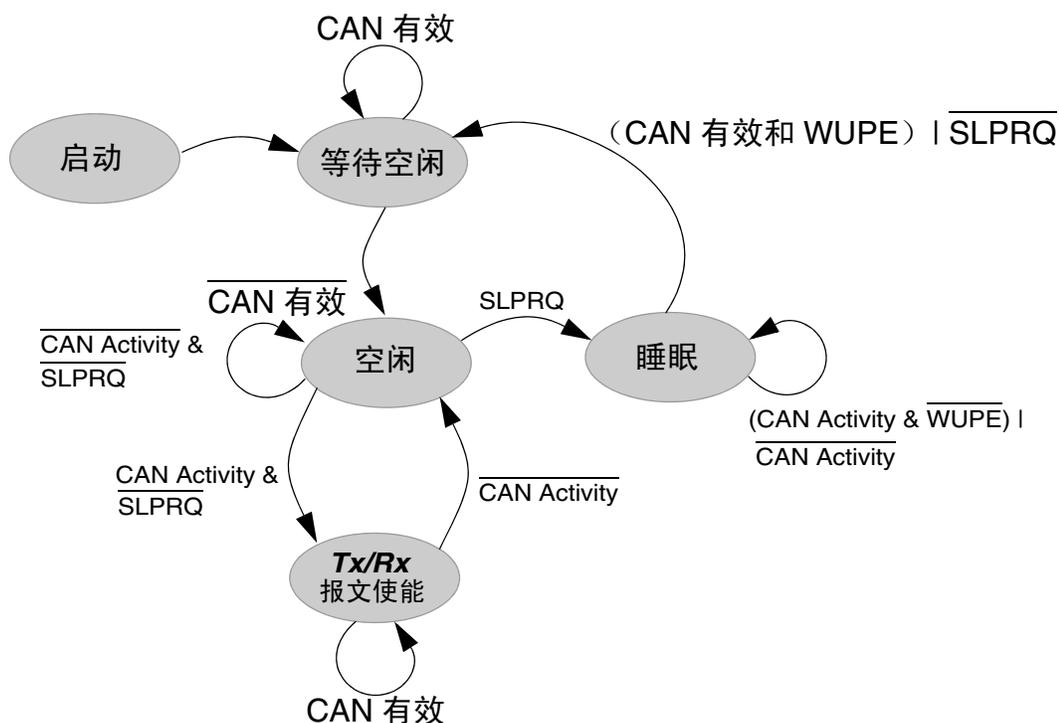


图 12-45. 进入 / 退出睡眠模式的简单状态 转换

16.5 复位概述

16.5.1 概况

MCU 复位时 TPM 就会被复位。

16.5.2 复位操作介绍

复位清除 TPMxSC 寄存器，导致关闭 TPM 的时钟源，并禁止定时器溢出中断（TOIE=0）。CPWMS、MSnB、MSnA、ELSnB 和 ELSnA 可被全部清除，这使相关的被配置为输入捕捉功能的所有 TPM 通道与 I/O 口逻辑断开（因此与 TPM 相关的所有 MCU 管脚恢复到通用输入/输出管脚）。

16.6 中断

16.6.1 General

TPM 为主计数器溢出产生可选的中断，或为每个通道生成中断。通道中断的意义取决于每个通道的运行模式。通道中断的意义取决于每个通道的运行模式。如果通道配置用于输入捕捉，那么中断标志在每次所选的输入捕捉边沿被识别时设置。如果通道配置用于输出比较或 PWM 模式，那么中断标志在每次主定时器计数器与 16 位通道值寄存器中的值匹配时被设置。

表 16-8 中列出所有 TPM 中断，其中显示了中断名称及任何本地使能的名称。这些本地使能可促使中断请求离开 TPM 或被不同的处理逻辑识别。

表 16-8. 中断总结

中断	本地启动	源	描述
TOF	TOIE	定时器溢出	每次定时器计数器达到其终端计数（过渡到通常为 0x0000 的下一计数值）时设置
CHnF	CHnIE	通道事件	通道 n 上发生输入捕捉或输出比较事件 TPM 模块将提供 high-true 中断信号。

向量和优先级在中断模块中进行芯片集成时确定，因此请参考用户指南，查看有关中断模块或芯片的全部文档了解更详细信息。

16.6.2 中断操作描述

对于 TPM 中的每个中断源，标志位在识别到中断条件后设置，如定时器溢出、通道输入捕捉或输出比较事件等。这个标志可被软件读取（轮询），以确定操作已经发生，或者相关使能位（TOIE 或 CHnIE）可设置以便使能硬件中断生成。设置了中断使能位时，不论何时相关中断标记等于 1，就会生成静态中断。从中断服务程序中返回前，用户的软件必须执行一系列步骤来清除中断标志。

表 B-2. TPM 时钟源选择

CLKSB:CLKSA	连接预分频器输入的 TPM 时钟源
0:0	未选中任何时钟 (TPM _x 禁止)
0:1	线速率时钟 (BUSCLK)
1:0	固定系统时钟 (XCLK)
1:1	外部源 (TPM _x CLK) ^{1,2}

¹ 外部时钟的最大允许频率是总线频率的 1/4。

² 如果外部时钟输入共享通道 n，并且选用未 TPM 时钟源，对应的 ELSnB:ELSnA 控制位应当设为 0:0，这样通道 n 就不会使用相同管脚，从而避免了冲突。

表 B-3. 预分频器除数选择

PS2:PS1:PS0	TPM 时钟源除以
0:0:0	1
0:0:1	2
0:1:0	4
0:1:1	8
1:0:0	16
1:0:1	32
1:1:0	64
1:1:1	128

B.5.2 定时器计数器寄存器 (TPMxCNTH:TPMxCNTL)

这两个只读 TPM 计数器寄存器包括 TPM 计数器数值的高字节和低字节。读取任何一个字节 (TPMxCNTH 或 TPMxCNTL) 都能将两个字节的內容锁定到缓冲器中。它们将在该缓冲器中保持锁定状态，直到另一个字节被读取为止。在 MCU 复位，在 TPMxCNTH 或 TPMxCNTL 中写入任意值或者定时器状态 / 控制寄存器 (TPMxSC) 进行任何写入操作时，一致性机制都会自动重启。

复位清除 TPM 计数器寄存器。

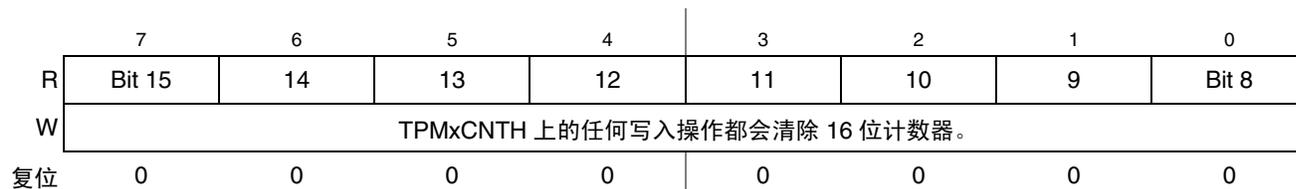


图 B-3. 定时器计数器寄存器高 (TPMxCNTH)

表 B-5. 模式、边和电平选择

CPWMS	MSnB:MSnA	ELSnB:ELSnA	模式	配置
X	XX	00		不用于 TPM 通道的管脚；作为 TPM 的外部时钟使用或恢复为通用输入 / 输出
0	00	01	输入捕获	仅在上升边捕获
		10		仅在下降边捕获
		11		在上升或下降边捕获
	01	00	输出对比	仅对比软件
		01		切换对比输出
		10		清除对比输出
		11		设置对比输出
	1X	10	边缘对齐 PWM	高保真脉冲（清除对比输出）
		X1		低保真脉冲（设置对比输出）
1	XX	10	中央对齐 PWM	高保真脉冲（清除向上对比输出）
		X1		低保真脉冲（设置向上对比输出）

如果相应的端口管脚在改变成输入捕获模式前至少在两个总线时钟周期内不稳定，系统可能会提供边沿触发器的意外指示。一般，在改变通道配置位之后和启动通道中断之前，程序会清除状态标记，或使用状态标记避免任何意外行为。。

B.5.5 TPM 通道值寄存器 (TPMxCnVH:TPMxCnVL)

这些读 / 写寄存器包含输入捕获功能捕获的 TPM 计数器值，或输出对比或 PWM 功能的输出对比值。通过复位可清除通道值寄存器。

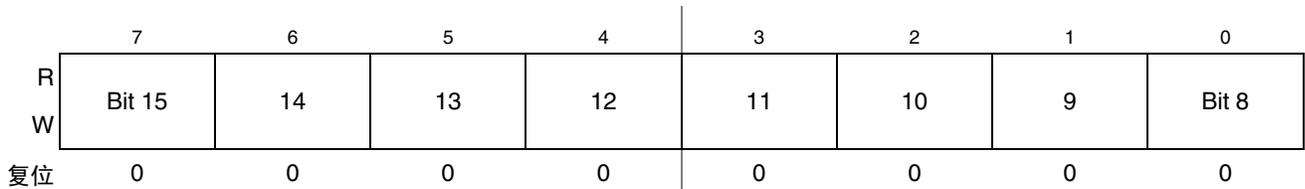


图 B-8. 定时器通道值寄存器高 (TPMxCnVH)

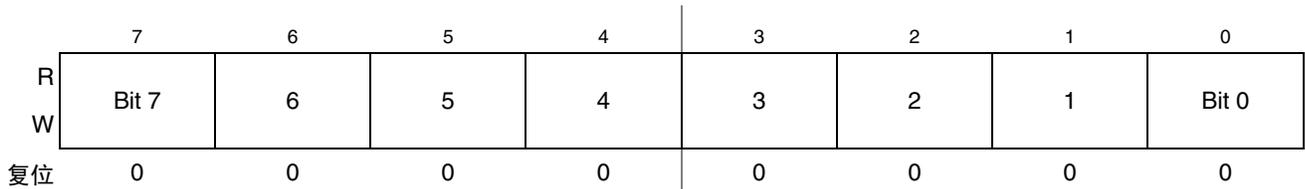


图 B-9. 定时器通道值寄存器低 (TPMxCnVL)

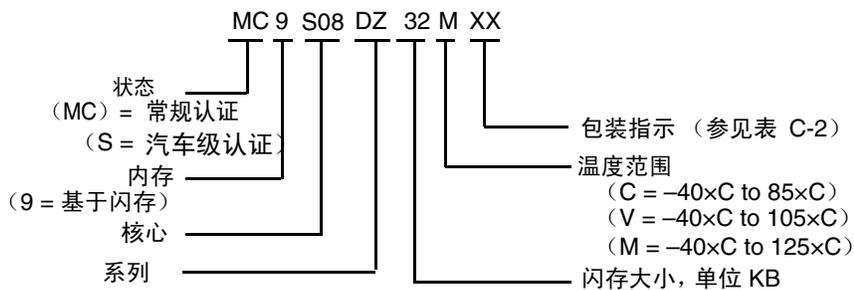
附录 C

订购信息和机械图

C.1 订购信息

本章包含 MC9S08DZ60 系列设备的订购信息。

设备编号体制举例：



C.1.1 MC9S08DZ60 Series 设备

表 C-1. MC9S08DZ60 Series 设备

设备编号	内存			可供包装 ¹
	FLASH	RAM	EEPROM	
MC9S08DZ60	60,032	4096	2048	64-LQFP, 48-LQFP, 32-LQFP
MC9S08DZ48	49,152	3072	1536	
MC9S08DZ32	33,792	2048	1024	
MC9S08DZ16	16,896	1024	512	48-LQFP, 32-LQFP

¹ 包装信息请参见表 C-2。

C.2 机械图

以下各页显示了下表中描述的包装的机械图：

表 C-2. Package 描述

Pin Count	典型值 e	Abbreviation	Designator	Document No.
64	低 Quad Flat Package	LQFP	LH	98ASS23234W
48	低 Quad Flat Package	LQFP	LF	98ASH00962A
32	低 Quad Flat Package	LQFP	LC	98ASH70029A