



Welcome to E-XFL.COM

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	53
Program Memory Size	32KB (32K x 8)
Program Memory Type	FLASH
EEPROM Size	1K x 8
RAM Size	2K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 24x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	64-LQFP
Supplier Device Package	64-LQFP (10x10)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz32amlh

- Flash、EEPROM 和 RAM 的安全特性
- 突发编程功能
- 扇区擦除终止

4.5.2 编程和擦除时间

在接受任何编程或擦除命令前，必须通过写 Flash 和 EEPROM 时钟分频寄存器 (FCDIV) 以将 Flash 和 EEPROM 模块的内部时钟设置为 150 kHz ~ 200 kHz 之间的频率 (f_{FCLK}) (请参见 4.5.11.1, “Flash 和 EEPROM 时钟分频寄存器 (FCDIV)”)。这个寄存器只能写入一次，因此这一写入操作通常是在复位初始化过程中执行的。用户必须确保在写入 FCDIV 寄存器之前没有设置 FACCERR。命令处理器使用最终时钟 ($1/f_{FCLK}$) 的一个周期来对编程和擦除脉冲定时。命令处理器利用这些定时脉冲的一个整数来完成编程或擦除命令。

表 4-6 显示了编程和擦除时间。总线时钟频率和 FCDIV 决定 FCLK 的频率 (f_{FCLK})。一个 FCLK 周期为 $t_{FCLK} = 1/f_{FCLK}$ 。定时器显示为多个 FCLK 循环和一个绝对时间 ($t_{FCLK} = 5s$)。显示的编程和擦除时间包括命令状态机的开销及编程和擦除电压的启用及禁用的时间。

表 4-6. 编程和擦除时间

参数	FCLK 循环	FCLK = 200 kHz 时的时间
字节程序	9	45 ms
突发程序	4	20 ms ¹
分区擦除	4000	20 ms
整体擦除	20,000	100 ms
分区擦除终止	4	20 ms ¹

¹ 不包括开始 / 结束开销。

4.5.3 编程和擦除命令的执行

在复位和错误标记被清除后，FCDIV 寄存器在开始命令执行之前必须初始化。命令执行步骤如下：

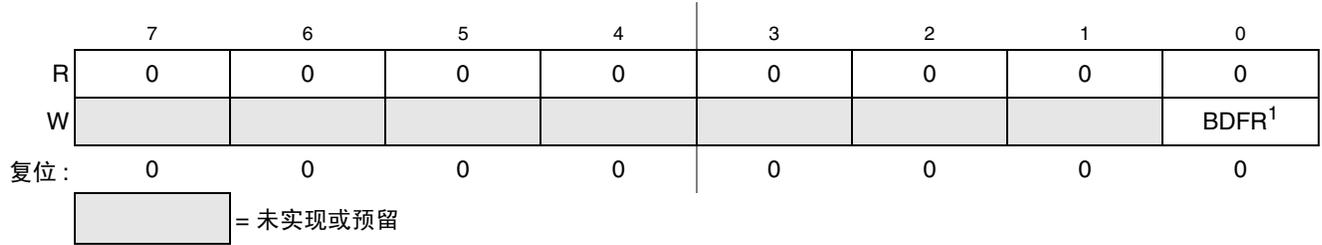
1. 将一个数据值写入到 Flash 或 EEPROM 阵列中的一个地址中。该地址和写入的数据信息被锁定到 Flash 和 EEPROM 接口上。这一写入操作是任何命令序列中要求的第一步。对于擦除和空白检查命令，这些数据的值并不重要。对于分区擦除命令，地址可以是将要擦除的 Flash 或 EEPROM 分区中的任何地址。对于整体擦除和空白检查命令，地址可以是 Flash 或 EEPROM 内存中的任何地址。Flash 和 EEPROM 擦除互相独立。

注意

在对 Flash 或 EEPROM 中的特定字节进行编程前，该字节所在的分区必须通过整体或分区擦除操作擦除。如果对已经编程的字节中的位进行重新编程而不首先进行擦除，可能会造成 Flash 或 EEPROM 内存中保存数据的错误。

5.8.3 系统后台调试强制复位寄存器 (SBD FR)

这个高页寄存器只包括一个只写控制位。串行后台命令，如 WRITE_BYTE 必须用来写入 SBD FR。从用户程序写入寄存器的尝试被忽略。读总是返回 0x00。



¹ 只能通过串行后台调试命令，而非用户程序写入 BDFR。

图 5-4. 后台调试强制复位寄存器 (SBD FR)

表 5-4. SBD FR 寄存器字段描述

字段	描述
0 BDFR	后台调试强制复位 — 可以使用串行后台命令，如 WRITE_BYTE，使外部调试主机强制进行目标系统复位。在该位中写入 1 就能强制进行 MCU 复位。该位不能从用户程序中写入。

5.8.4 系统选项寄存器 1 (SOPT1)

该高页寄存器是 write-once 寄存器，因此只重视复位后的第一次写入。它可以在任何时候读取。任何后续 SOPT1 写入尝试（有意或无意）都将被忽略，以避免对这些敏感器件的意外修改。该寄存器应在用户复位初始化程序期间写入，以设置期望的控制，即便期望的设置与复位设置相同。

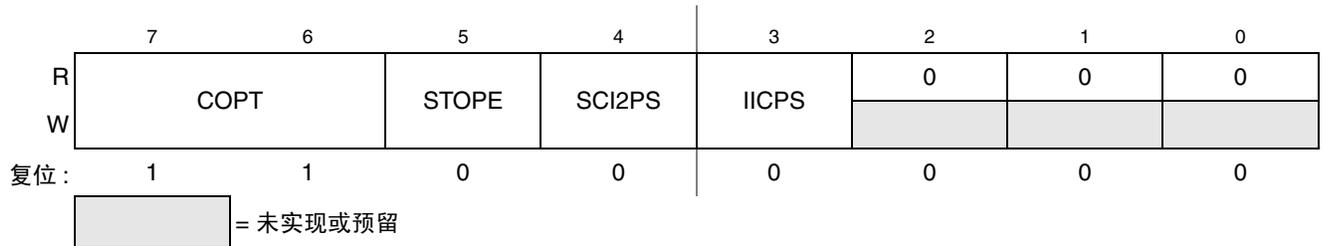


图 5-5. 系统选项寄存器 1 (SOPT1)

表 5-5. SOPT1 寄存器字段描述

字段	描述
7:6 COPT[1:0]	COP 看门狗超时 — 这些单次写入有效的位选择 COP 的超时周期。STOP2 中的 COPT 和 COPCLKS 定义 COP 超时周期。参见表 5-6。
5 STOPE	停止模式使能 — 这个单次写入有效的位用来使能停止模式。如果停止模式禁止且用户程序试图实施 STOP 指令，则会强制进行非法操作码复位。 0 停止模式禁止。 1 停止模式使能。

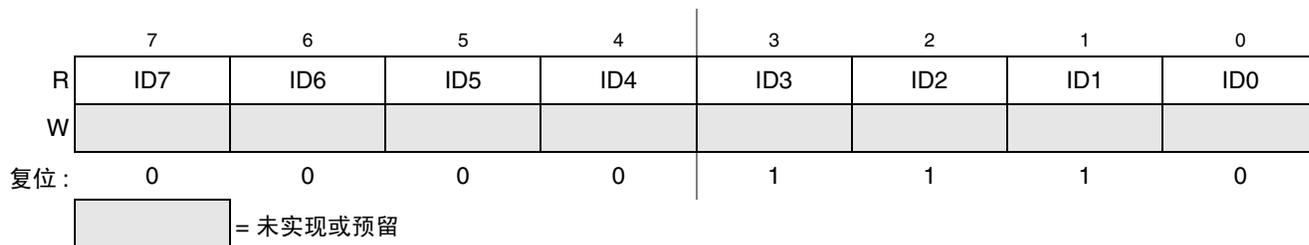


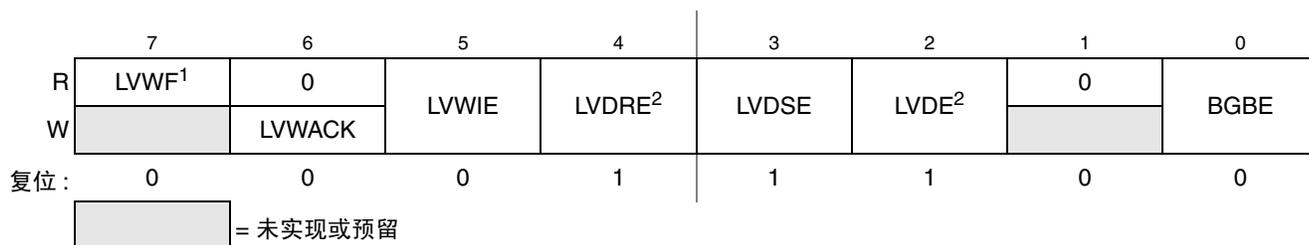
图 5-8. 系统器件识别寄存器 — 低 (SDIDL)

表 5-9. SDIDL 寄存器字段描述

字段	描述
7:0 ID[7:0]	部件识别编号 — MC9S08DZ60 系列 MCU 被硬编码为值 0x00E。也请参见表 5-8 中的 ID 位。

5.8.7 系统电源管理状态和控制寄存器 1 (SPMSC1)

这个高页寄存器包含状态位和控制位，以支持低电检测功能，使能 ADC 和 ACMP 模块使用的带隙电压参考。该寄存器应在用户复位初始化程序期间写入，以设置期望的控制，即便期望的设置与复位设置相同。



¹ 当出现 V_{Supply} 转换低于跳变点或者复位后 V_{Supply} 已经低于 V_{LVW} 的情况时，要设置 LVWF。

² 复位后该位只能写入一次。其他写入被忽略。

图 5-9. 系统电源管理状态和控制寄存器 1 (SPMSC1)

表 5-10. SPMSC1 寄存器字段描述

字段	描述
7 LVWF	低压警告标志 — LVWF 位显示低压警告状态。 0 低压警告未出现。 1 低压警告已出现或出现过。
6 LVWACK	低压警告确认 — 如果 LVWF = 1，就会出现低压条件。为了确认该低压警告，将 1 写入 LVWACK，如果低电压警告不再出现，该操作会将 LVWF 自动清除至 0。
5 LVWIE	低压警告中断使能 — 该位支持 LVWF 硬件中断请求。 0 硬件中断禁止（使用轮询）。 1 当 LVWF = 1，发出硬件中断请求。

6.5.3.3 C 端口上拉使能寄存器 (PTCPE)

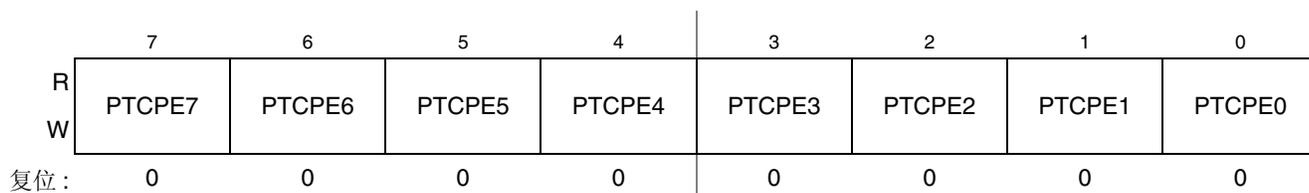


图 6-21. C 端口寄存器内部上拉使能 (PTCPE)

表 6-19. PTCPE 寄存器字段描述

字段	描述
7:0 PTCPE[7:0]	C 端口内部上拉使能位 — 这些控制位决定着是否为相关 PTC 管脚使能内部上拉器件。对于配置为输出的 C 端口管脚，这些位不会产生影响，同时内部拉器件被禁止。 0 C 端口位 - 内部上拉器件被禁止。 1 C 端口位 - 内部上拉器件使能。

注意

只有当使用管脚中断功能且配置了相应的边沿选择和管脚选择功能时，才能使用下拉器件。

6.5.3.4 C 端口斜率使能寄存器 (PTCSE)

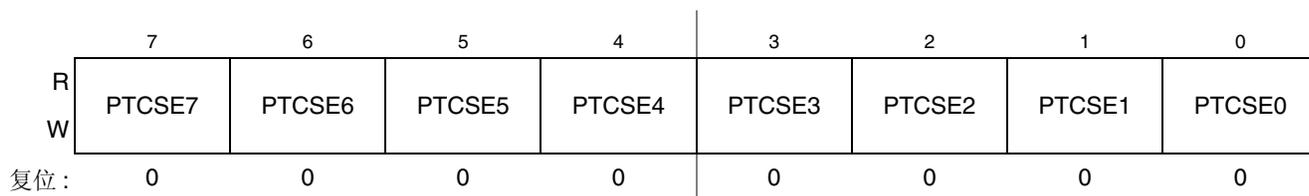


图 6-22. C 端口寄存器斜率使能 (PTCSE)

表 6-20. PTCSE 寄存器字段描述

字段	描述
7:0 PTCSE[7:0]	C 端口位输出斜率使能 — 这些控制位决定着是否为相关 PTC 管脚使能输出斜率控制。对于配置为输入的 C 端口管脚，这些位不会产生任何影响。 0 C 端口位 - 输出斜率控制禁止。 1 C 端口位 - 输出斜率控制使能。

注意: 工程样品和最终成品的斜率复位默认值可能不同。一定要将斜率控制初始化为所需的值，以确保正确的操作。

6.5.4.2 D 端口数据方向寄存器 (PTDDD)

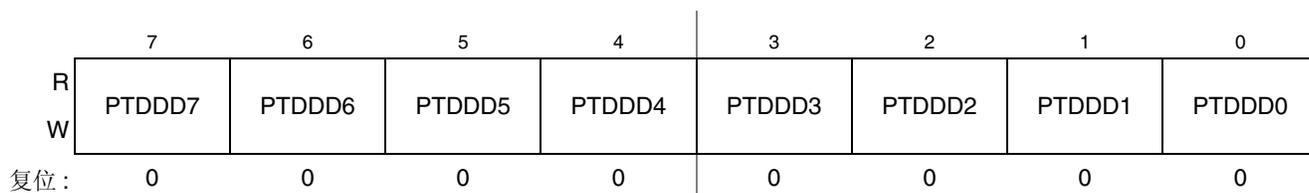


图 6-25. D 端口数据方向寄存器 (PTDDD)

表 6-23. PTDDD 寄存器字段描述

字段	描述
7:0 PTDDD[7:0]	D 端口位的数据方向 — 这些读 / 写位控制着 D 端口管脚的方向以及为 PTDD 读数读取的内容。 0 输入 (输出驱动被禁止), 读数返回管脚值。 1 D 端口位 - 输出驱动使能, PTDD 读数返回 PTDDn 内容。

6.5.4.3 D 端口上拉使能寄存器 (PTDPE)

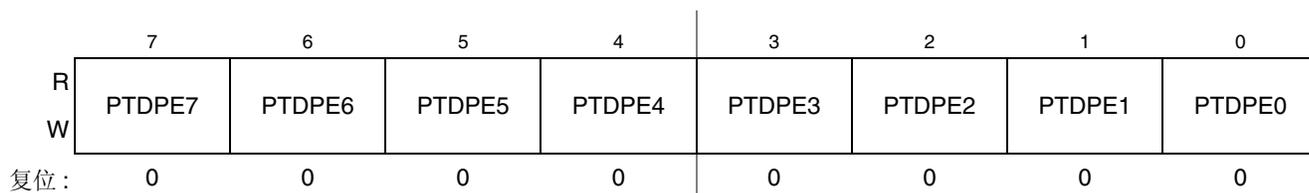


图 6-26. D 端口寄存器内部上拉使能 (PTDPE)

表 6-24. PTDPE 寄存器字段描述

字段	描述
7:0 PTDPE[7:0]	D 端口内部上拉使能位 — 这些控制位决定相关的 PTD 管脚是使能内部上拉还是起用下拉器件。对于配置为输出的 D 端口管脚, 这些位不会产生影响, 同时内部拉器件被禁止。 0 D 端口位 - 内部上拉 / 下拉器件被禁止。 1 D 端口位 - 内部上拉 / 下拉器件使能。

注意

只有当使用管脚中断功能且配置了相应的边沿选择和管脚选择功能时, 才能使用下拉器件。

6.5.5.4 E 端口斜率使能寄存器 (PTESE)

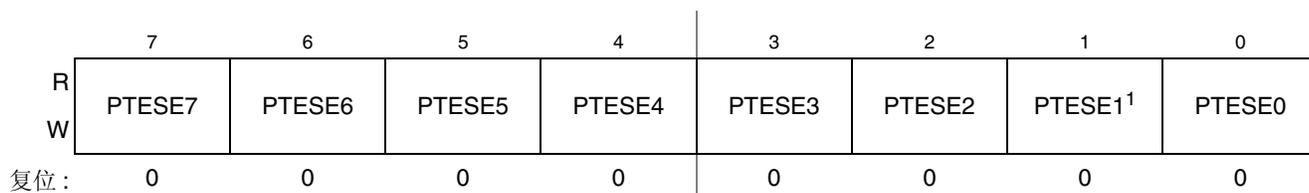


图 6-35. E 端口寄存器斜率使能 (PTESE)

¹ PTESE1 对输入 PTE1 管脚没有影响。

表 6-33. PTESE 寄存器字段描述

字段	描述
7:0 PTESE[7:0]	E 端口位输出斜率使能 — 这些控制位决定是否相关的 PTE 管脚使能输出斜率控制。对于配置为输入的 E 端口管脚，这些位不会产生任何影响。 0 E 端口位 - 输出斜率控制禁止。 1 E 端口位 - 输出斜率控制使能。

注意: 工程样品设计采样和最终成品的斜率复位默认值可能不同。一定要将斜率控制初始化为规定的值，确保正确的操作。

6.5.5.5 E 端口驱动强度选择寄存器 (PTEDS)

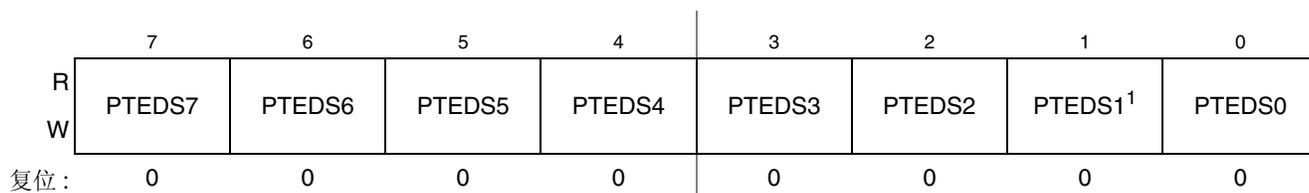


图 6-36. E 端口寄存器驱动强度选择 (PTEDS)

¹ PTEDS1 对输入 PTE1 管脚没有影响。

表 6-34. PTEDS 寄存器字段描述

字段	描述
7:0 PTEDS[7:0]	E 端口位的输出驱动强度选择 — 这些控制位为相关 PTE 管脚选择低输出驱动和高输出驱动。对于配置为输入的 E 端口管脚，这些位不会产生任何影响。 0 E 端口位 - 选择的低输出驱动强度。 1 E 端口位 - 选择的高输出驱动强度。

6.5.6 F 端口寄存器

F 端口由下列寄存器控制。

6.5.6.3 F 端口上拉使能寄存器 (PTFPE)

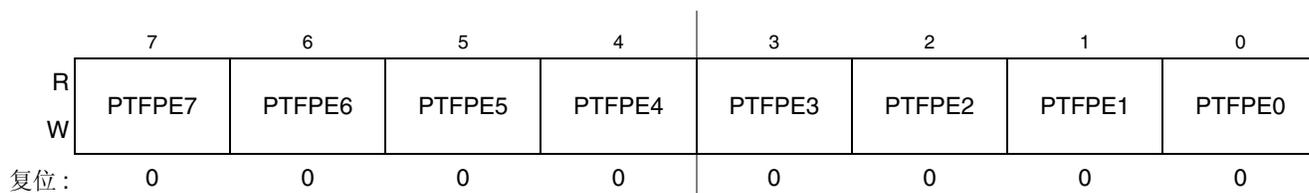


图 6-39. 端口寄存器内部上拉使能 (PTFPE)

表 6-37. PTFPE 寄存器字段描述

字段	描述
7:0 PTFPE[7:0]	F 端口的内部上拉使能位 — 这些控制位决定着是否为相关的 PTF 管脚使能内部上拉器件。对于配置为输出的 F 端口管脚，这些位不会产生任何影响，同时内部上拉器件被禁止。 0 F 端口位 - 内部上拉器件被禁止。 1 F 端口位 - 内部上拉器件使能。

注意

只有当使用管脚中断功能且配置了相应的边沿选择和管脚选择功能时，才能使用下拉器件。

6.5.6.4 F 端口斜率使能寄存器 (PTFSE)

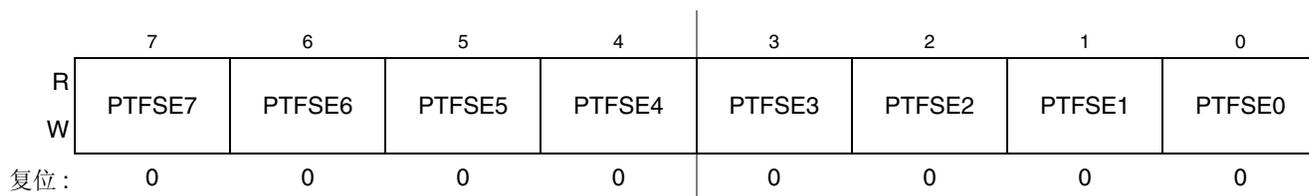


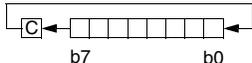
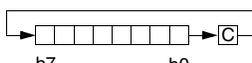
图 6-40. F 端口寄存器斜率使能 (PTFSE)

表 6-38. PTFSE 寄存器字段描述

字段	描述
7:0 PTFSE[7:0]	F 端口位的输出斜率使能 — 这些控制位决定着是否为相关的 PTF 管脚使能输出斜率控制。对于配置为输入的 F 端口管脚，这些位不会产生任何影响。 0 F 端口位 - 输出斜率控制禁止。 1 F 端口位 - 输出斜率控制使能。

注意: 工程样品和最终成品的斜率复位默认值可能不同。一定要将斜率控制初始化为所需的值，以确保正确的操作。

表 7-2. 指令集小结 (第 6 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V I 1 H	I N Z C
MOV <i>opr8a,opr8a</i> MOV <i>opr8a,X+</i> MOV <i>#opr8i,opr8a</i> MOV <i>,X+,opr8a</i>	移动 (M) _{destination} ← (M) _{source} 在 IX+/DIR 和 DIR/IX+ 模式, H:X ← (H:X) + \$0001	DIR/DIR DIR/IX+ IMM/DIR IX+/DIR	4E dd dd 5E dd 6E ii dd 7E dd	5 5 4 5	rpwpp rfwpp pwpp rfwpp	0 1 1 -	- ↓ ↓ -
MUL	不带符号的乘法 X:A ← (X) × (A)	INH	42	5	ffffp	- 1 1 0	- - - - 0
NEG <i>opr8a</i> NEGA NEGX NEG <i>opr8,X</i> NEG <i>,X</i> NEG <i>opr8,SP</i>	否定 (2 的补数) M ← (M) = \$00 - (M) A ← (A) = \$00 - (A) X ← (X) = \$00 - (X) M ← (M) = \$00 - (M) M ← (M) = \$00 - (M) M ← (M) = \$00 - (M)	DIR INH INH IX1 IX SP1	30 dd 40 50 60 ff 70 9E 60 ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↓ 1 1 -	- ↓ ↓ ↓
NOP	无操作 — 使用 1 总线周期	INH	9D	1	p	- 1 1 -	- - - - -
NSA	半字节交换累加器 A ← (A[3:0]:A[7:4])	INH	62	1	p	- 1 1 -	- - - - -
ORA <i>#opr8i</i> ORA <i>opr8a</i> ORA <i>opr16a</i> ORA <i>opr8,X</i> ORA <i>opr8,X</i> ORA <i>,X</i> ORA <i>opr16,SP</i> ORA <i>opr8,SP</i>	累加器或存储器 " 兼或 " A ← (A) (M)	IMM DIR EXT IX2 IX1 IX SP2 SP1	AA ii BA dd CA hh ll DA ee ff EA ff FA 9E DA ee ff 9E EA ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	- ↓ ↓ -
PSHA	将累加器推送到堆栈 推 (A); SP ← (SP) - \$0001	INH	87	2	sp	- 1 1 -	- - - - -
PSHH	将 H (索引寄存器高) 推送到堆栈上 推 (H); SP ← (SP) - \$0001	INH	8B	2	sp	- 1 1 -	- - - - -
PSHX	将 X (索引寄存器低) 推送到堆栈上 推 (X); SP ← (SP) - \$0001	INH	89	2	sp	- 1 1 -	- - - - -
PULA	从堆栈拉累加器 SP ← (SP + \$0001); 拉 (A)	INH	86	3	ufp	- 1 1 -	- - - - -
PULH	从堆栈拉 H (索引寄存器高) SP ← (SP + \$0001); Pull (H)	INH	8A	3	ufp	- 1 1 -	- - - - -
PULX	从堆栈拉 X (索引寄存器低) SP ← (SP + \$0001); 拉 (X)	INH	88	3	ufp	- 1 1 -	- - - - -
ROL <i>opr8a</i> ROLA ROLX ROL <i>opr8,X</i> ROL <i>,X</i> ROL <i>opr8,SP</i>	通过进位左旋转 	DIR INH INH IX1 IX SP1	39 dd 49 59 69 ff 79 9E 69 ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↓ 1 1 -	- ↓ ↓ ↓
ROR <i>opr8a</i> RORA RORX ROR <i>opr8,X</i> ROR <i>,X</i> ROR <i>opr8,SP</i>	通过进位右旋转 	DIR INH INH IX1 IX SP1	36 dd 46 56 66 ff 76 9E 66 ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↓ 1 1 -	- ↓ ↓ ↓

第 8 章

多功能时钟发生器 (S08MCGV1)

8.1 介绍

多功能时钟发生器 (MCG) 模块为 MCU 提供了几个时钟源选项。MCG 模块中包含 1 个锁频环 (FLL) 和 1 个锁相环 (PLL)，可以由内部或外部参考时钟控制。模块可以选择 FLL 或 PLL 时钟作为 MCU 系统时钟，也可以选择内部或外部参考时钟作为 MCU 系统时钟。无论选择哪个时钟源，它都要通过降阶总线分频器，该分频器允许生成更低的输出时钟频率。MCG 还控制一个外部振荡器 (XOSC)，以便把晶体或共鸣器用作外部参考时钟。

MC9S08DZ60 系列的所有器件都含有 MCG 模块。

注意

如需了解整个芯片的分配时钟源的更多信息，请参见 1.3，“系统时钟分配”。

第 9 章

模拟比较器 (S08ACMPV3)

9.1 介绍

模拟比较器模块 (ACMP) 提供用来比较两个模拟输入电压, 或者一个输入电压和一个内部参考电压的电路。比较器电路能够在整个电源电压范围内操作 (轨到轨操作)。

MC9S08DZ60 系列的所有 MCU 都能在 64 管脚的封装中提供两个全功能 ACMP。48 管脚封装的 MCU 有两个 ACMP, 但 ACMP2 的输出管脚没有引出。32 管脚封装的 MCU 只有一个全功能 ACMP。

NOTE

MC9S08DZ60 系列器件的工作电压范围较高 (2.7 V --5.5 V), 不支持 STOP1 模式。请忽略 STOP1 的参考。

9.1.1 ACMP 配置报文

当使用带死区参考电压为 ACMP+ 输入时, 用户必须通过在 SPMSC1 中设置 BGBE =1, 使能死区缓冲, 详细内容 5.8.7, “系统电源管理状态和控制寄存器 1 (SPMSC1)”。如需了解死区电压参考报文 A.6, “DC 特性”。

10.7 应用报文

本节介绍了在应用中使用 ADC 模块的相关报文。ADC 已被集成到微控制器中，供需要 A/D 转换器的嵌入式控制应用使用。

10.7.1 外部管脚和布线

以下几节讨论与 ADC 模块相关的外部管脚以及为获得最佳结果，应该如何使用它们。

10.7.1.1 模拟电源管脚

ADC 模块有模拟电源和模拟地 (V_{DDAD} 和 V_{SSAD})，在有些器件上它们作为独立管脚。在其余器件上， V_{SSAD} 与 MCU 数字 V_{SS} 共用同一管脚。还有一些器件， V_{SSAD} 和 V_{DDAD} 同时共用 MCU 数字电源管脚。在这些情况下，模拟电源就使用单独的电极极片，与相应的数字电源管脚内部相连，这样电源之间就保持一定程度的隔离。

当作为独立管脚出现时， V_{DDAD} 和 V_{SSAD} 必须连接到与它们相应的 MCU 数字电源 (V_{DD} 和 V_{SS}) 相同的电压水平上，并且在布线时必须小心，以实现最好隔离效果，滤波电容要尽可能靠近芯片布置。

当为模拟和数字电源使用独立的电源时，这些电源间的接地连接必须在 V_{SSAD} 管脚位置。这应当是这些电源间唯一的接地连接（如果可能的话）。 V_{SSAD} 管脚是很好的单点接地位置。

10.7.1.2 模拟参考管脚

除模拟电源外，ADC 模块还与两个参考电压输入连接。高参考是 V_{REFH} ，在有些器件上可能被与 V_{DDAD} 相同的管脚共用。低参考是 V_{REFL} ，在有些器件上可能被与 V_{SSAD} 相同的管脚共用。

当作为独立管脚出现时， V_{REFH} 可能连接到与 V_{DDAD} 相等的电压水平上，或者可能由介于 V_{DDAD} 最小规范和 V_{DDAD} 电平间的外部源驱动 (V_{REFH} 必须不能超过 V_{DDAD})。当作为独立管脚出现时， V_{REFL} 必须连接到与 V_{SSAD} 相同的电压水平上，并且在布线时必须小心，以实现最好隔离效果，滤波电容要尽可能靠近芯片布置。

在每个逐次逼近步骤中用来给电容阵列充电所需的峰值电流型交流电通过 V_{REFH} 和 V_{REFL} 环路获取。满足这一电流要求的最佳外部组件是 0.1mF 电容器，必须有出色的高频特征。该电容器连接 V_{REFH} 和 V_{REFL} ，必须尽可能靠近封装管脚。不建议在电路中使用电阻，因为会导致压降，进而可能导致转换错误。这个路径中的电感必须最小（仅寄生）。

10.7.1.3 模拟输入管脚

外部模拟输入通常与 MCU 器件上的数字 I/O 管脚共用。在管脚控制寄存器中设置相应的控制位就能禁止管脚 I/O 控制。转换也可以在管脚控制寄存器位没设置时进行，建议在把管脚作为模拟输入使用时，最好设置管脚控制寄存器位。这样就可以避免可能的问题，因为输出缓冲器处于高电阻状态，且禁止上拉。此外，当输入缓冲器的输入不在 V_{DD} 或 V_{SS} 时，会消耗 DC 电流。因而为用作模拟输入的所有管脚设置管脚控制寄存器位，可以实现最低的工作电流。

S	从机前 7 位 11110 + AD10 + AD9	R/W 0	A1	从机第二个字节 AD[8:1]	A2	Sr	从机前 7 位 11110 + AD10 + AD9	R/W 1	A3	数据	A	...	数据	A	P
---	-------------------------------	----------	----	--------------------	----	----	-------------------------------	----------	----	----	---	-----	----	---	---

表 11-10. 主接收器寻址 10 位地址的从发射器

在主机发送器已经发送了 10 位地址的第一个字节后，从机接收器产生 IIC 中断。软件必须确保 IICD 的内容被忽略，且不作为该中断的有效数据对待。

11.5.3 通用呼叫地址

通用呼叫可以是 7 位地址或 10 位地址。如果设置了 GCAEM 位，IIC 就匹配通用呼叫地址及其自己的从机地址。当 IIC 响应通用呼叫时，它用作从接收器，且在地址周期后设置 IAAS 位。传输完首字节后，软件必须读取 IICD 寄存器，以确定是地址匹配其自己的从机还是通用呼叫。如果值为 00，匹配是通用呼叫。如果 GCAEN 位为 0，IIC 则通过不发送应答的方式忽略通用呼叫地址提供的任何数据。

11.6 复位

IIC 在复位后被禁止，IIC 不能引起 MCU 复位。

11.7 中断

IIC 只产生一个中断。

假设设置了 IICIE 位，当发生表 11-11 中的任意一个事件时，IIC 就生成中断。中断由位 IICIF（IIC 状态寄存器的位）驱动，用位 IICIE（IIC 控制寄存器的位）屏蔽。IICIF 位必须通过软件在中断程序中向其写入 1 来清除。您可以通过读取状态寄存器确定中断类型。

表 11-11. 中断摘要

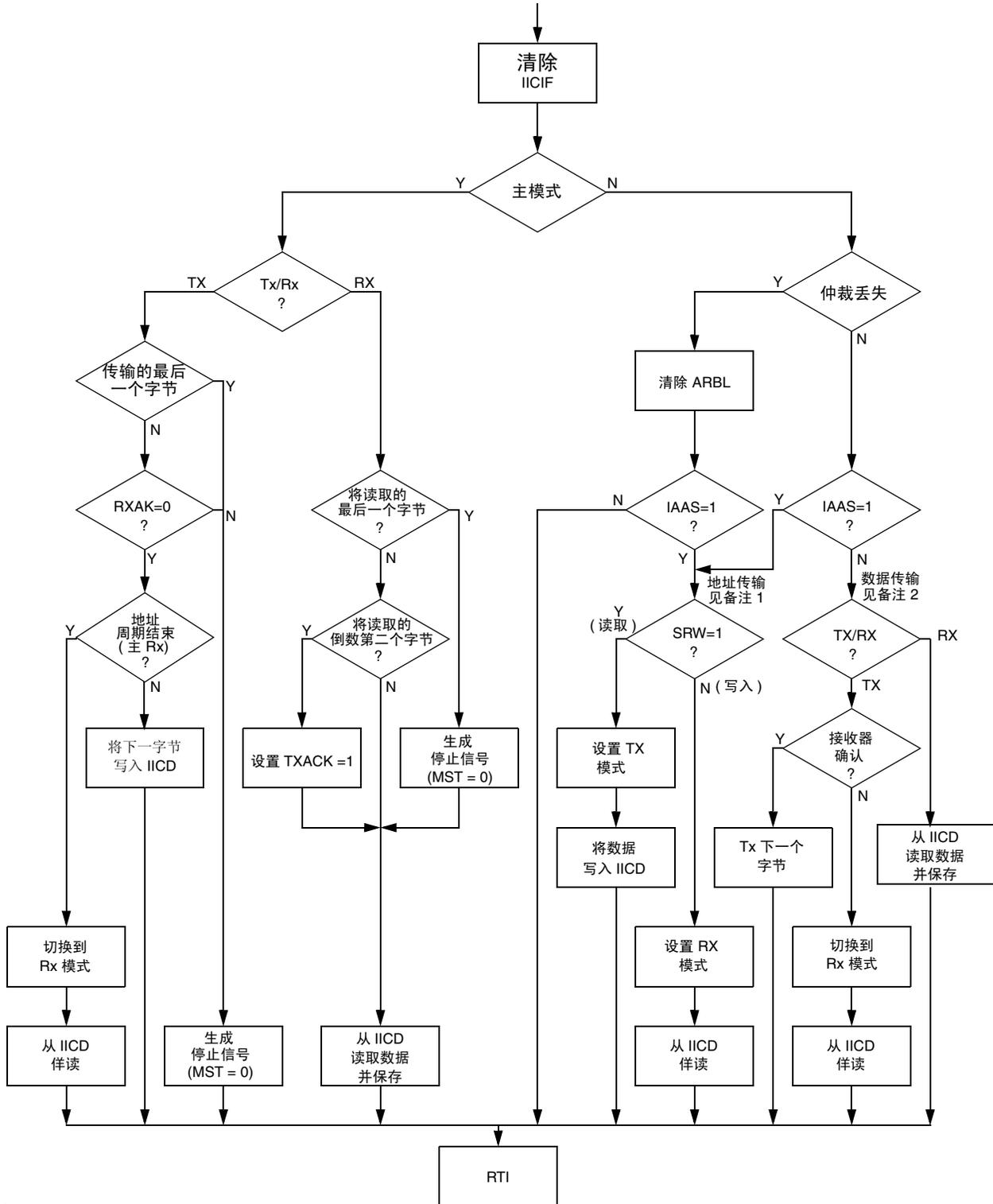
中断源	状态	标记	本地使能
完成 1 字节传输	TCF	IICIF	IICIE
匹配到收到的主叫地址	IAAS	IICIF	IICIE
仲裁丢失	ARBL	IICIF	IICIE

11.7.1 字节传输中断

TCF（传输完成标记）位在第 9 时钟的下降边沿设置，表示字节传输完成。

11.7.2 地址检测中断

当主叫地址匹配已编程的从机地址（IIC 地址寄存器）或者当设置了 GCAEN 位且收到通用呼叫时，就设置状态寄存器中的 IAAS 位。假设设置了 IICIE，CPU 就被中断。CPU 必须检查 SRW 位并相应设置其 Tx 模式。



备注:

1. 如果使能了通用呼叫, 必须进行检查, 以确定收到的地址是否为通用呼叫地址 (0x00)。如果收到的地址是通用呼叫地址, 那么通用呼叫必须由用户软件处理。
2. 当使用 10 位寻址来寻址从器件时, 从器件在扩展地址的首字节后发现中断。用户软件必须为该中断确保这一点, 那就是忽略 IICD 的内容, 且不把它作为有效数据传输对待。

图 11-12. 典型的 IIC 中断程序

第 13 章

串行外围器件接口 (S08SPIV3)

13.1 介绍

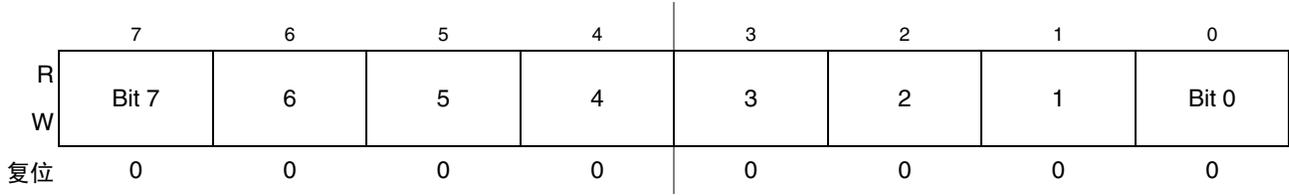
串行外围器件接口 (SPI) 模块提供 MCU 和外围器件间的全双工、同步和串行通信。这些外围器件可以包括其他微控制器、模数移位器、移位寄存器、传感器和存储器等。

SPI 运行在主模式中最高可运行在总线时钟除以 2 的波特率上，在辅模式中最高可运行在总线时钟除以 4 的波特率上。

MC9S08DZ60 系列 MCU 中的所有器件包含一个 SPI 模块，如下面的结构图所示。

注意

在位更改为 CPHA 位的同时，确保 SPI 不得被禁止 (SPE=0)。这些更改应作为独立操作执行，否则就可能发生意外。



写入 TPM 模数寄存器前复位 TPM m 计数器，以避免造成首次计数器溢出发生时间的混乱。

16.3.4 TPM 通道 n 状态和控制寄存器 (TPMxCnSC)

TPMxCnSC 包含用于配置中断使能、通道配置和管脚功能的通道中断状态标志和控制位。

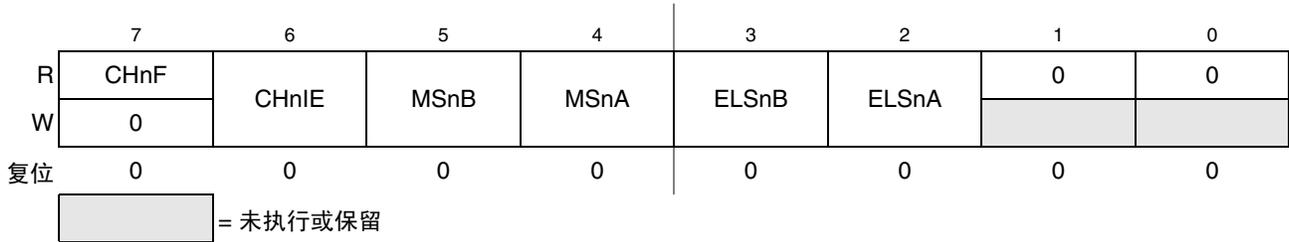


图 16-12. TPM 通道 n 状态和控制寄存器 (TPMxCnSC)

表 16-5. TPMxCnSC 字段描述

字段	描述
7 CHnF	通道 n 标志。通道 n 用作输入捕捉通道的情况下，通道 n 管脚上发生有效触发边沿时会设置这个读 / 写位。通道 n 为输出比较或边缘对齐 / 中央对齐 PWM 通道时，TPM 计数器寄存器中的值与 TPM 通道 n 值寄存器中的值匹配时会设置 CHnF。通道 n 用作边缘对齐 / 中央对齐 PWM 通道而占空比被设置为 0% 或 100% 的情况下，TPM 计数器寄存器中的值与 TPM 通道 n 值寄存器中的值匹配时将不设置 CHnF。 设置了 CHnF 而且使能了中断 (CHnIE = 1) 时会请求相应的中断。CHnF 可通过在 (CHnIE = 1) 时读取 TPMxCnSC，然后将逻辑 0 写入到 0 中来清除。如果清除序列完成前出现另一个中断请求，则序列被复位，以确保前一个 CHnF 的清除序列完成后 CHnF 仍被设置。这样做的目的是确保 CHnF 中断请求不会因清除以前 CHnF 而丢失。 重启可清除 CHnF 位。将逻辑数 1 写入 CHnF 是无效的。 0 通道 n 上没有发生输入捕捉或输出比较事件 1 通道 n 上发生输入捕捉或输出比较事件
6 CHnIE	通道 n 中断使能。这个读 / 写位使能来自通道 n 的中断。复位可清除 CHnIE。 0 通道 n 中断请求关闭 (用于软件轮询) 1 通道 n 中断请求允许
5 MSnB	TPM 通道 n 的模式 B 选择位。当 CPWMS=0 时，MSnB=1 为边缘对齐 TPM 模式配置 PWM 通道 n。请参考表 16-6 中的通道模式和设置控制总结。

表 16-5. TPMxCnSC 字段描述 (continued)

字段	描述
4 MSnA	TPM 通道 n 的模式 A 选择位。当 CPWMS=0, MSnB=0 时, MSnA 为输入捕捉模式或输出比较模式配置 TPM 通道 n。请参见表 16-6 中关于通道模式和设置控制的总结。 注意: 如果相关端口管脚在变为输入捕捉模式前至少 2 个总线时钟周期内是不稳定的, 则可能获得一个边缘触发的意外指示。
3-2 ELSnB ELSnA	边沿 / 电平选择位。根据 CPWMS:MSnB:MSnA 设置、表 16-6, 中所示的定时器通道的运行模式, 这些位选择触发输入捕捉事件的输入边的极性, 选择满足输出比较匹配后将驱动的电平, 或选择 PWM 输出的极性。 将 ELSnA 设置为 0:0 可将关联的定时器管脚配置为与任何定时器功能无关的通用输入 / 输出管脚。当关联的定时器通道被设置为不请求使用管脚的软件定时器时, 本功能常用于临时关闭输入捕捉通道或使定时器管脚可用作通用输入 / 输出管脚。

表 16-6. 模式、边沿和电平选择

CPWMS	MSnB:MSnA	ELSnB:ELSnA	模式	配置
X	XX	00	不用于 TPM 的管脚 - 恢复为通用输入 / 输出或其他外围设备控制	
0	00	01	输入捕捉	仅在上升边沿捕捉
		10		仅在下降边沿捕捉
		11		在上升或下降边沿捕捉
	01	01	输出比较	切换比较输出
		10		清除比较输出
		11		设置比较输出
1X	10	边缘对齐 PWM	High-true p 脉冲 (清除比较输出)	
	X1		Low-true p 脉冲 (设置比较输出)	
1	XX	10	中央对齐 PWM	High-true 脉冲 (清除向上比较输出)
		X1		Low-true 脉冲 (设置向上比较输出)

16.3.5 TPM 通道值寄存器 (TPMxCnVH:TPMxCnVL)

这些读 / 写寄存器包含输入捕捉功能捕捉的 TPM 计数器值, 或输出比较或 PWM 功能的输出比较值。该通道寄存器可通过复位清除。

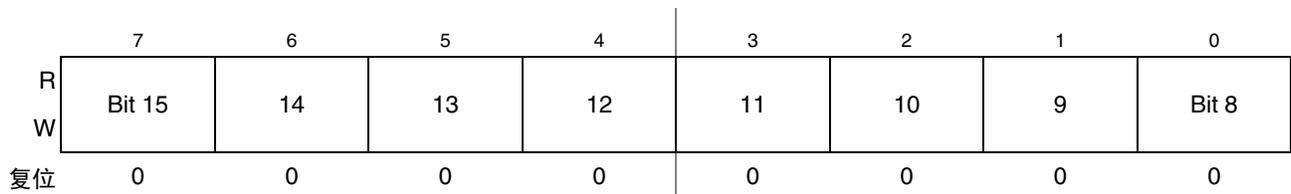


图 16-13. TPM 道值寄存器高字节 (TPMxCnVH)

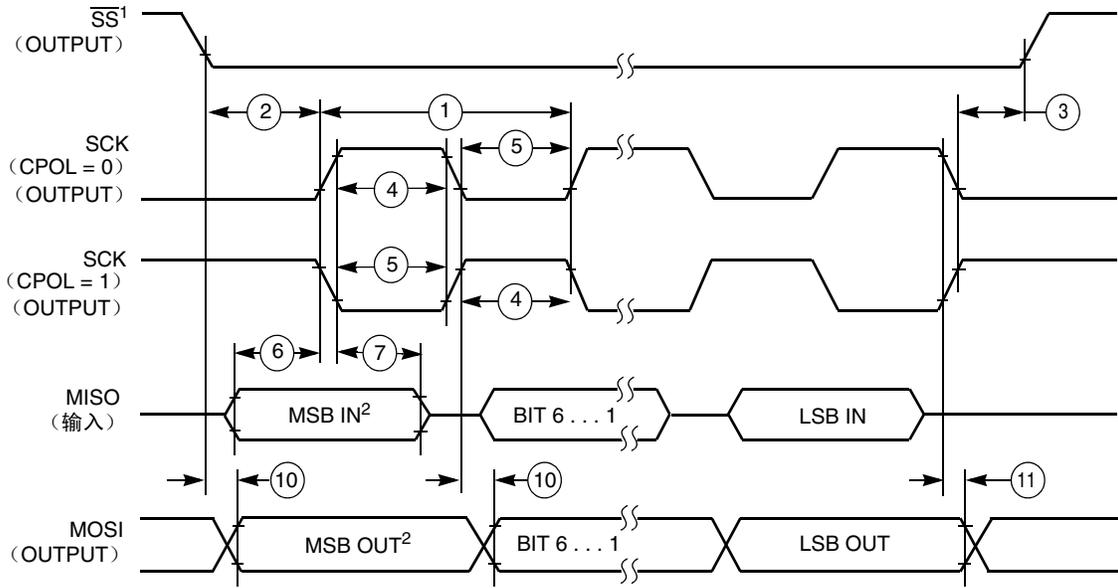
17.1.2 特性

BDC 模块的特性包括：

- 单引脚进行模式选择和背景调试通信
- BDC 的寄存器不位于存储器地址中
- SYNC 命令确定目标通信速率
- 非侵入式命令进行存储器存取
- 供 CPU 寄存器存取的激活背景调试模式命令
- GO 和 TRACE1 命令
- 背景调试命令可以将 CPU 从停止模式或等待模式中唤醒
- BDC 内置一个硬件地址断点
- 如果 BDC 使能，则振荡器运行在停止模式
- 处于激活背景调试模式时，COP 看门狗禁止

ICE 系统的特性包括：

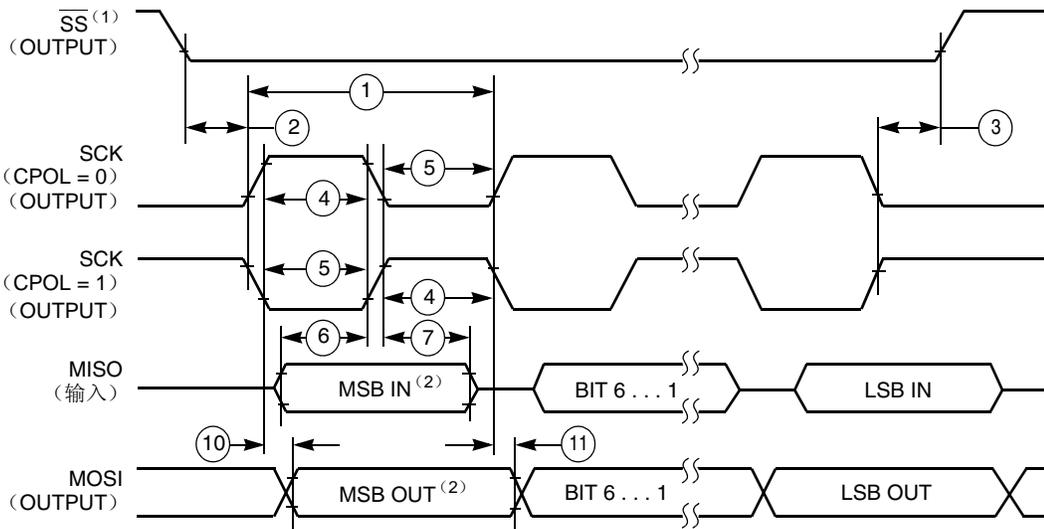
- 两个触发比较器：两个地址 + 读 / 写 (R/W) 或一个完整地址 + 数据 + R/W
- 灵活的 8-word x 16-bit FIFO (先进先出) 缓存，用于捕获信息：
 - 流程变化的地址 或
 - 纯事件数据
- 两个类型的断点：
 - 指令操作码的标记断点
 - 任何地址存取的强制断点
- 九个触发模式：
 - 基本：只有 A, A 或 B
 - 顺序：A 然后 B
 - 全部：A 和 B 数据, A 和非 B 数据
 - 事件 (存储数据): 纯事件 B, A 然后纯事件 B
 - 范围：在范围以内 ($A \leq \text{地址} \leq B$), 在范围以外 (地址 $< A$ 或地址 $> B$)



注释:

1. SS 输出模式 (MODFEN = 1, SSOE = 1)。
2. LSBF = 0。当 LSBF = 1 时, 位顺序是 LSB、位 1、...、位 6、MSB。

图 A-7. SPI 主时序 (CPHA = 0)



注释

1. SS 输出模式 (MODFEN = 1, SSOE = 1)
2. LSBF = 0。当 LSBF = 1 时, 位顺序是 LSB、位 1、...、位 6、MSB。B。

图 A-8. SPI 主时序 (CPHA = 1)