

Welcome to [E-XFL.COM](https://www.e-xfl.com)

### What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

### Applications of "[Embedded - Microcontrollers](#)"

#### Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I <sup>2</sup> C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	32KB (32K x 8)
Program Memory Type	FLASH
EEPROM Size	1K x 8
RAM Size	2K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 85°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	<a href="https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz32clc">https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz32clc</a>

表 4-2. 直接页面寄存器总结 (第 1 页, 共 3 页)

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0x0029	TPM1C1VH	Bit 15	14	13	12	11	10	9	Bit 8
0x002A	TPM1C1VL	Bit 7	6	5	4	3	2	1	Bit 0
0x002B	TPM1C2SC	CH2F	CH2IE	MS2B	MS2A	ELS2B	ELS2A	0	0
0x002C	TPM1C2VH	Bit 15	14	13	12	11	10	9	Bit 8
0x002D	TPM1C2VL	Bit 7	6	5	4	3	2	1	Bit 0
0x002E	TPM1C3SC	CH3F	CH3IE	MS3B	MS3A	ELS3B	ELS3A	0	0
0x002F	TPM1C3VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0030	TPM1C3VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0031	TPM1C4SC	CH4F	CH4IE	MS4B	MS4A	ELS4B	ELS4A	0	0
0x0032	TPM1C4VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0033	TPM1C4VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0034	TPM1C5SC	CH5F	CH5IE	MS5B	MS5A	ELS5B	ELS5A	0	0
0x0035	TPM1C5VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0036	TPM1C5VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0037	预留	—	—	—	—	—	—	—	—
0x0038	SCI1BDH	LBKDIE	RXEDGIE	0	SBR12	SBR11	SBR10	SBR9	SBR8
0x0039	SCI1BDL	SBR7	SBR6	SBR5	SBR4	SBR3	SBR2	SBR1	SBR0
0x003A	SCI1C1	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT
0x003B	SCI1C2	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK
0x003C	SCI1S1	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF
0x003D	SCI1S2	LBKDIF	RXEDGIF	0	RXINV	RWUID	BRK13	LBKDE	RAF
0x003E	SCI1C3	R8	T8	TXDIR	TXINV	ORIE	NEIE	FEIE	PEIE
0x003F	SCI1D	Bit 7	6	5	4	3	2	1	Bit 0
0x0040	SCI2BDH	LBKDIE	RXEDGIE	0	SBR12	SBR11	SBR10	SBR9	SBR8
0x0041	SCI2BDL	SBR7	SBR6	SBR5	SBR4	SBR3	SBR2	SBR1	SBR0
0x0042	SCI2C1	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT
0x0043	SCI2C2	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK
0x0044	SCI2S1	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF
0x0045	SCI2S2	LBKDIF	RXEDGIF	0	RXINV	RWUID	BRK13	LBKDE	RAF
0x0046	SCI2C3	R8	T8	TXDIR	TXINV	ORIE	NEIE	FEIE	PEIE
0x0047	SCI2D	Bit 7	6	5	4	3	2	1	Bit 0
0x0048	MCGC1	CLKS		RDIV			IREFS	IRCLKEN	IREFSTEN
0x0049	MCGC2	BDIV		RANGE	HGO	LP	EREFS	ERCLKEN	EREFSTEN
0x004A	MCGTRM	TRIM							
0x004B	MCGSC	LOLS	LOCK	PLLST	IREFST	CLKST		OSCINIT	FTRIM
0x004C	MCGC3	LOLIE	PLLS	CME	0	VDIV			
0x004D– 0x004F	预留	—	—	—	—	—	—	—	—
0x0050	SPIC1	SPIE	SPE	SPTIE	MSTR	CPOL	CPHA	SSOE	LSBFE
0x0051	SPIC2	0	0	0	MODFEN	BIDIROE	0	SPISWAI	SPC0

- 将命令代码写入到 FCMD 中。6 个有效的命令分别是空白检查 (blank check, 0x05)、字节编程 (byte program, 0x20)、突发编程 (burst program, 0x25)、分区擦除 (sector erase, 0x40)、整体擦除 (mass erase<sup>1</sup>, 0x41) 和分区擦除终止 (sector erase abort, 0x47)。命令代码被锁定到命令缓冲器中。

- 将一个 1 写入到 FSTAT 中的 FCBEF 位上，以清除 FCBEF 并发起命令 (包括其地址和数据信息)。

在写内存阵列之后到写 1 用于清除 FCBEF 并发起完整命令之前的任何时候，可以通过向 FCBEF 中写入一个“0”，来手工终止部分命令顺序。以这种方式终止一个命令会设置 FACCERR 访问错误标记，而这个标记必须在开始一个新命令之前清除掉。

整个过程必须遵守严格监控的流程，否则命令将不会被接受。通过这种方式可以最大限度地降低无意中修改内存内容的可能性。命令完整标记 (FCCF) 用于指示一条命令是否完整。要启动命令，必须通过清除 FCBEF 来使命令序列完整。图 4-2 是执行除突发编程和分区擦除终止以外的所有命令的流程。

- 等待 FSTAT 中的 FCCF 位被设置。只要 FCCF=1，就说明操作成功完成。

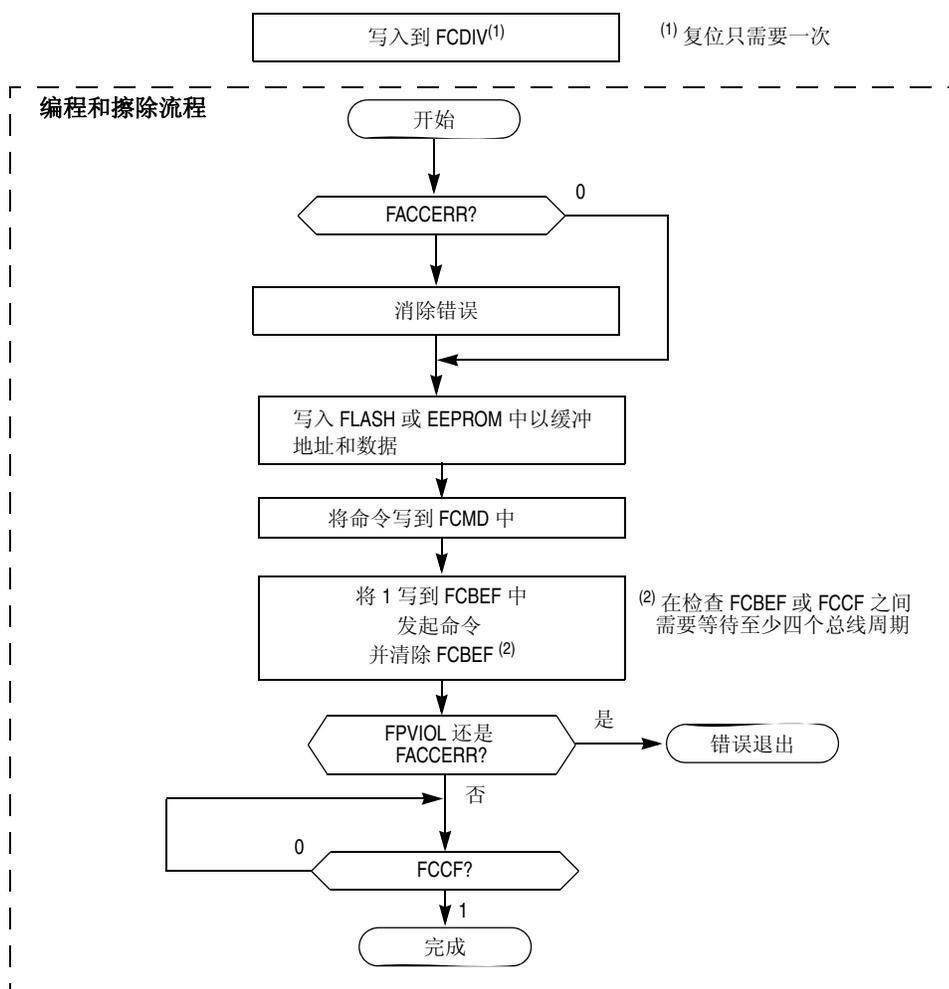


图 4-2. 编程和擦除流程图

1. 整体擦除只能在 Flash 块完全不受保护的情况下进行。

表 5-1. 向量摘要<sup>1</sup>

向量编号	地址 (高/低)	向量名称	模块	源	使能	描述
31	0xFFC0/0xFFC1	Vacmp2	ACMP2	ACF	ACIE	模拟比较器 2
30	0xFFC2/0xFFC3	Vacmp1	ACMP1	ACF	ACIE	模拟比较器 1
29	0xFFC4/0xFFC5	Vcantx	MSCAN	TXE[2:0]	TXEIE[2:0]	CAN 发送
28	0xFFC6/0xFFC7	Vcanrx	MSCAN	RXF	RXFIE	CAN 接收
27	0xFFC8/0xFFC9	Vcanerr	MSCAN	CSCIF, OVRIF	CSCIE, OVRIE	CAN 错误
26	0xFFCA/0xFFCB	Vcanwu	MSCAN	WUPIF	WUPIE	CAN 唤醒
25	0xFFCC/0xFFCD	Vrtc	RTC	RTIF	RTIE	实时中断
24	0xFFCE/0xFFCF	Viic	IIC	IICIS	IICIE	IIC 控制
23	0xFFD0/0xFFD1	Vadc	ADC	COCO	AIEN	ADC
22	0xFFD2/0xFFD3	Vport	端口 A,B,D	PTAIF, PTBIF, PTDIF	PTAIE, PTBIE, PTDIE	端口管脚
21	0xFFD4/0xFFD5	Vsci2tx	SCI2	TDRE, TC	TIE, TCIE	SCI2 发送
20	0xFFD6/0xFFD7	Vsci2rx	SCI2	IDLE, LBKDIF, RDRF, RXEDGIF	ILIE, LBKDIE, RIE, RXEDGIE	SCI2 接收
19	0xFFD8/0xFFD9	Vsci2err	SCI2	OR, NF FE, PF	ORIE, NFIE, FEIE, PFIE	SCI2 错误
18	0xFFDA/0xFFDB	Vsci1tx	SCI1	TDRE, TC	TIE, TCIE	SCI1 发送
17	0xFFDC/0xFFDD	Vsci1rx	SCI1	IDLE, LBKDIF, RDRF, RXEDGIF	ILIE, LBKDIE, RIE, RXEDGIE	SCI1 接收
16	0xFFDE/0xFFDF	Vsci1err	SCI1	OR, NF, FE, PF	ORIE, NFIE, FEIE, PFIE	SCI1 错误
15	0xFFE0/0xFFE1	Vspi	SPI	SPIF, MODF, SPTF	SPIE, SPIE, SPTIE	SPI
14	0xFFE2/0xFFE3	Vtpm2ovf	TPM2	TOF	TOIE	TPM2 溢出
13	0xFFE4/0xFFE5	Vtpm2ch1	TPM2	CH1F	CH1IE	TPM2 通道 1
12	0xFFE6/0xFFE7	Vtpm2ch0	TPM2	CH0F	CH0IE	TPM2 通道 0
11	0xFFE8/0xFFE9	Vtpm1ovf	TPM1	TOF	TOIE	TPM1 溢出
10	0xFFEA/0xFFEB	Vtpm1ch5	TPM1	CH5F	CH5IE	TPM1 通道 5
9	0xFFEC/0xFFED	Vtpm1ch4	TPM1	CH4F	CH4IE	TPM1 通道 4
8	0xFFEE/0xFFEF	Vtpm1ch3	TPM1	CH3F	CH3IE	TPM1 通道 3
7	0xFFFF0/0xFFFF1	Vtpm1ch2	TPM1	CH2F	CH2IE	TPM1 通道 2
6	0xFFFF2/0xFFFF3	Vtpm1ch1	TPM1	CH1F	CH1IE	TPM1 通道 1
5	0xFFFF4/0xFFFF5	Vtpm1ch0	TPM1	CH0F	CH0IE	TPM1 通道 0
4	0xFFFF6/0xFFFF7	Vlol	MCG	LOLS	LOLIE	锁定丢失
3	0xFFFF8/0xFFFF9	Vlvd	系统控制	LVWF	LVWIE	低压警告
2	0xFFFFA/0xFFFFB	Virq	IRQ	IRQF	IRQIE	IRQ pin
1	0xFFFFC/0xFFFFD	Vswi	内核	SWI 指令	—	软件中断
0	0xFFFFE/0xFFFFF	Vreset	系统控制	COP, LOC, LVD, RESET, ILOP, ILAD, POR, BDFR	COPE CME LVDRE — — — —	看门狗定时器 时钟丢失 低压检测 外部管脚 非法 opcode 非法地址 加电复位 BDM- 强制复位

<sup>1</sup> 向量优先级采用从低（第一行）到高（最后一行）的顺序表示。例如，Vreset 向量优先级最高。

## 6.3 管脚中断

A 端口、B 和 D 管脚可以配置为外部中断输入，或从停止或等待低功耗模式中唤醒 MCU 的外部方式。

各端口中断逻辑的示意图如图 6-2 所示。

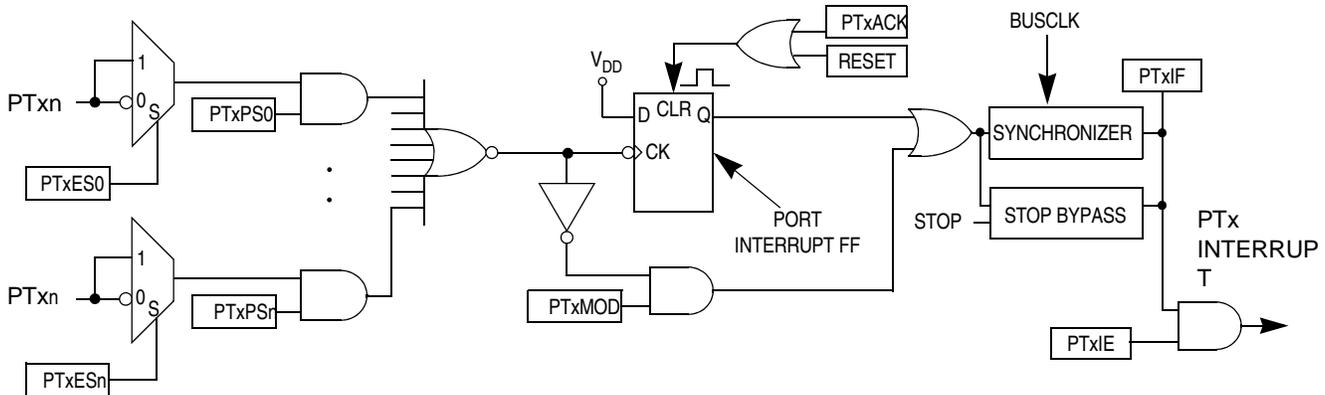


图 6-2. 端口中断示意图

在端口中断管脚选择寄存器（PTxPS）中写入 PTxPSn 位可以独立使能或禁止各端口管脚的中断功能。

边沿敏感可以通过软件编程设定为下降或上升，电平可以为低或高。边沿或者边沿和电平极性敏感度用端口中断边沿选择器（PTxES）中的 PTxESn 位选择。

同步逻辑用来检测边沿。在检测边沿前，已使能的端口输入必须位于无效状态逻辑电平。当端口输入信号在一个总线周期中被视为逻辑 1（无效状态电平），在下一个周期被视为逻辑 0（有效状态电平）时，就能检测到下降边沿。而当输入信号在一个总线周期中被视为逻辑 0，而在下一个周期被视为逻辑 1 时，就能检测到上升边沿。

### 6.3.1 仅边沿敏感度

使能端口管脚上的有效边沿将置位在 PTxSC 中的 PTxIF 位。如果 PTxSC 中置位了 TxIE，CPU 上会出现中断请求。将 1 写入 PTxSC 中的 PTxACK 位会清除 PTxIF。

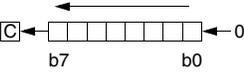
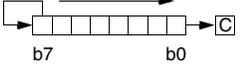
### 6.3.2 边沿和电平敏感度

使能端口管脚上的有效边沿或电平将置位在 PTxSC 中的 PtxIF 位。如果 PTxSC 中设置了 PTxIE，CPU 上会出现中断请求。将 1 写入 PTxSC 中的 PTxACK 会清除 PTxIF，假设所有使能端口输入都位于各自的无效状态电平。在试图通过向 PTxACK 写入 1 来进行清除 PTxIF 时，有效状态仍出现在使能的端口上，PTxIF 仍将保持置位状态。

## 7.5 HCS08 指令集小结

表 7-2 概括地介绍了所有可能的寻址模式中的 HCS08 指令集。表中显示了各个指令的每个寻址模式变种的操作数构造、内部总线时钟周期的执行时间和逐周期详情。

表 7-2. 指令集小结 (第 1 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V I 1 H I N Z C	
ADC #opr8i ADC opr8a ADC opr16a ADC oprx16,X ADC oprx8,X ADC ,X ADC oprx16,SP ADC oprx8,SP	进位添加 $A \leftarrow (A) + (M) + (C)$	IMM DIR EXT IX2 IX1 IX SP2 SP1	A9 ii B9 dd C9 hh ll D9 ee ff E9 ff F9 9E D9 ee ff 9E E9 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	↓ 1 1 ↓	- ↓ ↓ ↓
ADD #opr8i ADD opr8a ADD opr16a ADD oprx16,X ADD oprx8,X ADD ,X ADD oprx16,SP ADD oprx8,SP	无进位添加 $A \leftarrow (A) + (M)$	IMM DIR EXT IX2 IX1 IX SP2 SP1	AB ii BB dd CB hh ll DB ee ff EB ff FB 9E DB ee ff 9E EB ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	↓ 1 1 ↓	- ↓ ↓ ↓
AIS #opr8i	在堆栈指针上添加立即值 (带符号) $SP \leftarrow (SP) + (M)$	IMM	A7 ii	2	pp	- 1 1 -	- - - - -
AIX #opr8i	在索引寄存器 (H:X) 上添加立即值 (带符号) H:X $H:X \leftarrow (H:X) + (M)$	IMM	AF ii	2	pp	- 1 1 -	- - - - -
AND #opr8i AND opr8a AND opr16a AND oprx16,X AND oprx8,X AND ,X AND oprx16,SP AND oprx8,SP	逻辑 AND $A \leftarrow (A) \& (M)$	IMM DIR EXT IX2 IX1 IX SP2 SP1	A4 ii B4 dd C4 hh ll D4 ee ff E4 ff F4 9E D4 ee ff 9E E4 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	- ↓ ↓ ↓ -
ASL opr8a ASLA ASLX ASL oprx8,X ASL ,X ASL oprx8,SP	算术左移位 t  (同 LSL)	DIR INH INH IX1 IX SP1	38 dd 48 58 68 ff 78 9E 68 ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↓ 1 1 -	- ↓ ↓ ↓ ↓
ASR opr8a ASRA ASRX ASR oprx8,X ASR ,X ASR oprx8,SP	算术右移位 t 	DIR INH INH IX1 IX SP1	37 dd 47 57 67 ff 77 9E 67 ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↓ 1 1 -	- ↓ ↓ ↓ ↓
BCC rel	如果进位清除, 分支 (如果 C = 0)	REL	24 rr	3	ppp	- 1 1 -	- - - - -

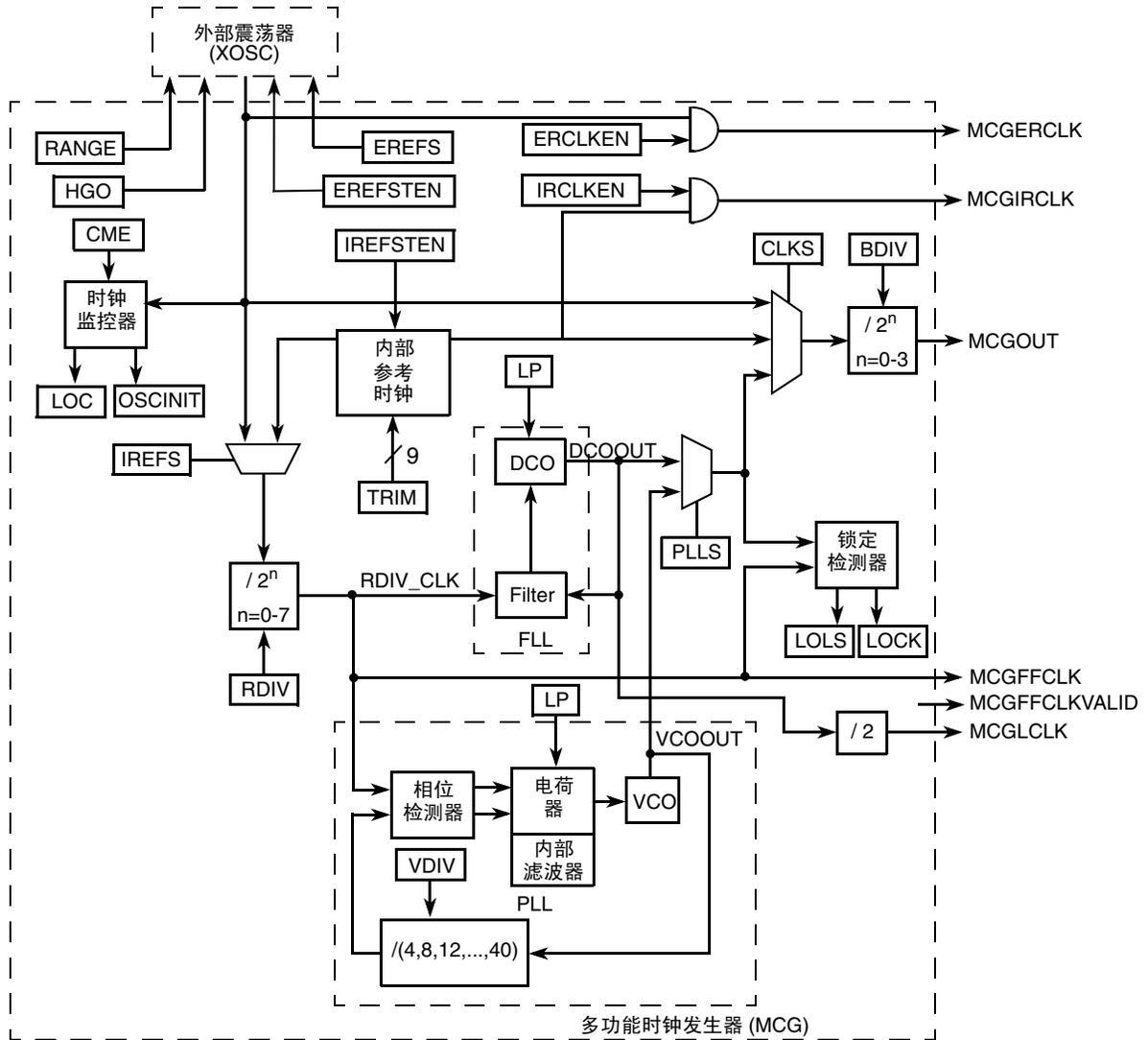


图 8-2. 多功能时钟发生器 (MCG) 结构图

当满足以下条件时就进入 PLL Bypassed External 模式：

- CLKS 位写入 00
- IREFS 位写入 0
- PLLS 位写入 1
- RDIV 位写入介于 1 MHz - 2 MHz 频率范围的分频参考时钟。
- LP 位写入 0

在 PLL Bypassed External 模式中，MCGOUT 时钟源自外部参考时钟。使能的外部参考时钟可以是外部晶体 / 谐振器，也可以是另外一个外部时钟源。PLL 时钟频率是参考频率（RDIV 位所选）和倍频因子（VDIV 位所选）乘积。如果使能 BDM，MCGLCLK 值就是 DCO 除以 2（开放环路模式）的得数。如果禁止 BDM，那么 FLL 被禁止且处于低功率状态。

### 8.5.1.7 Bypassed Low Power Internal (BLPI)

当满足以下条件时就进入 Bypassed Low Power Internal（BLPI）模式：

- CLKS 位写入 01
- IREFS 位写入 1
- PLLS 位写入 0
- LP 位写入 1
- BDM 模式未活动

在 Bypassed Low Power Internal 模式中，MCGOUT 时钟源自内部参考时钟。

在 BLPI 模式中，PLL 和 FLL 总是无效的，且 MCGLCLK 不能用于 BDC 通信。如果 BDM 进入活动状态，该模式将切换为由 PLLS 位状态决定的另外一种内部旁路模式。

### 8.5.1.8 Bypassed Low Power External (BLPE)

当满足以下条件时就进入 Bypassed Low Power External（BLPE）模式：

- CLKS 位写入 10
- IREFS 位写入 0
- PLLS 位写入 0 或 1
- LP 位写入 1
- BDM 模式未活动

在 Bypassed Low Power External 模式中，MCGOUT 时钟源自外部参考时钟。使能的外部参考时钟可以是外部晶体 / 谐振器，也可以是另外一个外部时钟源。

在 BLPE 模式中，PLL 和 FLL 总是无效的，且 MCGLCLK 不能用于 BDC 通信。如果 BDM 进入活动状态，该模式将切换到由 PLLS 位状态决定的另外一种外部旁路模式。

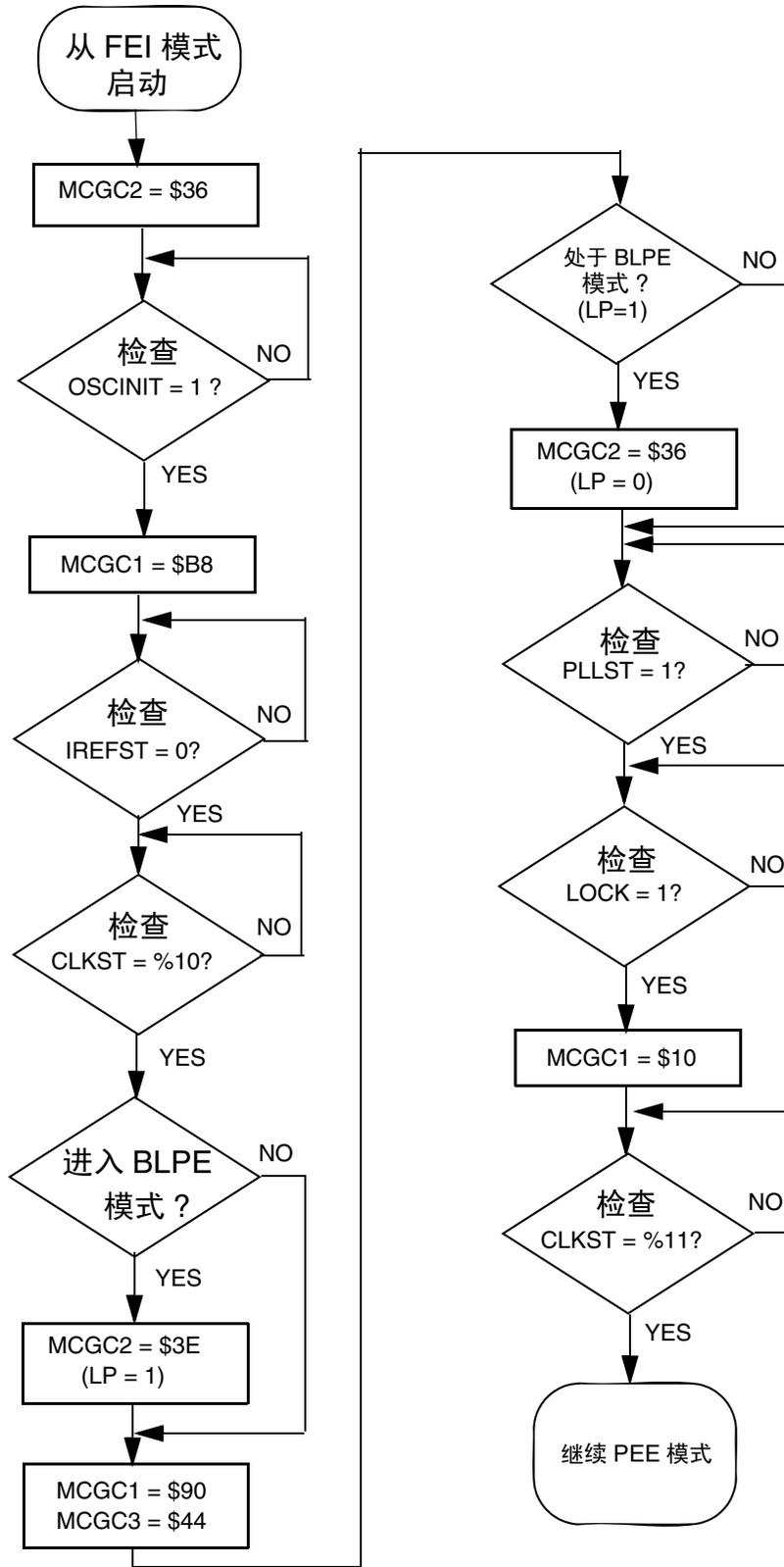


图 8-9. 使用 4 MHz 晶体从 FEI 转换到 PEE 模式的流程图

## 9.3 存储器映射 / 寄存器定义

ACMP 包括一个寄存器:

- 一个 8 位状态和控制寄存器

如需了解 ACMP 寄存器的绝对地址分配, 请参见本文档的存储器节“直接页面寄存器概述”。本节仅按寄存器和控制位的名称及相关地址偏移进行参考。

有些 MCU 的 ACMP 可能不止一个, 因此寄存器名称包括占位符 (x), 以明确正在参考哪个 ACMP。

表 9-2. ACMP 寄存器摘要

名称		7	6	5	4	3	2	1	0
ACMPxSC	R	ACME	ACBGS	ACF	ACIE	ACO	ACOPE	ACMOD	
	W								

### 9.3.1 ACMPx 状态和控制寄存器 (ACMPxSC)

ACMPxSC 包括状态标记和使能和配置 ACMP 所需的控制位。

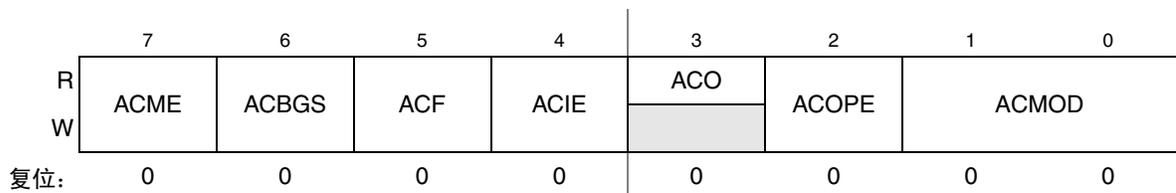


图 9-3. ACMPx 状态和控制寄存器 (ACMPxSC)

表 9-3. ACMPxSC 字段描述

字段	描述
7 ACME	模拟比较器模块使能。使能 ACMP 模块。 0 ACMP 关闭 1 ACMP 使能
6 ACBGS	模拟比较器死区选择。选择带死区参考电压或 ACMPx+ 管脚作为模拟比较器同相输入的输入。 0 外部管脚 ACMPx+ 选择为比较器的同相输入 1 内部参考选择为比较器的同相输入
5 ACF	模拟比较器标记。每次发生比较事件时都设置 ACF。比较事件由 ACMOD 定义。通过在 ACF 上写入 1 来清除 ACF。 0 未发生比较事件。 1 已发生比较事件。
4 ACIE	模拟比较器中断使能。从 ACMP 那里使能中断。设置了 ACIE 后, 在 ACF 置位时中断被触发。 0 中断禁止 1 中断使能
3 ACO	模拟比较器输出。ACO 读数返回模拟比较器输出的当前值。ACO 复位为 0, 在 ACMP 禁止时 (ACME = 0) 读数为 0。

## 11.5 功能描述

本小节详细描述了 IIC 模块的全部功能。

### 11.5.1 IIC 协议

IIC 总线系统为数据传输使用串行数据线 (SDA) 和串行时钟线 (SCL)。与其连接的所有器件必须具有开漏或开极输出。逻辑与功能通过外部上拉电阻在两条线上执行。这些电阻的值与系统相关。

一般地, 标准通信由以下四部分组成:

- 启动信号
- 从机地址发送
- 数据传输
- 停止信号

停止信号不应与 CPU 停止指令相混淆。IIC 总线系统通信将在后面进行简要地描述, 并在图 11-9 中进行了阐释。

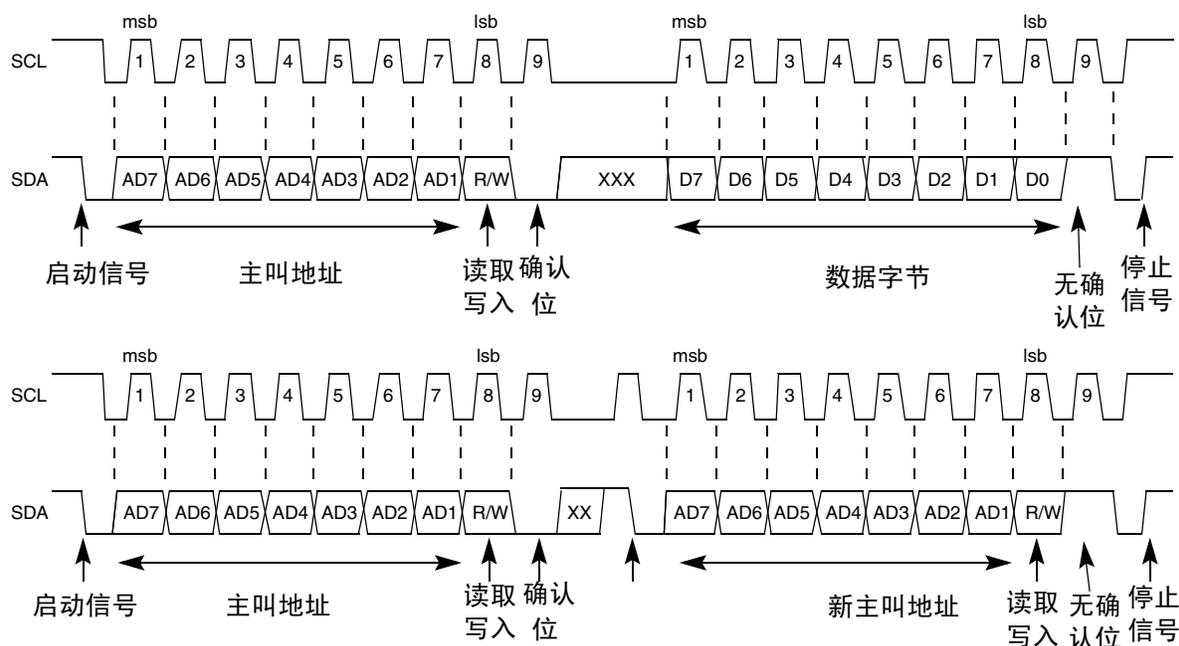


图 11-9. IIC 总线传输信号

### 12.5.2.1 报文发送基础

现代应用层软件的建立基于两个基本假设：

- 任何 CAN 节点都能够发送出安排好的报文流，而不需要在两条报文间释放 CAN 总线。这些节点在发送上一条报文后立即仲裁 CAN 总线，只当仲裁丢失时释放 CAN 总线。
- 安排 CAN 节点内的内部报文队列，这样，如果有多条报文准备发送时，最高优先级报文首先发出。

以上中描述的行为不能用单个发送缓冲器来实现。该缓冲器在上一条报文发送后必须立即重新加载。加载流程的持续时间有限，必须在帧间顺序（IFS）内完成，以便能够发送不中断报文流。即便这对于有限总线速度的 CAN 来说可行，但它要求 CPU 有最短的发送中断延迟时间。

双缓冲器机制能够把发送缓冲器的重新加载和实际的报文发送分开，因此降低了 CPU 的响应要求。问题可能出在完成报文的发送时 CPU 正重新加载第二个缓冲器，这时没有缓冲器做好发送准备，CAN 总线会被释放。

无论在什么情况下，至少需要三个发送缓冲器来满足上述第一个要求。MSCAN 有三个发送缓冲器。

第二个要求需要某些类型的内部优先排队，MSCAN 用 12.5.2.2，“发送结构”中描述的“本地优先级”来执行该优先排队。

### 12.5.2.2 发送结构

MSCAN 三重发送缓冲器机制允许提前建立多条报文，从而优化了实时性能。这三个缓冲器的安排如图 12-38 所示。

这三个缓冲器都具有类似接收缓冲器的 13 字节数据结构（参见 12.4，“报文存储模式”）。

12.4.5，“发送缓冲器优先寄存器 (TBPR)”包含 8 位本地优先级字段（PRIO）（参见 12.4.5，“发送缓冲器优先寄存器 (TBPR)”）。剩下的两个字节用于报文的时间标签，如果需要的话（参见 12.4.6，“时间标签寄存器 (TSRH - TSRL)”）。

要发送报文，CPU 必须确定可用的发送缓冲器，这由置位的发送器缓冲器空（TXEx）标志（参见 12.3.6，“MSCAN 发送器标志寄存器 (CANTFLG)”）表示。如果发送缓冲器可用，CPU 必须通过写入 CANTBSEL 寄存器（参见 12.3.10，“MSCAN 发送缓冲器选择寄存器 (CANTBSEL)”），为该缓冲器设置一个指针。这使得各自的缓冲器能够在 CANTXFG 地址空间内访问（参见 12.4，“报文存储模式”）。与 CANTBSEL 寄存器有关的算法功能简化了发送缓冲器选择。此外，这种机制使程序软件处理更为简单，因为发送流程只需访问一个地址，节省所需地址空间。

然后，CPU 将标识符、控制位和数据内容保存到一个发送缓冲器。最后，通过清除相关 TXE 标志，缓冲器标志为发送准备就绪。

MSCAN 然后安排报文发送，并通过设置相关 TXE 标志，通知缓冲器成功发送。当设置了 TXEx，可触发发送中断（参见 12.5.7.2，“发送中断”）<sup>1</sup>，能够用来使应用软件重新加载缓冲器。

1. 只有当未屏蔽时才会发生发送中断。轮询机制也可应用于 TXEx。

### 12.5.5.6 MSCAN 断电模式

当出现以下情况时，MSCAN 处于断电模式（表 12-36）

- CPU 处于停止模式，  
或
- CPU 处于等待模式且设置了 CSWAI 位

当进入断电模式时，MSCAN 立即停止正在进行的所有发送和接收，可能造成违反 CAN 协议。为了防止 CAN 总线系统出现违反上述规则的严重后果，MSCAN 立即驱动 TXCAN 管脚进入隐性状态。

#### 注意

进入初始化模式时，用户负责保证 MSCAN 不在工作态。推荐步骤是在 CANCTL0 寄存器中设置 INITRQ 位前，把 MSCAN 置入睡眠模式（SLPRQ = 1，SLPAK = 1）。否则，中止正在发送的报文可能导致错误情况，并影响到其他 CAN 总线节点。

在断电模式中，所有时钟停止，且不能访问寄存器。如果在断电模式有效前 MSCAN 未处于睡眠模式，通电后该模块执行一个内部恢复周期。这会给模块再次进入正常模式带来某些固定延迟。

### 12.5.5.7 可编程唤醒功能

只要检测到 CAN 总线有效（参见 12.3.1，“MSCAN 控制寄存器 0 (CANCTL0)”中的控制位 WUPE）。就可以对 MSCAN 进行编程以唤醒 MSCAN。当处于睡眠模式时，通过将低通滤波器功能应用于 RXCAN 输入，可以更改 CAN 总线检测的灵敏度（参见 12.3.2，“控制寄存器 1 (CANCTL1)”中的控制位 WUPM）。

该功能可以用来防止由于 CAN 总线线路上的短脉冲而唤醒 MSCAN。例如，嘈杂环境中的电磁干扰可以引起尖峰脉冲。

## 12.5.6 复位初始化

各个单个位的复位状态在 12.3，“寄存器定义”，其中详细阐述了所有寄存器及其位字段。

## 12.5.7 中断

本小节描述了由 MSCAN 引发的所有中断，列出了使能位和触发标志。文中单独列出并描述了每个中断。

### 12.5.7.1 中断运行描述

MSCAN 支持四个中断矢量（参见表 12-37），任意一个矢量都可以单独屏蔽。12.3.5，“MSCAN 接收器中断使能寄存器 (CANRIER)”至 12.3.7，“MSCAN 发送器中断使能寄存器 (CANTIER)”）。

#### 注意

专用的中断矢量地址在 Resets and Interrupts 章中有详细说明。



若  $CPHA = 0$ ，则当处于活跃低态时，辅器件开始用第一个数据位值（MSB 或 LSB，取决于 LSBFE）驱动其 MISO 输出。第一个 SPSCCK 边沿促使主 SPI 器件和辅 SPI 器件分别在它们的 MISO 和 MOSI 输入管脚上进行数据位值采样。在第二个 SPSCCK 边沿，SPI 移位器移动一个位位置，移到刚刚采样的位值，将第二个数据位值移出移位器的另一端，分别移动到主辅 SPI 器件的 MOSI 和 MISO 输出。若  $CPHA = 0$ ，辅 SPI 器件的 SS 输入在两个传输间必须进入非激活的高电平状态。

### 13.5.2 SPI 中断

有三个标记位、两个中断屏蔽位和一个与 SPI 系统有关的中断向量。SPI 中断使能位（SPIE）允许来自 SPI 接收器已满标记（SPRF）和模式故障标记（MODF）的中断发生。SPI 发送中断使能位（SPTIE）允许来自 SPI 发送缓冲器空标记（SPTEF）的中断发生。当设置了一个标记位且设置了相关中断使能位，硬件中断请求就被发送到 CPU。如果中断使能位被清除，软件可以轮询相关标记位，而不发生中断。SPI 中断服务程序（ISR）应检查标记位，确定引起中断的事件。在从 ISR（通常在 ISR 起点的附近）返回前，服务程序还应清除标记位。

### 13.5.3 模式故障检测

当主 SPI 器件在 SS 管脚上检测到错误时（假设 SS 管脚配置为模式故障输入信号），就会发生模式故障并设置模式故障标记（MODF）。当  $MSTR = 1$ ，设置模式故障位使能（MODFEN = 1），辅助 SPI 选择输出使能位清零（SSOE = 0）时，SS 管脚配置为模式故障输入信号。

模式故障检测功能可用于一个以上的 SPI 器件可能同时成为主要 SPI 的系统中。当主 SPI 的 SS 管脚低时检测到错误，就表明有其他 SPI 器件正尝试寻址该主 SPI，就好像它是从 SPI 器件一样。这可以显示出一个有害的输出驱动器冲突，因此当检测到这种错误时，模式故障逻辑被设计成能够禁止所有 SPI 输出驱动器。

当检测到模式故障时，设置 MODF 并清除 MSTR，以便把 SPI 配置变回辅模式。SPSCCK、MOSI 和 MISO 上的输出驱动器（如果不是双向模式）被禁止。

当  $MODF=1$  时读它可以清除 MODF，然后写入 SPI 控制寄存器 1（SPIC1）。用户软件应在把 SPI 变回主模式前，确认已经更正了错误。

当通道被配置用于边缘对齐 PWM (CPWMS=0, MSnB=1 and ELSnB:ELSnA not = 0:0) 时, 数据方向被修改; TPMxCHn 管脚被强制用作受 TPM 控制的输出, 而 ELSnA 控制管脚上 PWM 输出信号的极性。当 ELSnB:ELSnA=1:0 时, TPMxCHn 管脚在每个新周期开始时被强制进入高态 (TPMxCNT=0x0000); 管脚在通道值寄存器与定时器计数器匹配时强制进入低态。当 n ELSnA=1 时, TPMxCHn 管脚在每个新周期开始时被强制进入低态 (TPMxCNT=0x0000); 而管脚在通道值寄存器与定时器计数器匹配时强制进入高态。

TPMxMODH:TPMxMODL = 0x0008  
 TPMxCnVH:TPMxCnVL = 0x0005

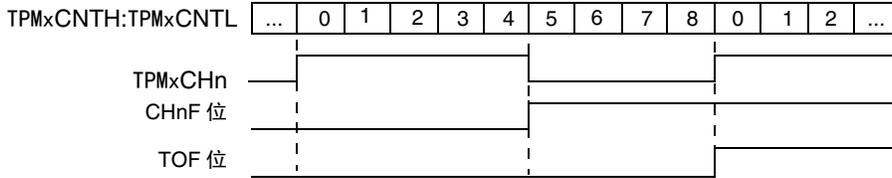


图 16-3. 边缘对齐 PWM 的 High-True 脉冲

TPMxMODH:TPMxMODL = 0x0008  
 TPMxCnVH:TPMxCnVL = 0x0005

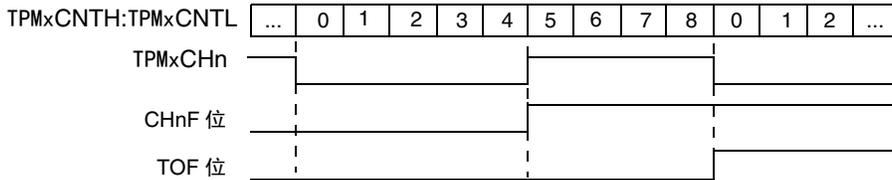


图 16-4. 边缘对齐 PWM 的 Low-True 脉冲

## 16.4 功能描述

所有 TPM 功能都与一个允许灵活选择时钟源和预分频器因数的中央 16 位计数器相关。此外，还有一与主计数器关联的 16 位模数寄存器。

CPWMS 控制位可在 PWM 中所有通道的中央对齐 TPM 操作 (CPWMS=1) 或通用定时功能 (CPWMS=0) 间选择。在后一种情况下，每个通道可独立配置，以输入捕捉、输出比较或边缘对齐 PWM 模式运行。CPWMS 控制位位于主 TPM 状态和控制寄存器中，因为它会影响 TPM 中的所有通道，而且会影响主计数器的运行方式。(在 CPWM 模式下，计数器变为向上/向下模式，而不是用于通用定时器功能的向上计数模式。)

后面各小节介绍了主计数器及计数器的每一种运行模式 (输入捕捉、输出比较、边缘对齐 PWM 和中央对齐 PWM)。因为管脚运行和中断活动的细节取决于运行模式，这些主题将在相关模式的说明部分中介绍。

### 16.4.1 计数器

所有定时器功能都基于 16 位主计数器 (TPMxCNTH:TPMxCNTL)。这一部分讨论时钟源的选择、计数终止溢出、向上计数和向下计数以及手动计数器复位。

#### 16.4.1.1 计数器时钟源

计数器状态和控制寄存器 (TPMxSC) 中的 2 位字段 CLKSB:CLKSAs 从三个可能的时钟源中进行选择或选择 OFF (可有效地关闭 TPM)。请参见表 16-3。任何 MCU 复位后，CLKSB:CLKSA=0:0，因此不会选择任何时钟源，TPM 处于非常低功耗的状态。这些控制位可随时读取或写入，关闭定时器 (将 00 写入到 CLKSB:CLKSA f 字段) 不会影响计数器或其他定时器寄存器中的值。

100%，因为占空比比较将不会发生。这意味着模数寄存器设置的可用范围周期为 0x0001 至 0x7FFE（如果不需要 100% 的占空比，则为 0x7FFF）。这不是一个重大的限制。所能产生的周期将远远长于正常应用所需的周期。

TPMxMODH:TPMxMODL=0x0000 是不用于中央对齐 PWM 模式的特例。当 CPWMS=0 时，这一情况与计数器从 0x0000 自由运行到 0xFFFF 的情况相对应，但当 CPWMS=1 时，计数器需要与 0x0000 以外的模数寄存器有效匹配，以便将方向从向上计数变为向下计数。

TPM 通道寄存器（2 倍）中的输出比较值决定 CPWM 信号的脉冲宽度（占空比）（图 16-16）。如果 ELSnA=0，当向上计数时发生数值比较会强制 CPWM 输出信号进入低态；当向下计数时发生数值比较会强制输出进入高态。计数器达到 TPMxMODH:TPMxMODL 中的模数设置后才开始向上计数；然后向下计数直到 0。这将周期设置为 TPMxMODH:TPMxMODL 的两倍。

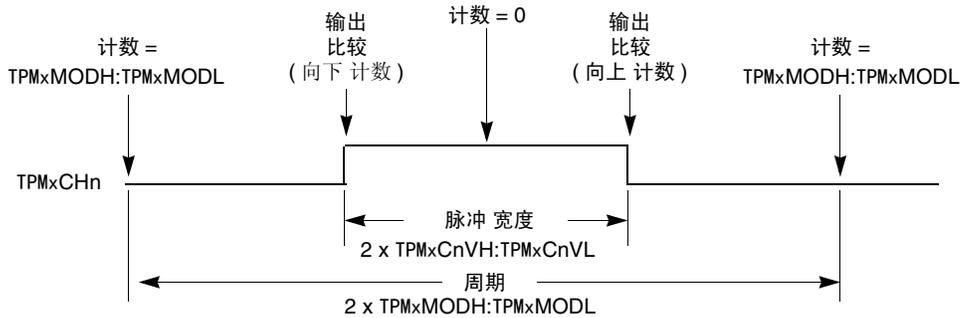


图 16-16. CPWM 周期和脉冲宽度 (ELSnA=0)

中央对齐 PWM 输出的噪音一般比边缘对齐 PWM 小，因为相同系统时钟边上的输入 / 输出管脚过渡更少。有些类型的电机需要这类 PWM 应用。

当计数器以向上 / 向下计数模式运行时，输入捕捉、输出比较和边缘对齐 PWM 功能没有意义。因此这意味着当 CPWMS=1 时，TPM 中的所有使能通道必须用于 CPWM 模式中。

TPM 可用在 8 位 MCU 中。定时器通道寄存器中的设置被缓冲，以确保连贯的 16 位更新并避免意外的 PWM 脉冲宽度。向任何寄存器 TPMxMODH、TPMxMODL、TPMxCnVH 和 TPMxCnVL 中写入实际上就是写入到缓冲器寄存器中。

在中央对齐 PWM 模式下，TPMxCnVH:L 寄存器根据 CLKSb:CLKSA 位的值通过写入缓冲器的值得到更新，因此：

- 如果 (clksb:clksa = 0:0)，寄存器在第二个字节被写入时更新。
- 如果 (clksb:clksa not = 0:0)，寄存器在两个字节都被写入，tpm 计数器从 (tpmxmodh:tpmxmodl - 1) 变为 (tpmxmodh:tpmxmodl) 后更新。如果 tpm 计数器为自由运行的计数器，那么更新在 tpm 计数器从 0xffff 变为 0x0000 时进行。

当 TPMxCnTH:TPMxCnTL=TPMxMODH:TPMxMODL 时，TPM 可选择生成 TOF 中断（在该计数结束时）。

写入 TPMxSC 的操作会取消写入到 TPMxMODH 和 / 或 TPMxMODL 中的任何值，并且复位模数寄存器的一致性机制。写入 TPMxCnSC 的操作会取消写入到通道值寄存器中的任何值，并且为 TPMxCnVH:TPMxCnVL 复位一致性机制。

表 17-6. DBGS 寄存器字段描述

字段	描述
7 AF	<b>触发匹配 A 标记</b> — 在调试运行开始时清除 AF，指示武装后是否满足触发 匹配 A 条件。 0 比较器 A 未匹配 1 比较器 A 匹配
6 BF	<b>触发匹配 B 标记</b> — 在调试运行开始时清除 BF，指示武装后是否满足触发 匹配 B 条件。 0 比较器 B 未匹配 1 比较器 B 匹配
5 ARMF	<b>打开标记</b> — 当 DBGEN=1 时，这个位为 DBG C 中 ARM 的只读镜像。将 DBG C 中的 ARM 控制位写为 1（当 DBGEN = 1）可设置该位，在调试运行结束时自动清除它。当 FIFO 为满时（始起跟踪），或当探测到触发事件时（结束跟踪），调度运行完成。将 DBG C 中的 ARM 或 DBGEN 写为 0，可以人工停止调试运行。 0 调试器没有打开 1 调试器被打开
3:0 CNT[3:0]	<b>FIFO 有效计数</b> — 这些位在调试运行开始时清除，指示调试运行结束时 FIFO 中的有效数据的字数。当数据大 FIFO 中读出时，CNT 中的值不减少。当信息从 FIFO 中读出时，外部调试主机负责计数的跟踪。 0000 FIFO 中的有效字数 = 无有效数据 0001 FIFO 中的有效字数 = 1 0010 FIFO 中的有效字数 = 2 0011 FIFO 中的有效字数 = 3 0100 FIFO 中的有效字数 = 4 0101 FIFO 中的有效字数 = 5 0110 FIFO 中的有效字数 = 6 0111 FIFO 中的有效字数 = 7 1000 FIFO 中的有效字数 = 8

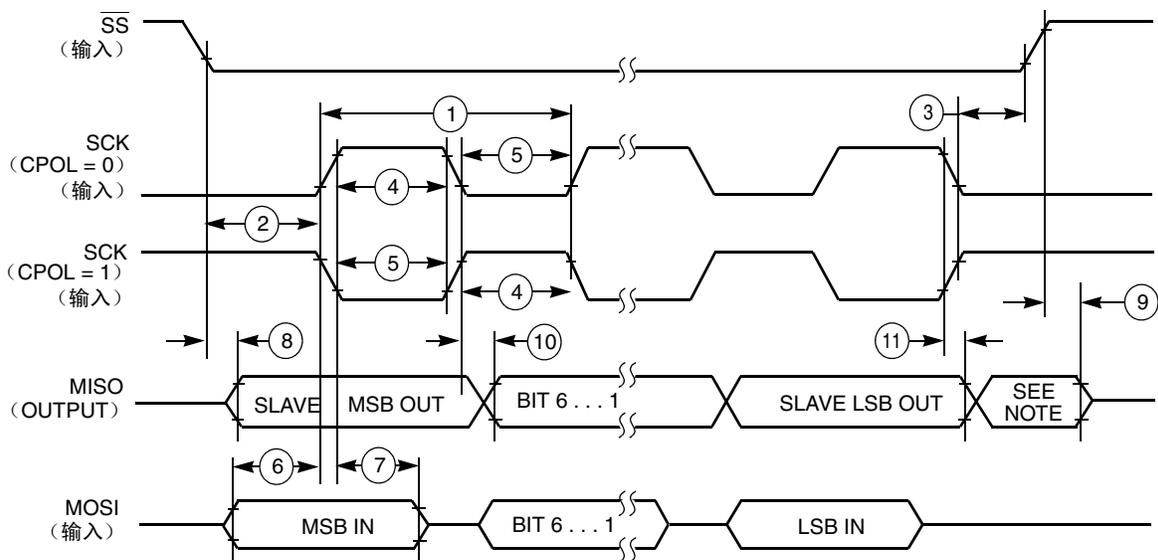
表 A-12. CG 频率规范（温度范围 = -40 至 125 °C）

编号	C	参数	符号	最小值	典型值	最大值	单位
20	D	锁定时间 - FLL	$t_{fil\_lock}$	—	—	$t_{fil\_acquire+1075}$ ( $1/f_{int\_t}$ )	s
21	D	锁定时间 - PLL	$t_{pll\_lock}$	—	—	$t_{pll\_acquire+1075}$ ( $1/f_{pll\_ref}$ )	s
22	D	外部时钟最小频率损失 - RANGE = 0	$f_{loc\_低}$	$(3/5) \times f_{int}$	—	—	kHz
23	D	外部时钟最小频率损失 - RANGE = 1	$f_{loc\_高}$	$(16/5) \times f_{int}$	—	—	kHz

- <sup>1</sup> TRIM 寄存器的默认值为 (0x80)，FTRIM 控制位的默认值为 (0x0)。
- <sup>2</sup> 本规范适用于更改 FLL 参考源或参考分频器、更改 trim 值或从 FLL 禁用 (BLPE、BLPI) 更改为 FLL 启用 (FEI、FEE、FBE、FBI) 的任何情况。如果晶体 / 共鸣器正作为参考使用，本规范假设它已经在运行。
- <sup>3</sup> 本规范适用于 PLL VCO 分频器或参考分频器、或从 PLL 禁用 (BLPE、BLPI) 更改为 PLL 启用 (PBE、PEE) 的任何情况。如果晶体 / 共鸣器正作为参考使用，本规范假设它已经在运行。
- <sup>4</sup> 抖动是当  $f_{BUS}$  最大时在指定间隔内测量的与编辑频率的平均偏差。测量采用由已过滤电源供电的器件，并由稳定的外部时钟信号给出时间。因  $V_{DD}$  和  $V_{SS}$  和晶体振荡器频率的变化注入 FLL 电路的噪声会提高给定间隔内的  $C_{Jitter}$  百分比。
- <sup>5</sup> 抖动测量基于 48 MHz MCGOUT 时钟频率。
- <sup>6</sup> 625 ns 代表着 CAN 应用的 5 个时间量子，且在 8 MHz CAN 总线时钟、1 Mbps CAN 总线速度和位时间设置的每位 8 个时间量子最差条件下。5 个时间量子是同步边缘与位（使用 8 个时间量子 / 位）的采样点间的最小时间
- <sup>7</sup> 在  $D_{lock}$  最小值以下，MCG 保证进入锁定状态；在  $D_{lock}$  最大值以上，MCG 将不进入锁定状态。但是，如果 MCG 已经处于锁定状态，那么 MCG 可能就保持锁定状态。
- <sup>8</sup> 在  $D_{unl}$  最小值以下，MCG 将不退出锁定状态，如果已经处于锁定状态的话。在  $D_{unl}$  最大值以上，MCG 保证退出锁定状态。

## A.12 AC 特性

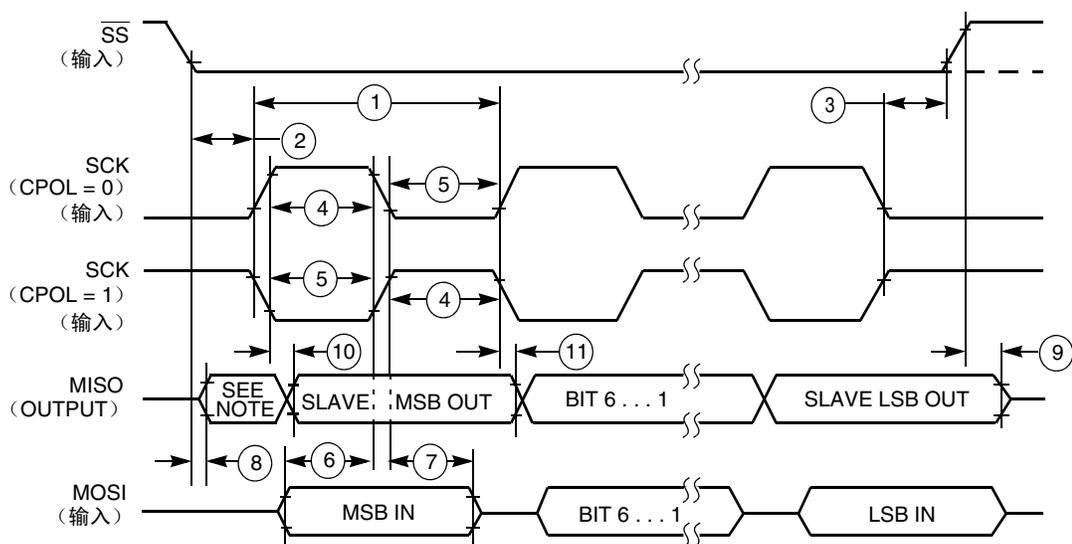
本小节描述每个外围系统的 AC 定时特性。



注释:

1. 未定义, 但在正常情况下只接收 MSB 字符

图 A-9. SPI 从时序 (CPHA = 0)



注释:

1. 未定义, 但在正常情况下只接收 LSB 字符

图 A-10. SPI 从时序 (CPHA = 1)