



Welcome to E-XFL.COM

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	53
Program Memory Size	32KB (32K x 8)
Program Memory Type	FLASH
EEPROM Size	1K x 8
RAM Size	2K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 24x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	64-LQFP
Supplier Device Package	64-LQFP (10x10)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz32mlh

章节列表

章节号	标题	页码
第 1 章	器件概述	19
第 2 章	管脚和连接	25
第 3 章	操作模式	33
第 4 章	存储器	39
第 5 章	复位、中断和系统总控制	65
第 6 章	并行输入 / 输出控制	81
第 7 章	中央处理器 (S08CPUV3)	107
第 8 章	多功能时钟发生器 (S08MCGV1)	127
第 9 章	模拟比较器 (S08ACMPV3)	157
第 10 章	数模转换器 (S08ADC12V1)	163
第 11 章	IIC 模块 (S08IICV2)	189
第 12 章	飞思卡尔控制器局域网 (S08MSCANV1)	207
第 13 章	串行外围器件接口 (S08SPIV3)	257
第 14 章	串行通信接口 (S08SCIV4)	271
第 15 章	实时计数器 (S08RTCV1)	289
第 16 章	定时器脉冲宽度调节器 (S08TPMV3)	299
第 17 章	开发支持	323
附录 A	电气特征	342
附录 B	定时器脉宽调制器 (TPMV2)	364
附录 C	订购信息和机械图	378

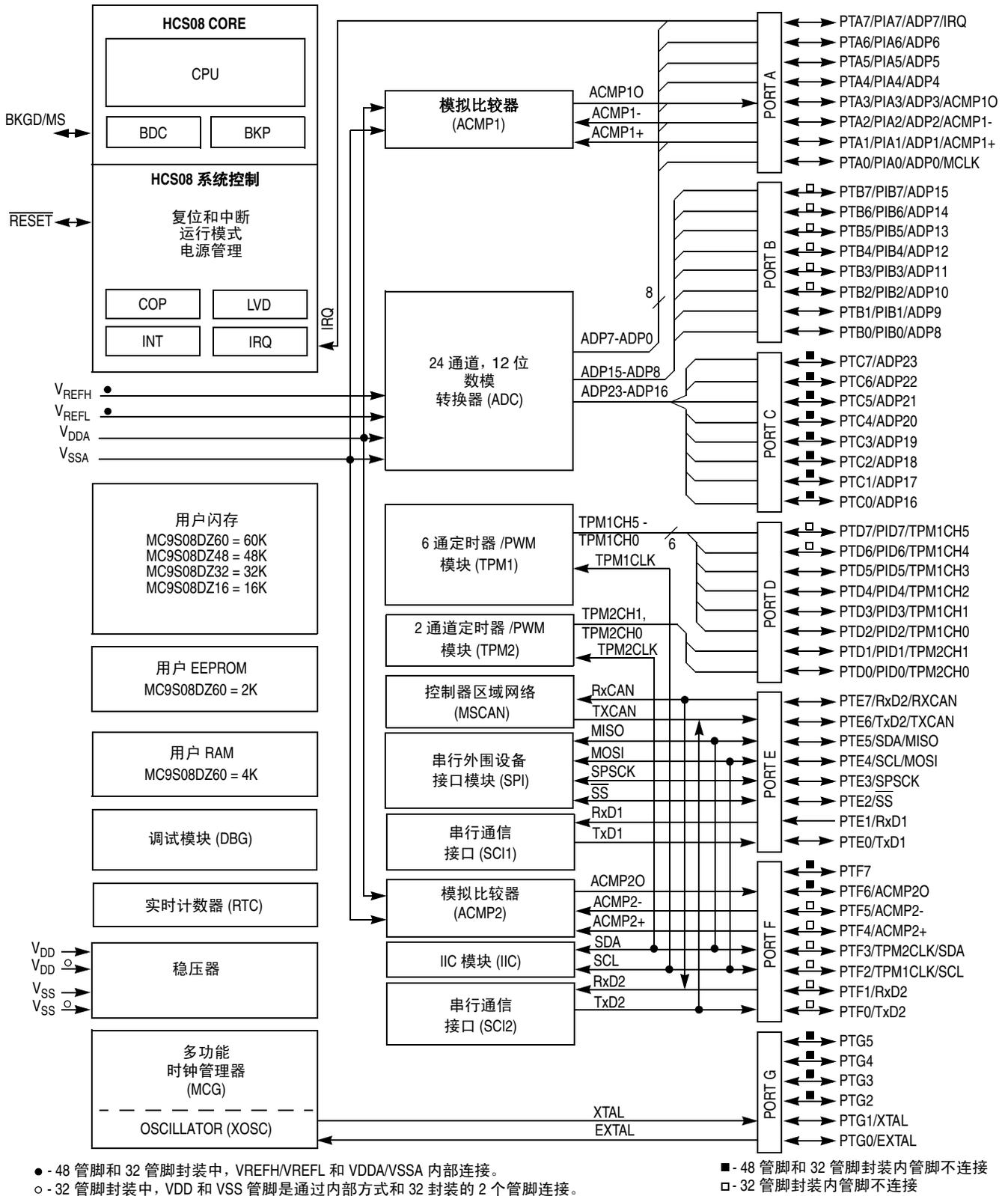


图 1-1. MC9S08DZ60 结构图

6.5.3.5 C 端口驱动强度选择寄存器 (PTCDS)

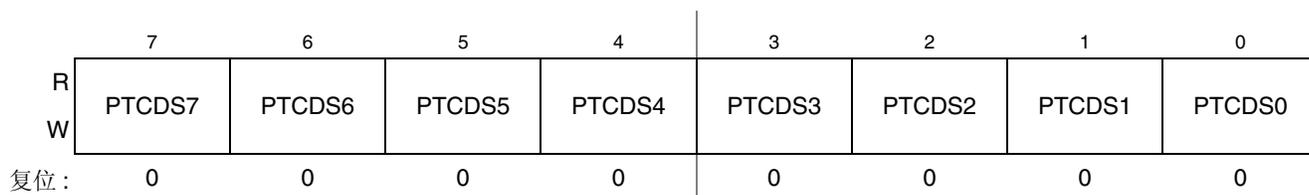


图 6-23. C 端口寄存器的驱动强度选择 (PTCDS)

表 6-21. PTCDS 寄存器字段描述

字段	描述
7:0 PTCDS[7:0]	<p>C 端口位的输出驱动强度选择 — 这些控制位为相关 PTC 管脚选择低输出驱动和高输出驱动。对于配置为输入的 C 端口管脚，这些位不会产生任何影响。</p> <p>0 C 端口位 - 选择的低输出驱动强度。</p> <p>1 C 端口位 - 选择的高输出驱动强度。</p>

6.5.4 D 端口寄存器

D 端口由下列寄存器控制。

6.5.4.1 D 端口数据寄存器 (PTDD)

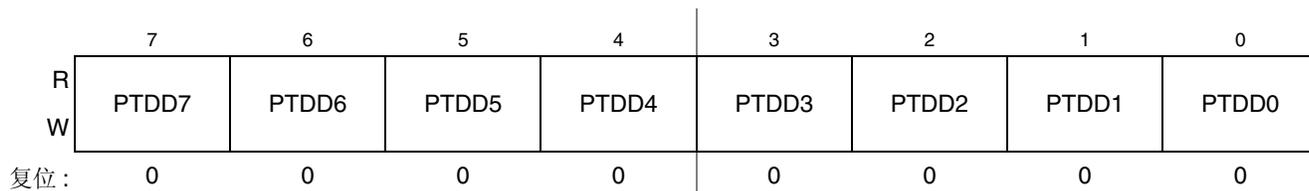


图 6-24. D 端口数据寄存器 (PTDD)

表 6-22. PTDD 寄存器字段描述

字段	描述
7:0 PTDD[7:0]	<p>D 端口数据寄存器位 — 对于配置为输入的 D 端口管脚，读数返回管脚上的逻辑电平。对于配置为输出的 D 端口管脚，读数返回写入寄存器的最后一个值。</p> <p>写入值被锁定在本寄存器的所有位中。对于配置为输出的 D 端口管脚，逻辑电平被输出到相应的 MCU 管脚。</p> <p>复位强制 PTDD 都为 0，但是这些 0 未被输出到相应的管脚，因为复位还会将所有端口管脚配置为上拉 / 下拉禁止的高阻抗输入。</p>

6.5.5.4 E 端口斜率使能寄存器 (PTESE)

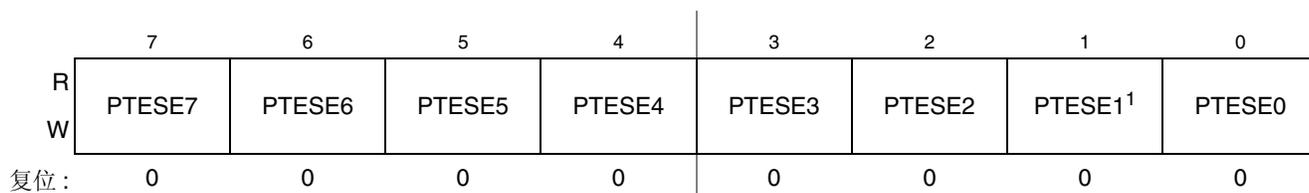


图 6-35. E 端口寄存器斜率使能 (PTESE)

¹ PTESE1 对输入 PTE1 管脚没有影响。

表 6-33. PTESE 寄存器字段描述

字段	描述
7:0 PTESE[7:0]	E 端口位输出斜率使能 — 这些控制位决定是否相关的 PTE 管脚使能输出斜率控制。对于配置为输入的 E 端口管脚，这些位不会产生任何影响。 0 E 端口位 - 输出斜率控制禁止。 1 E 端口位 - 输出斜率控制使能。

注意: 工程样品设计采样和最终成品的斜率复位默认值可能不同。一定要将斜率控制初始化为规定的值，确保正确的操作。

6.5.5.5 E 端口驱动强度选择寄存器 (PTEDS)

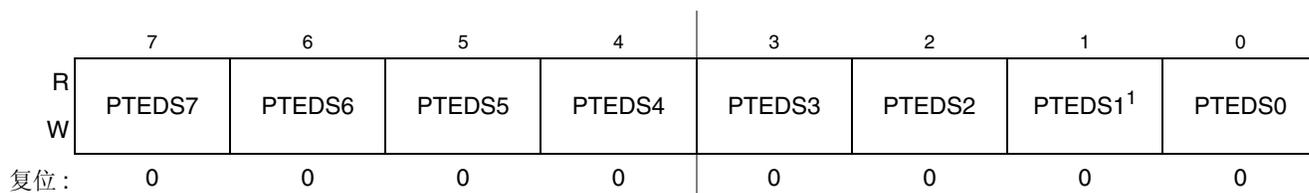


图 6-36. E 端口寄存器驱动强度选择 (PTEDS)

¹ PTEDS1 对输入 PTE1 管脚没有影响。

表 6-34. PTEDS 寄存器字段描述

字段	描述
7:0 PTEDS[7:0]	E 端口位的输出驱动强度选择 — 这些控制位为相关 PTE 管脚选择低输出驱动和高输出驱动。对于配置为输入的 E 端口管脚，这些位不会产生任何影响。 0 E 端口位 - 选择的低输出驱动强度。 1 E 端口位 - 选择的高输出驱动强度。

6.5.6 F 端口寄存器

F 端口由下列寄存器控制。

7.3.6.1 有索引、无偏移 (IX)

这个索引寻址变种将 H:X 索引寄存器对的 16 位地址作为完成指令所需的操作数地址。

7.3.6.2 有索引、无带后增量的偏移 (IX+)

这个索引寻址变种将 H:X 索引寄存器对的 16 位值作为完成指令所需的操作数地址。在获得操作数后，索引寄存器对然后被增加 ($H:X = H:X + 0x0001$)。这种寻址模式只用于 MOV 和 CBEQ 指令。

7.3.6.3 有索引、8 位偏移 (IX1)

这个索引寻址变种将 H:X 索引寄存器对和指令中不带符号的 8 位偏移作为完成指令所需的操作数地址。

7.3.6.4 有索引、带后增量的 8 位偏移 (IX1+)

这个索引寻址变种将 H:X 索引寄存器对和指令中不带符号的 8 位偏移作为完成指令所需的操作数地址。在获得操作数后，索引寄存器对然后被增加 ($H:X = H:X + 0x0001$)。这种寻址模式只用于 CBEQ 指令。

7.3.6.5 有索引、16 位偏移 (IX2)

这个索引寻址变种将 H:X 索引寄存器对和指令中的 16 位偏移作为完成指令所需的操作数地址。

7.3.6.6 SP 相关、8 位偏移 (SP1)

这个索引寻址变种将堆栈指针 (SP) 和指令中不带符号的 8 位偏移作为完成指令所需的操作数地址。

7.3.6.7 SP 相关、16 位偏移 (SP2)

这个索引寻址变种将堆栈指针 (SP) 和指令中的 16 位偏移作为完成指令所需的操作数地址。

表 7-2. 指令集小结 (第 2 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V I I H	I N Z C
BCLR <i>n,opr8a</i>	存储器里的清除位 <i>n</i> (Mn = 0)	DIR (b0) DIR (b1) DIR (b2) DIR (b3) DIR (b4) DIR (b5) DIR (b6) DIR (b7)	11 dd 13 dd 15 dd 17 dd 19 dd 1B dd 1D dd 1F dd	5 5 5 5 5 5 5 5	rfwpp rfwpp rfwpp rfwpp rfwpp rfwpp rfwpp rfwpp	- 1 1 -	- - - - -
BCS <i>rel</i>	如果进位位设置, 分支 (如果 C = 1) (同 BLO)	REL	25 rr	3	ppp	- 1 1 -	- - - - -
BEQ <i>rel</i>	如果相等, 分支 (如果 Z = 1)	REL	27 rr	3	ppp	- 1 1 -	- - - - -
BGE <i>rel</i>	如果大于或等于, 分支 (如果 N \bar{Y} V = 0) (带符号)	REL	90 rr	3	ppp	- 1 1 -	- - - - -
BGND	如果 ENBDM=1, 进入活动后台, 等待处理 BDM 命令, 直到 GO, TRACE1 或 TAGGO	INH	82	5+	fp...ppp	- 1 1 -	- - - - -
BGT <i>rel</i>	如果大于, 分支 (如果 Z (N \bar{Y} V) = 0) (带符号)	REL	92 rr	3	ppp	- 1 1 -	- - - - -
BHCC <i>rel</i>	如果半进位位清除, 分支 (如果 H = 0)	REL	28 rr	3	ppp	- 1 1 -	- - - - -
BHCS <i>rel</i>	如果半进位位设置, 分支 (如果 H = 1)	REL	29 rr	3	ppp	- 1 1 -	- - - - -
BHI <i>rel</i>	如果高于, 分支 (如果 C Z = 0)	REL	22 rr	3	ppp	- 1 1 -	- - - - -
BHS <i>rel</i>	如果高于或相同, 分支 (如果 C = 0) (同 BCC)	REL	24 rr	3	ppp	- 1 1 -	- - - - -
BIH <i>rel</i>	如果 IRQ 管脚高, 分支 (如果 IRQ 管脚 = 1)	REL	2F rr	3	ppp	- 1 1 -	- - - - -
BIL <i>rel</i>	如果 IRQ 管脚低, 分支 (如果 IRQ 管脚 = 0)	REL	2E rr	3	ppp	- 1 1 -	- - - - -
BIT # <i>opr8i</i> BIT <i>opr8a</i> BIT <i>opr16a</i> BIT <i>opr16,X</i> BIT <i>opr8,X</i> BIT <i>,X</i> BIT <i>opr16,SP</i> BIT <i>opr8,SP</i>	位测试 (A) & (M) (CCR 已更新, 但操作数没变)	IMM DIR EXT IX2 IX1 IX SP2 SP1	A5 ii B5 dd C5 hh ll D5 ee ff E5 ff F5 9E D5 ee ff 9E E5 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	- \updownarrow \updownarrow -
BLE <i>rel</i>	如果小于或等于, 分支 (如果 Z (N \bar{Y} V) = 1) (带符号)	REL	93 rr	3	ppp	- 1 1 -	- - - - -
BLO <i>rel</i>	如果小于, 分支 (如果 C = 1) (同 BCS)	REL	25 rr	3	ppp	- 1 1 -	- - - - -
BLS <i>rel</i>	如果小于或等于, 分支 (如果 C Z = 1)	REL	23 rr	3	ppp	- 1 1 -	- - - - -
BLT <i>rel</i>	如果小于, 分支 (如果 Z (N \bar{Y} V) = 1) (带符号)	REL	91 rr	3	ppp	- 1 1 -	- - - - -
BMC <i>rel</i>	如果中断屏蔽清除, 分支 (如果 I = 0)	REL	2C rr	3	ppp	- 1 1 -	- - - - -
BMI <i>rel</i>	如果减, 分支 (如果 N = 1)	REL	2B rr	3	ppp	- 1 1 -	- - - - -
BMS <i>rel</i>	如果中断屏蔽设置, 分支 (如果 I = 1)	REL	2D rr	3	ppp	- 1 1 -	- - - - -
BNE <i>rel</i>	如果不等于, 分支 (如果 Z = 0)	REL	26 rr	3	ppp	- 1 1 -	- - - - -
BPL <i>rel</i>	如果加, 分支 (如果 N = 0)	REL	2A rr	3	ppp	- 1 1 -	- - - - -

8.2.2 运行模式

MCG 有 9 种运行模式：

- FLL Engaged Internal (FEI)
- FLL Engaged External (FEE)
- FLL Bypassed Internal (FBI)
- FLL Bypassed External (FBE)
- PLL Engaged External (PEE)
- PLL Bypassed External (PBE)
- Bypassed Low Power Internal (BLPI)
- Bypassed Low Power External (BLPE)
- Stop

如需了解更多信息 8.5.1, “运行模式”。

8.3 外部信号描述

没有片外连接的 MCG 信号

8.4 寄存器定义

8.4.1 MCG 控制寄存器 1 (MCGC1)

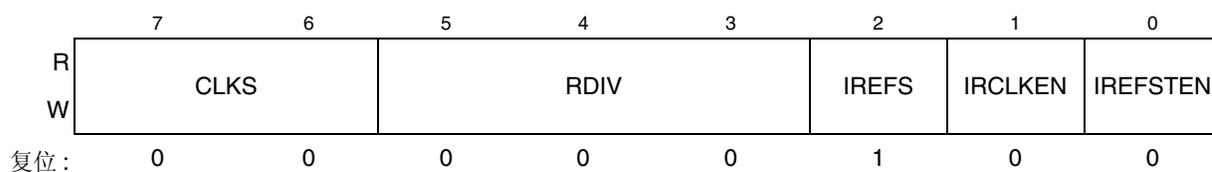


图 8-3. MCG 控制寄存器 1 (MCGC1)

8.5.1.1 FLL Engaged Internal (FEI)

FLL Engaged Internal (FEI) 是默认运行模式并且当满足下列条件时就进入该模式：

- CLKS 位写入 00
- IREFS 位写入 1
- PLLS 位写入 0
- RDIV 位写入 000。因为内部参考时钟频率在修正后应介于 31.25 kHz- 39.0625 kHz 之间，所以不需要进一步分频。

在 FLL Engaged Internal 模式中，MCGOUT 时钟源自 FLL 时钟，由内部参考时钟控制。FLL 时钟频率是由 RDIV 位选择的参考频率的 1024 倍。MCGLCLK 来自 FLL，PLL 被禁止并处于低功率状态。

8.5.1.2 FLL Engaged External (FEE)

当满足下列条件时就进入 FLL engaged External (FEE) 模式：

- CLKS 位写入 00
- IREFS 位写入 0
- PLLS 位写入 0
- RDIV 位写入介于 31.25 kHz- 39.0625 kHz 频率范围内的分频参考时钟。

在 FLL Engaged External 模式中，MCGOUT 时钟来自 FLL 时钟，由外部参考时钟控制。使能的外部参考时钟可以是外部晶体 / 谐振器，也可以是另外一个外部时钟源。FLL 时钟频率是由 RDIV 位选择的参考频率的 1024 倍。MCGLCLK 来自 FLL，PLL 被禁止并处于低功率状态。

8.5.1.3 FLL Bypassed Internal (FBI)

在 FLL Bypassed Internal (FBI) 模式中，MCGOUT 时钟来自内部参考时钟，FLL 处于运行状态但其输出时钟未使用。该模式对允许 FLL 获得目标频率非常有用，同时 MCGOUT 时钟由内部参考时钟驱动。

当满足以下条件时就进入 FLL Bypassed Internal 模式：

- CLKS 位写入 01
- IREFS 位写入 1
- PLLS 位写入 0
- RDIV 位写入 000。由于内部参考时钟频率在修正后应已经介于 31.25 kHz- 39.0625 kHz 之间，所以不需要进一步的分频。
- LP 位写入 0

在 FLL Bypassed Internal 模式中，MCGOUT 时钟源自内部参考时钟。FLL 时钟由内部参考时钟控制。FLL 时钟频率是由 RDIV 位选择的参考频率的 1024 倍。MCGLCLK 来自 FLL，PLL 被禁止并处于低功率状态。

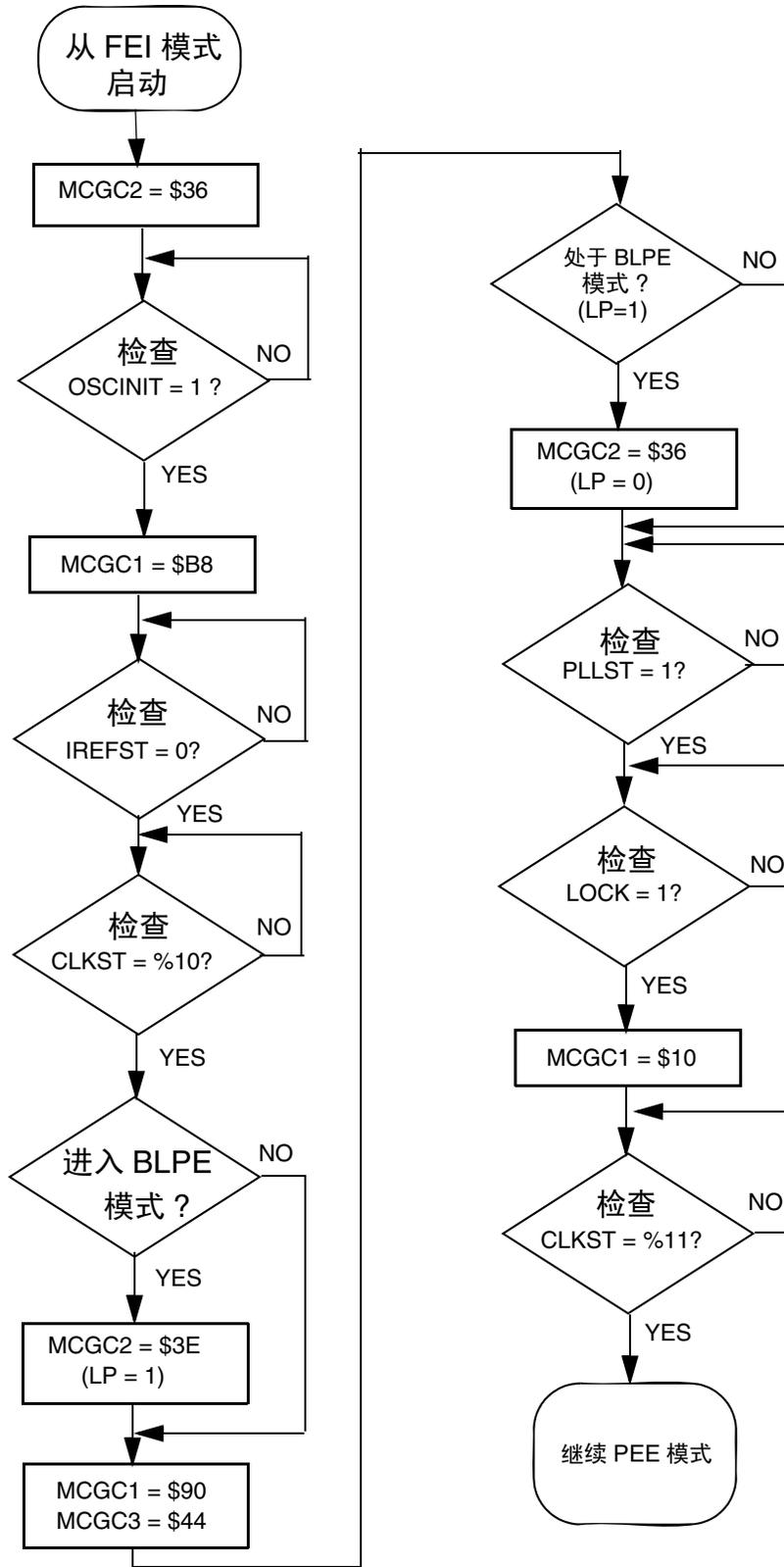


图 8-9. 使用 4 MHz 晶体从 FEI 转换到 PEE 模式的流程图

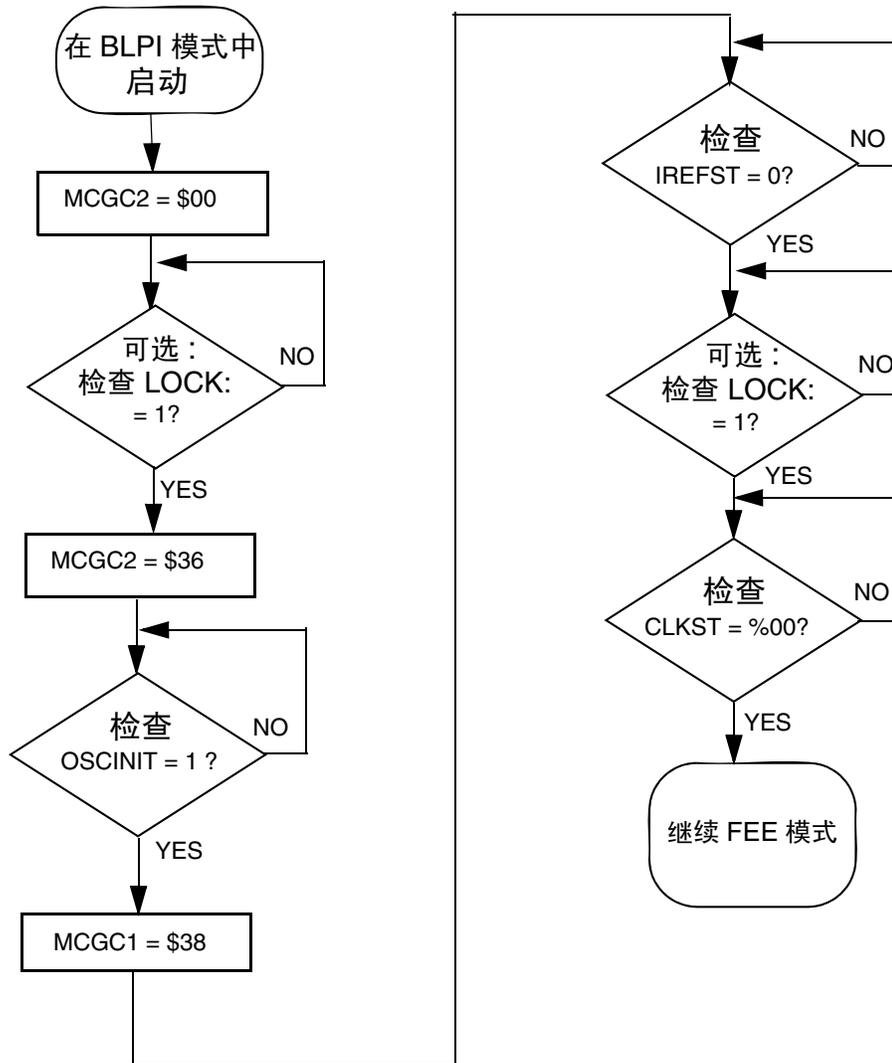


图 8-11. 使用 4 MHz 晶体从 BLPI 转换到 FEE 模式的流程图

8.6.2.4 示例 4: 从 FEI 转换到 PEE 模式: 外部晶体 = 8 MHz、总线频率 = 8 MHz

本例中，MCG 将通过适当的运行模式从 FEI 转换到 PEE 模式，直到设置 8 MHz 晶体参考频率来获得 8 MHz 的总线频率。

这个例子和第一个例子相似，只是外部晶体频率从 4 MHz 变成了 8 MHz。在这个例子中必须特别注意，因为从 FEI 模式转换到 PEE 模式的过程中，FLL 有时会基于高于 FLL 的最大允许频率的参考时钟运行。之所以出现这种情况，是因为 8 MHz 的外部晶体和 128 的最大参考分频器因子，FLL 由此得出的参考时钟的频率是 62.5 kHz（大于 39.0625 kHz 这一最大允许值）。

当 FLL 在该条件下运行时，在应用软件中应最大限度地减少在这一状态中的时间。

读取：发现最低排列顺序位设置为 1，所有其他位读为 0

写入：未处于初始化模式的任何时间

表 12-15. CANTBSEL 寄存器字段描述

字段	描述
2:0 TX[2:0]	发送缓冲器选择— 在 CANTXFG 寄存器空间里置位为 1 的最低位（例如 TX1 = 1、TX0 = 1 选择发送缓冲器 TX0；TX1 = 1、TX0 = 0 选择发送缓冲器 TX1）。如果相应 TXEx 位被清除，缓冲器被安排用于传输，所选发送缓冲器的读写接入会被拦截。（参见 12.3.6，“MSCAN 发送器标志寄存器 (CANTFLG)”）。 0 相关报文缓冲器不被选择 1 选择了相关报文缓冲器，如果是最低置 1 位

下面给出了一个 CANTBSEL 寄存器使用的简短编程示例。

Tx 为了获得下一个可用发送缓冲器，应用软件必须读取 CANTFLG 寄存器，并将该值重新写入 CANTBSE 寄存器。在该示例中，Tx 缓冲器 TX1 和 TX2 可用。从 CANTFLG 读取的值因此为 0b0000_0110。当该值重新写入 CANTBSEL 时，CANTXFG 中选择 Tx 缓冲器 TX1，因为设置为 1 的最低位处于位 1。从 CANTBSEL 重新读取该值会导致 0b0000_0010，因为只有设置为 1 的最低位显示。这种机制简化了应用软件选择下一个可用 Tx 缓冲器的逻辑。

- LDD CANTFLG; 读取值为 0b0000_0110
- STD CANTBSEL; 写入值为 0b0000_0110
- LDD CANTBSEL; 读取值为 0b0000_0010

如果取消了所有发送报文缓冲器选择，则不允许访问 CANTXFG 缓冲器寄存器

12.3.11 MSCAN 标识符验收控制寄存器 (CANIDAC)

CANIDAC 寄存器如下所述用于标识符滤波器验收控制。

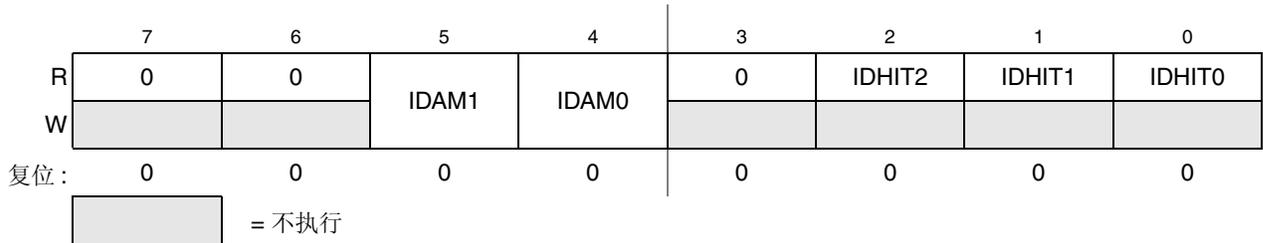


图 12-15. MSCAN 标识符验收控制寄存器 r (CANIDAC)

读取：任何时间

写入：处于初始化模式的任何时间 (INITRQ = 1 and INITAK = 1), except bits IDHITx, 只读位 IDHITx 除外。

表 12-16. CANIDAC 寄存器字段描述

字段	描述
5:4 IDAM[1:0]	标识符接收模式 — CPU 设置这种标志来定义标识符接收滤波器结构（参见 12.5.3，“标识符接收滤波器”）。表 12-17 总结了不同设置。在滤波器关闭模式中，不接收任何报文，因此前景缓冲器永远不会重载。 2:0
2:0 IDHIT[2:0]	标识符接收有效标志指示器 — MSCAN 设置这些标志来显示标识符接收有效标志（参见 12.5.3，“标识符接收滤波器”）。表 12-18 总结了不同设置。

12.5.2.1 报文发送基础

现代应用层软件的建立基于两个基本假设：

- 任何 CAN 节点都能够发送出安排好的报文流，而不需要在两条报文间释放 CAN 总线。这些节点在发送上一条报文后立即仲裁 CAN 总线，只当仲裁丢失时释放 CAN 总线。
- 安排 CAN 节点内的内部报文队列，这样，如果有多条报文准备发送时，最高优先级报文首先发出。

以上中描述的行为不能用单个发送缓冲器来实现。该缓冲器在上一条报文发送后必须立即重新加载。加载流程的持续时间有限，必须在帧间顺序（IFS）内完成，以便能够发送不中断报文流。即便这对于有限总线速度的 CAN 来说可行，但它要求 CPU 有最短的发送中断延迟时间。

双缓冲器机制能够把发送缓冲器的重新加载和实际的报文发送分开，因此降低了 CPU 的响应要求。问题可能出在完成报文的发送时 CPU 正重新加载第二个缓冲器，这时没有缓冲器做好发送准备，CAN 总线会被释放。

无论在什么情况下，至少需要三个发送缓冲器来满足上述第一个要求。MSCAN 有三个发送缓冲器。

第二个要求需要某些类型的内部优先排队，MSCAN 用 12.5.2.2，“发送结构”中描述的“本地优先级”来执行该优先排队。

12.5.2.2 发送结构

MSCAN 三重发送缓冲器机制允许提前建立多条报文，从而优化了实时性能。这三个缓冲器的安排如图 12-38. 所示。

这三个缓冲器都具有类似接收缓冲器的 13 字节数据结构（参见 12.4，“报文存储模式”）。

12.4.5，“发送缓冲器优先寄存器 (TBPR)”包含 8 位本地优先级字段（PRIO）（参见 12.4.5，“发送缓冲器优先寄存器 (TBPR)”）。剩下的两个字节用于报文的时间标签，如果需要的话（参见 12.4.6，“时间标签寄存器 (TSRH - TSRL)”）。

要发送报文，CPU 必须确定可用的发送缓冲器，这由置位的发送器缓冲器空（TXEx）标志（参见 12.3.6，“MSCAN 发送器标志寄存器 (CANTFLG)”）表示。如果发送缓冲器可用，CPU 必须通过写入 CANTBSEL 寄存器（参见 12.3.10，“MSCAN 发送缓冲器选择寄存器 (CANTBSEL)”），为该缓冲器设置一个指针。这使得各自的缓冲器能够在 CANTXFG 地址空间内访问（参见 12.4，“报文存储模式”）。与 CANTBSEL 寄存器有关的算法功能简化了发送缓冲器选择。此外，这种机制使程序软件处理更为简单，因为发送流程只需访问一个地址，节省所需地址空间。

然后，CPU 将标识符、控制位和数据内容保存到一个发送缓冲器。最后，通过清除相关 TXE 标志，缓冲器标志为发送准备就绪。

MSCAN 然后安排报文发送，并通过设置相关 TXE 标志，通知缓冲器成功发送。当设置了 TXEx，可触发发送中断（参见 12.5.7.2，“发送中断”）¹，能够用来使应用软件重新加载缓冲器。

1. 只有当未屏蔽时才会发生发送中断。轮询机制也可应用于 TXEx。

若 $CPHA = 1$ ，则当处于活跃低态时，辅器件开始驱动其 MISO 输出，但直到出现第一个 SPSCK 边沿时才定义数据。第一个 SPSCK 边沿将数据的第一位从移位器转移到主 SPI 器件的 MOSI 输出和辅 SPI 器件的 MISO 输出。第二个 SPSCK 边沿促使主 SPI 器件和辅 SPI 器件分别在它们的 MISO 和 MOSI 输入上进行数据位值采样。在第三个 SPSCK 边沿，SPI 移位器移动 1 个位位置，移到刚刚采样的位值中，将第二个数据位值移出移位器的另一端，分别移到主 SPI 器件和辅 SPI 器件的 MOSI 和 MISO 输出。若 $CPHA = 1$ ，不需要辅 SPI 器件的 SS 输入在两个传输之间进入非激活的高电平状态。

图 13-11 显示了 $CPHA = 0$ 时的时钟格式。在图的顶部，显示了 8 个位时间，作为参考。当选择辅时钟时（SS IN 进入低态），第一个位就开始，第八个位结束于最后一个 SPSCK 边沿。MSB First 和 LSB First 线根据 LSBFE 中的设置显示了 SPI 数据位的顺序。SPSCK 极性的两个变化都显示了出来，但这两个波形中只有一个适用于特定传输，具体哪一个取决于 CPOL 中的值。SAMPLE IN 波形适用于辅器件的 MOSI 输入或主器件的 MISO 输入。MOSI 波形适用于主器件的 MOSI 输出管脚，MISO 波形适用于辅器件的 MISO 输出。SS OUT 波形适用于主器件的辅选择输出（如果 MODFEN，SSOE = 1）。传输的第一位时间开始时，主器件的 SS 输出处于活跃低态，在传输的第 8 个位时间结束后的半个 SPSCK 周期时返回高态。SS IN 波形适用于辅器件的辅选择输入。

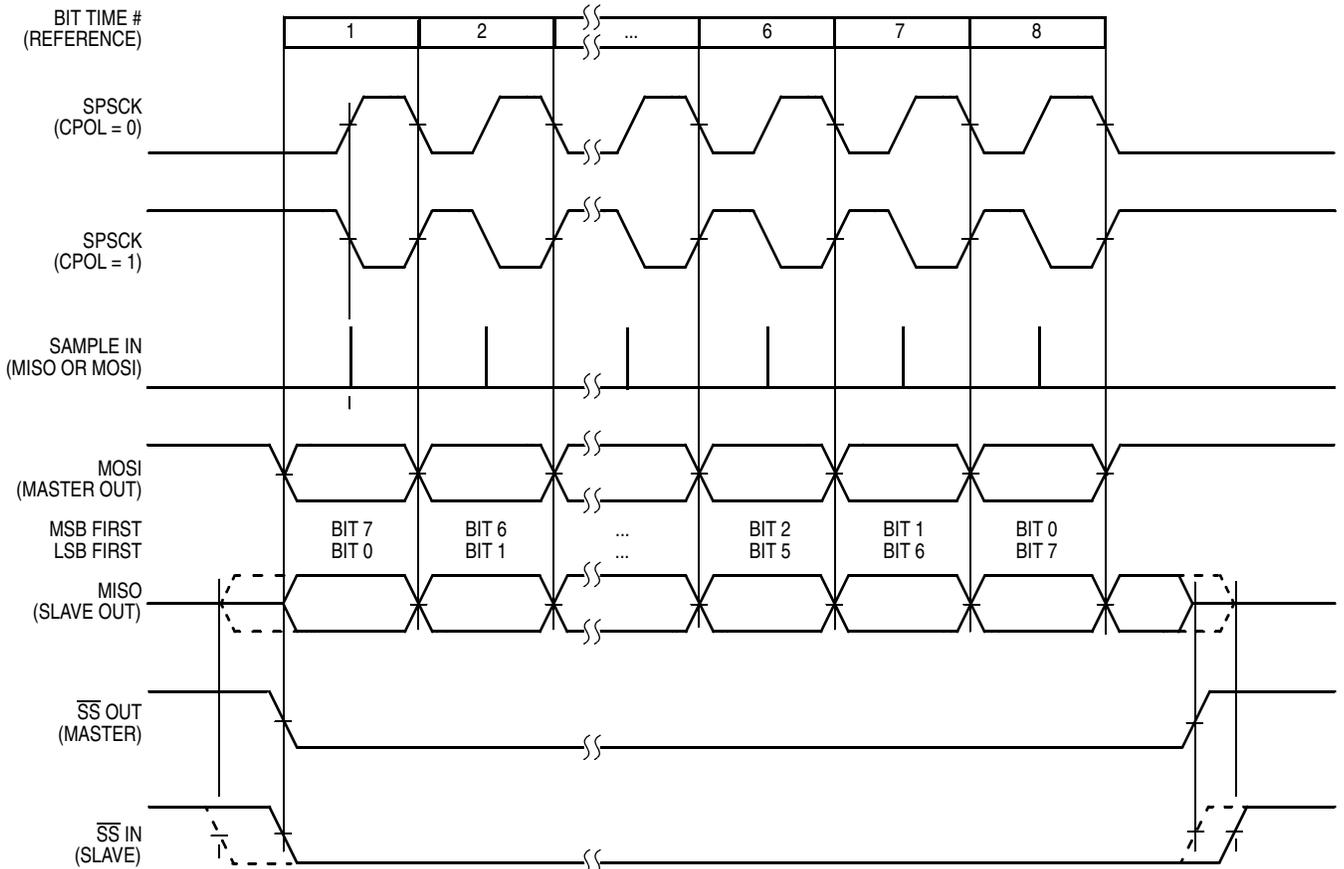


图 13-11. SPI 时钟格式 ($CPHA = 0$)

表 14-5. SC1xC2 字段说明 (continued)

字段	描述
2 RE	接收器使能 — 当 SCI 接收器关闭时, RxD 管脚恢复为通用端口 I/O 管脚。如果 LOOPS = 1, RxD 管脚恢复为通用 I/O 管脚, 即使 RE = 1。 0 接收器关闭。 1 接收器打开。
1 RWU	接收器唤醒控制 — 该位可以写入 1, 将 SCI 接收器置于待机状态, 等待所选唤醒条件的自动硬件检测。唤醒条件既可以是信息间的闲置线路 (WAKE = 0, 闲置线路唤醒), 也可以是某个字符中最高数据位中的逻辑 1 (WAKE = 1, 地址标记唤醒)。应用软件设置 RWU, (正常情况下) 且所选的硬件条件自动清除 RWU。如需了解更多信息, 14.3.3.2, “接收器唤醒操作”。 0 正常的 SCI 接收器运行。 1 处于待机状态的 SCI 接收器等待唤醒条件。
0 SBK	发送中止字符 — 先后将 1 和 0 写入 SBK, 即在发送数据流中排入了一个中止字符。只要 SBK=1, 多达 10 或 11 (如果 BRK13 = 1, 则为 13 或 14 位) 位时间的逻辑 0 中止字符被加入队列。根据当前正在发送信息有关的 SBK 的设置和清除时间, 第二个中止字符可以在软件清除 SBK 前排入队列。如需了解更多信息, 14.3.2.1, “发送中断和排队闲置”。 0 正常的发射器运行。 1 将发送的队列中止字符。

14.2.4 SCI 状态寄存器 1 (SC1xS1)

该寄存器有 8 种只读状态标记。写没有影响, 特殊软件顺序 (不包括写入该寄存器) 用来清除这些状态标记。

	7	6	5	4	3	2	1	0
R	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF
W								
复位	1	1	0	0	0	0	0	0

= 不执行或预留

图 14-8. SCI 状态寄存器 1(SC1xS1)

表 14-6. SC1xS1 字段描述

字段	描述
7 TDRE	发送数据寄存器空标记 — TDRE 设置于复位, 当发送数据值从发送数据缓冲器传输到发送移位器时, 就在缓冲器中为新字符留出空间。要清除 TDRE, 当 TDRE = 1 时读 SC1xS1, 然后写入 SCI 数据寄存器 (SC1xD)。 0 发送数据寄存器 (缓冲器) 已满。 1 发送数据寄存器 (缓冲器) 为空。
6 TC	发送完成标记 — TC 设置于复位, 当 TDRE = 1 时, 无数据、前导信号或中止字符在发送。 0 发射器活动 (发送数据、前导信号或中止字符)。 1 发射器闲置 (发送活动完成) 当 TC = 1 时读取 SC1xS1 时可以自动清除 TC, 然后进行以下三种操作中一种: <ul style="list-style-type: none"> • 写入 SCI 数据寄存器 (SC1xD), 以发送新数据 • 通过把 TE 从 0 变为 1, 排队前导信号 • 将 1 写入 SC1xC2 中的 SBK, 排队中止字符。

第 17 章 开发支持

17.1 介绍

HCS08 中的开发支持系统包括背景调试控制器 (BDC) 和片上调试模块 (DBG)。BDC 提供单线调试接口，与目标连接，通过这个接口可以方便地进行片上闪存和其它非易失性存储器的编程。BDC 也是开发用的主要调试接口，允许以非侵入式方式存取存储器数据和传统调试功能，如 CPU 寄存器修改、断点和单指令跟踪命令等。

在 HCS08 产品系列中，外部管脚不包括地址和数据总线信号（即使在测试模式也不包括）。调试的执行是通过单线背景调式接口向目标 MCU 传输命令来实现的。调试模块提供了一种有选择性地触发和捕获总线信息的方式，这样外部开发系统可以对 MCU 内发生的事件按周期进行重现，而不需要从外部存取 MCU 的地址和数据信号。

17.1.1 强制激活背景调试

强制激活背景调试模式的方式取决于具体的 HCS08 衍生产品。对，你可以在上电复位后强制激活背景调试，即当器件退出复位时保持 BKGD 引脚为低。你还可以通过将 SBDFR 寄存器的 BDFR 位置 1 的串行背景调试命令之后拉低 BKGD 管脚从而强制激活背景调试中的 BKGD 管脚后立即使低。如果没有调试盒连接到 BKGD 管脚，MCU 将总是复位到正常操作模式。

17.1.2 特性

BDC 模块的特性包括：

- 单引脚进行模式选择和背景调试通信
- BDC 的寄存器不位于存储器地址中
- SYNC 命令确定目标通信速率
- 非侵入式命令进行存储器存取
- 供 CPU 寄存器存取的激活背景调试模式命令
- GO 和 TRACE1 命令
- 背景调试命令可以将 CPU 从停止模式或等待模式中唤醒
- BDC 内置一个硬件地址断点
- 如果 BDC 使能，则振荡器运行在停止模式
- 处于激活背景调试模式时，COP 看门狗禁止

ICE 系统的特性包括：

- 两个触发比较器：两个地址 + 读 / 写 (R/W) 或一个完整地址 + 数据 + R/W
- 灵活的 8-word x 16-bit FIFO (先进先出) 缓存，用于捕获信息：
 - 流程变化的地址 或
 - 纯事件数据
- 两个类型的断点：
 - 指令操作码的标记断点
 - 任何地址存取的强制断点
- 九个触发模式：
 - 基本：只有 A, A 或 B
 - 顺序：A 然后 B
 - 全部：A 和 B 数据, A 和非 B 数据
 - 事件 (存储数据): 纯事件 B, A 然后纯事件 B
 - 范围：在范围以内 ($A \leq \text{地址} \leq B$), 在范围以外 (地址 $< A$ 或地址 $> B$)

在输入捕获模式中，读取任何一个字节（无论是 TPMxCnVH 还是 TPMxCnVL）都会使两个字节的內容被锁入到缓冲器中。这些內容一直锁定在这个缓冲器中，直到另一个字节被读取。当 TPMxCnSC 寄存器被写入时，锁存机制可复位（变为未锁存状态）。

在输出对比或 PWM 模式中，写入任何一个字节（无论是 TPMxCnVH 还是 TPMxCnVL）都会使该值被锁入到缓冲器中。两个字节都被写入后，它们会作为连贯的 16 位值传输到定时器通道值寄存器中。这一锁存机制可以通过写入 TPMxCnSC 寄存器来人工进行复位。

这种锁定机制允许以任何顺序进行连贯的 16 位写入，这对各种编译器实施方案都很友好。

B.6 功能介绍

所有 TPM 功能都与允许灵活选择时钟源和预分频器的 16 位主计数器相关。此外，16 位模数寄存器还与 TPM 中的 16 位主计数器相关。每个 TPM 通道可与 MCU 管脚及可屏蔽的中断功能相关。

TPM 具有中央对齐的功能（由 TPMxSC 中 CPWMS 控制位控制）。当 CPWMS 被设置为 1 时，定时器计数器 TPMxCNT 改变为向上 / 向下计数器并且相关 TPM 中的所有通道都作为中央对齐的 PWM 通道。当 CPWMS=0 时，每个通道可独立配置，以便以输入捕获、输出对比或缓冲的边缘对齐 PWM 模式运行。

后面各小节介绍 16 位主计数器和计数器的每种运行模式（输入捕获、输出对比、边缘对齐 PWM 和中央对齐 PWM）。因为管脚运行和中断活动的细节取决于操作模式，这些主题将在相关模式的章节中介绍。

B.6.1 计数器

所有定时器功能都基于 16 位主计数器（TPMxCNTH:TPMxCNTL）。本小节讨论时钟源选择、向上计数和向下计数、计数结束溢出和手动计数器复位。

在任何 MCU 复位后，CLKSB:CLKSA = 0:0，所以没有选择时钟源，并且 TPM 是不活动的。正常情况下，CLKSB:CLKSA 将设置为 0:1，使总线时钟驱动定时器计数器。TPM 的时钟源可以选为关闭、总线时钟（BUSCLK）、固定系统时钟（XCLK）或外部输入。外部时钟方法的最大允许频率为总线速率的 1/4。参见 B.5.1，“定时器状态和控制寄存器 (TPMxSC)”及表 B-2 了解有关时钟源的更多信息。

当微控制器处于活动后台模式时，TPM 会临时挂起所有计数，直到微控制器返回到正常用户操作模式。在停止模式下，所有 TPM 时钟被停止；因此在时钟恢复前，TPM 一直被有效地关闭。在等待模式期间，TPM 继续正常运行。

16 位主计数器有两种计数模式。选择中央对齐 PWM 时（CPWMS = 1），计数器以向上 / 向下计数模式运行。否则，计数器作为简单的向上计数器运行。用作向上计数器时，16 位主计数器从 0x0000 开始计数，直到终端计数，然后重新从 0x0000 开始。最大计数为 0xFFFF 或 TPMxMODH:TPMxMODL 中的模数值。

当规定了中央对齐 PWM 操作时，计数器从 0x0000 向上计数，直到达到终端计数，然后向下计数到 0x0000，再从这里向上计数。0x0000 和终端计数值（TPMxMODH:TPMxMODL 中的值）为正常长度计数（一个定时器时钟周期长度）。