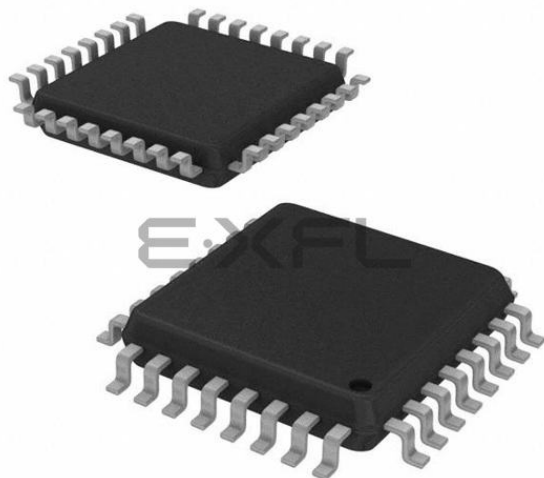




Welcome to E-XFL.COM

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	32KB (32K x 8)
Program Memory Type	FLASH
EEPROM Size	1K x 8
RAM Size	2K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 105°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz32vlc

表 3-2. 停止模式

外围设备	模式	
	Stop2	Stop3
CPU	关闭	待机
RAM	待机	待机
Flash/EEPROM	关闭	待机
并行端口寄存器	关闭	待机
ACMP	关闭	关闭
ADC	关闭	可选择开启 ¹
IIC	关闭	待机
MCG	关闭	可选择开启 ²
MSCAN	关闭	待机
RTC	可选择开启 ³	可选择开启 ³
SCI	关闭	待机
SPI	关闭	待机
TPM	关闭	待机
电压调节器	关闭	可选择开启 ⁴
XOSC	关闭	可选择开启 ⁵
I/O 管脚	状态被保持	状态被保持
BDM	关闭 ⁶	可选择开启
LVD/LVW	关闭 ⁷	可选择开启

¹ 要求启用 DC 时钟和 LVD，否则为待机。

² MCGC1 中设置 IRCLKEN 和 IREFSTEN，否则为待机。

³ 要求启用 RTC，否则为待机。

⁴ 要求启用 LVD 或 BDC。

⁵ MCGC2 中设置 ERCLKEN 和 EREFSTEN，否则为待机。在高频率范围（MCGC2 中设置 RANGE）还要求在 Stop3 中启用 LVD。

⁶ 如果进入 Stop2 模式时设置了 ENBDM，MCU 实际上会进入 Stop3 模式。

⁷ 如果进入 Stop2 模式时设置了 LVDSE，MCU 实际上会进入 Stop3 模式。

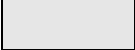
表 5-10. SPMSC1 寄存器字段描述

字段	描述
4 LVDRE	低压检测复位使能 — 这个 write-once 位支持 LVD 事件生成硬件复位（假设 LVDE = 1）。 0 LVD 事件不生成硬件复位。 1 当发生使能的低压检测事件时，强制实行 MCU 复位。
3 LVDSE	低压检测停止使能 — 假设 LVDE = 1，这个读 / 写位决定当 MCU 处于停止模式时是否操作低压检测功能。 0 停止模式期间低压检测禁止。 1 停止模式期间低压检测使能。
2 LVDE	低压检测使能 — 这个 write-once 位支持低压检测逻辑，并且限定该寄存器中的其他位的操作。 0 LVD 逻辑禁止。 1 LVD 逻辑使能。
0 BGBE	带隙缓冲器使能 — 这个位支持内部缓冲器，提供带隙电压参考，可供任何一个内部通道上的 ADC 和 ACMP 模块使用。 0 带隙缓冲器禁止。 1 带隙缓冲器使能。

5.8.8 系统电源管理状态和控制寄存器 2 (SPMSC2)

该寄存器用来报告低压警告功能状态，配置 MCU 的停止模式行为。该寄存器应在用户复位初始化程序期间写入，以设置期望的控制，即便期望的设置与复位设置相同。

	7	6	5	4	3	2	1	0
R	0	0	LVDV ¹	LVWV	PPDF	0	0	PPDC ²
W						PPDACK		
加电复位：	0	0	0	0	0	0	0	0
LVD 复位：	0	0	u	u	0	0	0	0
其他复位：	0	0	u	u	0	0	0	0

 = 未实现或预留

u = 未受复位影响

¹ 加电复位后，这个位只能写入一次。其他写入被忽略。

² 复位后这个字节只能写入一次。其他写入被忽略。

图 5-10. 系统电源管理状态和控制寄存器 2 (SPMSC2)

表 5-11. SPMSC2 寄存器字段描述

字段	描述
5 LVDV	低压检测电压选择 — 这个单次写入有效的位选择低压检测（LVD）跳变点设置。它还选择警告电压范围。参见表 5-12。
4 LVWV	低压警告电压选择 — 这个位选择低压警告（LVW）跳变点电压。参见表 5-12。
3 PPDF	局部断电标志 — 这个只读状态位显示 MCU 已经从 STOP2 模式中恢复。 0 MCU 还没有从 STOP2 模式中恢复。 1 MCU 已经从 STOP2 模式中恢复。

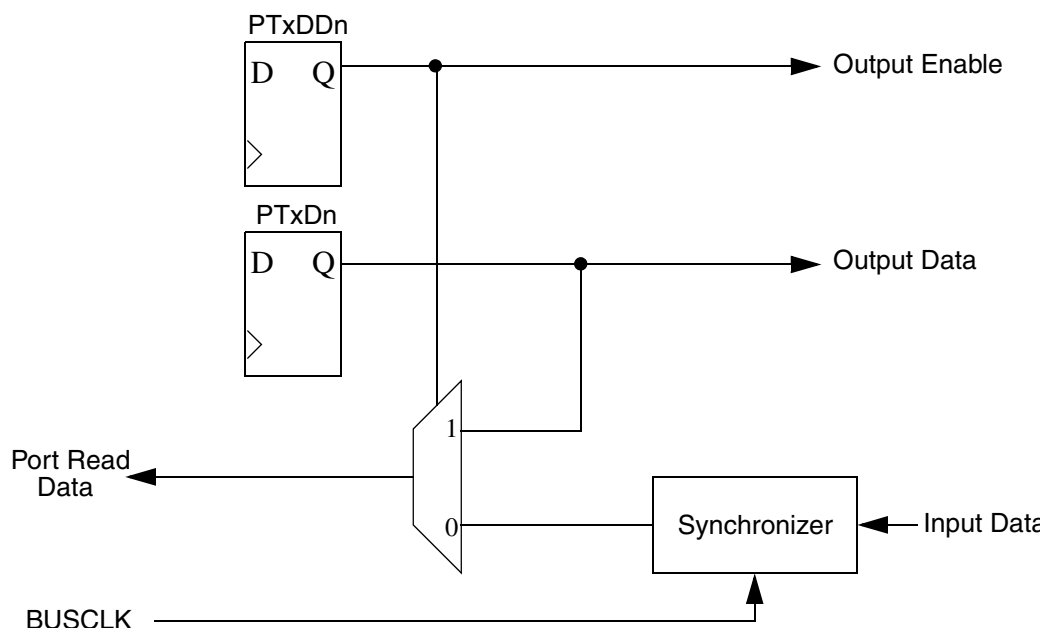


图 6-1. 并行输入 / 输出示意图

6.2 上拉、斜率和驱动强度

与并行输入/输出端口相关的是位于高页寄存器空间的一套寄存器，它们的操作独立于输入/输出寄存器。这些寄存器用来控制管脚的上拉、斜率和驱动强度。

在上拉寄存器（PTxPEn）中设置对应的位可以为所对应的端口管脚使能内部上拉器件。如果并行输入 / 输出控制逻辑或任何外围设备功能将管脚配置为输出，上拉器件就会被禁止，这与对应的上拉寄存器位的状态无关。如果管脚由模拟功能控制，上拉器件同样会被禁止。

在斜率控制寄存器（PTxSEn）中设置对应的位可以为所对应的端口管脚使能斜率控制。该功能启动时，转换控制限制输出的转换速度，减少 EMC 发射。斜率控制对配置为输入的管脚没有任何影响。

注意

工程样品和最终成品的斜率复位默认值可能不同。一定要将斜率控制初始化为规定的值，以保证正确的操作。

在驱动强度选择寄存器（PTxDSn）中设置对应的位可以选择一个具有高输出驱动强度的输出管脚。选定好高驱动后，管脚就能够送出和吸收更大的电流。即使可以将每个 I/O 管脚选择为高驱动，用户也必须保证不超出 MCU 的总送出和吸收电流限制。驱动强度选择旨在影响 I/O 管脚的 DC 行为，然而，AC 行为也会受到影响。高驱动允许管脚以与低驱动使能管脚在更小负载中一样的交换速度，驱动更大的负载。正因为如此，EMC 放射可能会由于使能管脚作为高驱动而受到影响。

6.5.4.6 D 端口中断状态和控制寄存器 (PTDSC)

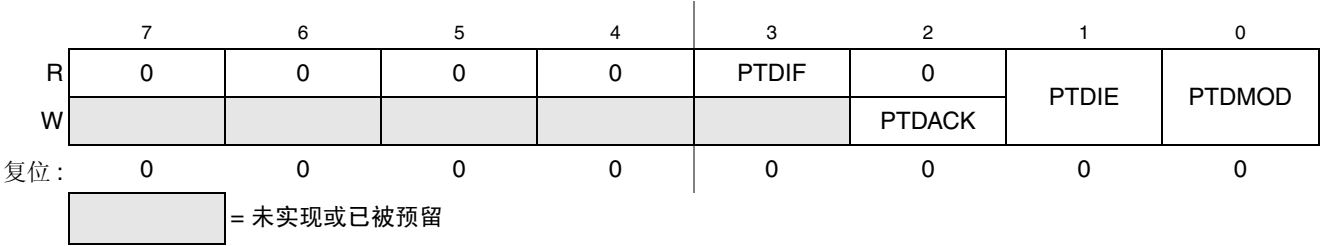


图 6-29. D 端口中断状态和控制寄存器 (PTDSC)

表 6-27. PTDSC 寄存器字段描述

字段	描述
3 PTDIF	D 端口中断标志 — PTDIF 显示是否检测到 D 端口中断。写入对 PTDIF 没有任何影响。 0 未检测到 D 端口中断。 1 检测到 D 端口中断。
2 PTDACK	D 端口中断确认 — 向 PTDACK 写入 1 是标记清除机制的一部分。PTDACK 的读数总为 0。
1 PTDIE	D 端口中断功能 — PTDIE 决定是否请求 D 端口中断。 0 D 端口中断请求禁止。 1 D 端口中断请求使能。
0 PTDMOD	D 端口检测模式 — PTDMOD (同 PTDES 位一起) 控制着 D 端口中断管脚的检测模式。 0 D 端口管脚只检测边沿。 1 D 端口管脚同时检测边沿和电平。

6.5.4.7 D 端口中断管脚选择寄存器 (PTDPS)

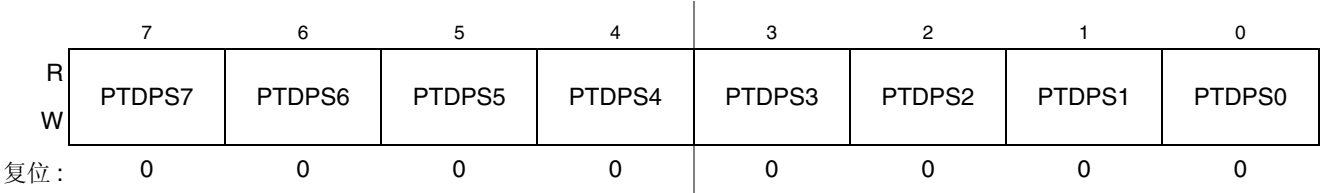
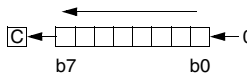
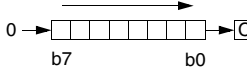


图 6-30. D 端口中断管脚选择寄存器 (PTDPS)

表 6-28. PTDPS 寄存器字段描述

字段	描述
7:0 PTDPS[7:0]	D 端口中断管脚选择 — 每个 PTDPSn 位都允许相应的 D 端口中断管脚。 0 管脚禁止中断。 1 管脚允许中断。

表 7-2. 指令集小结 (第 5 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V I 1 H	I N Z C
INC <i>opr8a</i> INCA INCX INC <i>opr8,X</i> INC ,X INC <i>opr8,SP</i>	增量 $M^-(M) + \$01$ $A^-(A) + \$01$ $X^-(X) + \$01$ $M^-(M) + \$01$ $M^-(M) + \$01$ $M^-(M) + \$01$	DIR INH INH IX1 IX SP1	3C dd 4C 5C 6C ff 7C 9E 6C ff	5 1 1 5 4 6	r fwpp p p r fwpp r fwp p rfwpp	↑ 1 1 -	- ↓ ↓ -
JMP <i>opr8a</i> JMP <i>opr16a</i> JMP <i>opr8,X</i> JMP <i>opr8,X</i> JMP ,X	跳转 PC ← 跳转地址	DIR EXT IX2 IX1 IX	BC dd CC hh ll DC ee ff EC ff FC	3 4 4 3 3	ppp pppp pppp ppp ppp	- 1 1 -	- - - -
JSR <i>opr8a</i> JSR <i>opr16a</i> JSR <i>opr8,X</i> JSR <i>opr8,X</i> JSR ,X	跳转到子程序 $PC^-(PC) + n$ ($n = 1, 2, \text{或 } 3$) 推 (PCL); $SP^-(SP) - \$0001$ 推 (PCH); $SP^-(SP) - \$0001$ PC ← 无条件地址	DIR EXT IX2 IX1 IX	BD dd CD hh ll DD ee ff ED ff FD	5 6 6 5 5	ssppp pssppp pssppp ssppp ssppp	- 1 1 -	- - - -
LDA # <i>opr8i</i> LDA <i>opr8a</i> LDA <i>opr16a</i> LDA <i>opr8,X</i> LDA <i>opr8,X</i> LDA ,X LDA <i>opr8,SP</i> LDA <i>opr8,SP</i>	从存储器那里加载累加器 $A^-(M)$	IMM DIR EXT IX2 IX1 IX SP2 SP1	A6 ii B6 dd C6 hh ll D6 ee ff E6 ff F6 9E D6 ee ff 9E E6 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	- ↓ ↓ -
LDHX # <i>opr16i</i> LDHX <i>opr8a</i> LDHX <i>opr16a</i> LDHX ,X LDHX <i>opr8,X</i> LDHX <i>opr8,X</i> LDHX <i>opr8,SP</i>	加载索引寄存器 (H:X) $H:X^-(M:M + \$0001)$	IMM DIR EXT IX IX2 IX1 SP1	45 jj kk 55 dd 32 hh ll 9E AE 9E BE ee ff 9E CE ff 9E FE ff	3 4 5 5 6 5 5	ppp rrpp prpp prfp pprrpp prpp prpp	0 1 1 -	- ↓ ↓ -
LDX # <i>opr8i</i> LDX <i>opr8a</i> LDX <i>opr16a</i> LDX <i>opr8,X</i> LDX <i>opr8,X</i> LDX ,X LDX <i>opr8,SP</i> LDX <i>opr8,SP</i>	从存储器那里加载 X (索引寄存器低) $X^-(M)$	IMM DIR EXT IX2 IX1 IX SP2 SP1	AE ii BE dd CE hh ll DE ee ff EE ff FE 9E DE ee ff 9E EE ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	- ↓ ↓ -
LSL <i>opr8a</i> LSLA LSLX LSL <i>opr8,X</i> LSL ,X LSL <i>opr8,SP</i>	逻辑左移位 t  (同 ASL)	DIR INH INH IX1 IX SP1	38 dd 48 58 68 ff 78 9E 68 ff	5 1 1 5 4 6	r fwpp p p r fwpp r fwp p rfwpp	↑ 1 1 -	- ↓ ↓ ↓
LSR <i>opr8a</i> LSRA LSRX LSR <i>opr8,X</i> LSR ,X LSR <i>opr8,SP</i>	逻辑右移位 t 	DIR INH INH IX1 IX SP1	34 dd 44 54 64 ff 74 9E 64 ff	5 1 1 5 4 6	r fwpp p p r fwpp r fwp p rfwpp	↑ 1 1 -	- 0 ↓ ↓

下列代码顺序描述了如何从 FEI 模式转换到 PEE 模式，直到设置 8 MHz 晶体参考频率来获得 8 MHz 总线频率。因为 MCG 复位后处于 FEI 模式，本例还显示了如何初始化 MCG，以实现在复位后进入 PEE 模式。示例中首先介绍了代码序列，然后提供了一个演示该顺序的流程图。

1. 首先，FEI 必须转换到 FBE 模式：

a) MCGC2 = 0x36 (%00110110)

- BDIV 位 7 和 6) 设置为 %00 或除以 1。
 - RANGE (位 5) 设置为 1，因为 8 MHz 的频率属于高频范围。
 - HGO (位 4) 设置为 1，为高增益运行配置外部振荡器。
 - EREFS (位 2) 设置为 1，因为正在使用晶体。
 - ERCLKEN (位 1) 设置为 1，确保外部参考时钟处于活动状态。
- b) 循环检测，直到 MCGSC 中的 OSCINIT (位 1) 是 1，表明 EREFS 位选择的晶体已经完成初始化。
- c) 禁止中断 (如果适用，在 CCR 中设置中断位)。
- d) MCGC1 = 0xB8 (%10111000)
- CLKS (位 7 和 6) 设置为 %10，以便将外部参考时钟选择为系统时钟源。
 - RDIV (位 5-3) 设置为 %111 或除以 128。

注意

$8 \text{ MHz} / 128 = 62.5 \text{ kHz}$ ，这大于 FLL 要求的 $31.25 \text{ kHz} \text{ -- } 39.0625 \text{ kHz}$ 频率范围。因此，当 FBE 的转换完成后，必须通过在软件中设置 MCGC2 中 LP 位，让 MCG 立即进入 BLPE 模式。

- IREFS 位 2) 清除至 0，选择外部参考时钟。
- e) 循环检测，直到 MCGSC 中的 IREFST (位 4) 是 0，表明外部参考是参考时钟的当前源。
- f) 循环检测，直到 MCGSC 中的 CLKST (位 3 和 2) 是 %10，表明已经选择外部参考时钟为 MCGOUT 馈电。

2. 然后，从 FBE 模式转换到 BLPE 模式：

a) MCGC2 = 0x3E (%00111110)

- MCGC2 中的 LP (位 3) 为 1 (已进入 BLPE 模式)

注意

在 1d 和 2a 步骤间没有额外步骤 (包括中断)。

- b) 使能中断 (如果适用，清除 CCR 中的中断位)
- c) MCGC1 = 0x98 (%10011000)
- RDIV (位 5-3) 设置为 %011 或除以 8，因为 $8 \text{ MHz} / 8 = 1 \text{ MHz}$ ，这在 PLL 要求的 $1 \text{ MHz} \text{ -- } 2 \text{ MHz}$ 频率范围内。在 BLPE 模式中，RDIV 的配置不重要，因为 FLL 和 PLL 都被禁止。更改它们只会为 PLL 建立在 PBE 模式中使用的分频器。
- d) MCGC3 = 0x44 (%01000100)
- PLLS (位 6) 设置为 1，选择 PLL。在 BLPE 模式中，更改该位只会使 MCG 准备在 PBE 模式中的 PLL 使用。

表 10-1. ADC 通道分配

ADCH	通道	输入	ADCH	通道	输入
00000	AD0	PTA0/ADP0/MCLK	01111	AD15	PTB7/ADP15
00001	AD1	PTA1/ADP1/ACMP1+	10000	AD16	PTC0/ADP16
00010	AD2	PTA2/ADP2/ACMP1P-	10001	AD17	PTC1/ADP17
00011	AD3	PTA3/ADP3/ACMP1O	10010	AD18	PTC2/ADP18
00100	AD4	PTA4/ADP4	10011	AD19	PTC3/ADP19
00101	AD5	PTA5/ADP5	10100	AD20	PTC4/ADP20
00110	AD6	PTA6/ADP6	10101	AD21	PTC5/ADP21
00111	AD7	PTA7/ADP7	10110	AD22	PTC6/ADP22
01000	AD8	PTB0/ADP8	10111	AD23	PTC7/ADP23
01001	AD9	PTB1/ADP9	11000– 11001	AD24 through AD25	预留
01010	AD10	PTB2/ADP10	11010	AD26	温度传感器 ¹
01011	AD11	PTB3/ADP11	11011	AD27	内部隙带 ²
01100	AD12	PTB4/ADP12	11100	预留	预留
01101	AD13	PTB5/ADP13	11101	V _{REFH}	V _{REFH}
01110	AD14	PTB6/ADP14	11110	V _{REFL}	V _{REFL}

10.1.3 替代时钟

ADC 模块的时钟源可以是 MCU 总线时钟，总线时钟二分频，模块内的本地异步时钟（ADACK）或替代时钟 ALTCLK。MC9S08DZ60 系列 MCU 器件的替代时钟是外部参考时钟（MCGERCLK）。

所选的时钟源必须运行在一定的频率范围内，这样 ADC 转换时钟 (ADCK) 就可以通过 ADIV 位的设置，在从 ALTCLK 分频后，运行在指定的频率范围 (f_{ADCK}) 内。

当 MCU 处于等待模式时，ALTCLK 是使能的 (满足以上条件)。这使得当 MCU 处于等待模式时，ALTCLK 可以用作 ADC 的工作时钟源。

当 MCU 处于 STOP2 或 STOP3 时，ALTCLK 不能用作 ADC 工作时钟源。

表 10-6. 时钟分频选择

ADIV	分频率	时钟率
00	1	输入时钟
01	2	输入时钟 ÷ 2
10	4	输入时钟 ÷ 4
11	8	输入时钟 ÷ 8

表 10-7. 转换模式

模式	模式描述
00	8 位转换 (N=8)
01	12 位转换 (N=12)
10	10 位转换 (N=10)
11	保留

表 10-8. 输入时钟选择

ADICLK	所选的时钟源
00	总线时钟
01	总线时钟除以 2
10	替代时钟 (ALTCLK)
11	异步时钟 (ADACK)

10.4.8 管脚控制寄存器 1 (APCTL1)

管脚控制寄存器用来禁止对模拟输入的 MCU 管脚作为 I/O 端口控制，APCTL1 用来控制这些管脚与 ADC 模块通道 0-7 的连接。

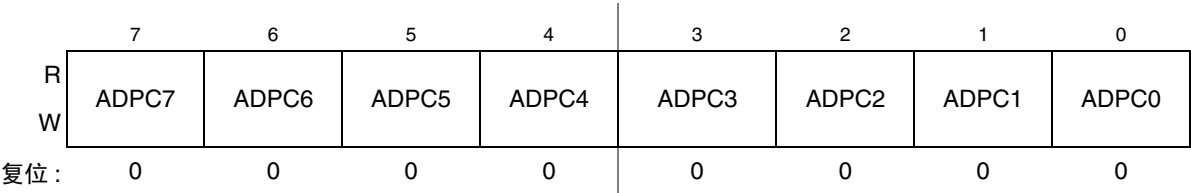


图 10-11. 管脚控制寄存器 1 (APCTL1)

表 10-10. APCTL2 寄存器字段描述

字段	描述
7 ADPC15	ADC 管脚控制 15 — ADPC15 用来控制与通道 AD15 连接的管脚。 0 AD15 管脚 I/O 控制使能 1 AD15 管脚 I/O 控制禁止
6 ADPC14	ADC 管脚控制 14 — ADPC14 用来控制与通道 AD14 连接的管脚。 0 AD14 管脚 I/O 控制使能 1 AD14 管脚 I/O 控制禁止
5 ADPC13	ADC 管脚控制 13 — ADPC13 用来控制与通道 AD13 连接的管脚。 0 AD13 管脚 I/O 控制使能 1 AD13 管脚 I/O 控制禁止
4 ADPC12	ADC 管脚控制 12 — ADPC12 用来控制与通道 AD12 连接的管脚。 0 AD12 管脚 I/O 控制使能 1 AD12 管脚 I/O 控制禁止
3 ADPC11	ADC 管脚控制 11 — ADPC11 用来控制与通道 AD11 连接的管脚。 0 AD11 管脚 I/O 控制使能 1 AD11 管脚 I/O 控制禁止
2 ADPC10	ADC 管脚控制 10 — ADPC10 用来控制与通道 AD10 连接的管脚。 0 AD10 管脚 I/O 控制使能 1 AD10 管脚 I/O 控制禁止
1 ADPC9	ADC 管脚控制 9 — ADPC9 用来控制与通道 AD9 连接的管脚。 0 AD9 管脚 I/O 控制使能 1 AD9 管脚 I/O 控制禁止
0 ADPC8	ADC 管脚控制 8 — ADPC8 用来控制与通道 AD8 连接的管脚。 0 AD8 管脚 I/O 控制使能 1 AD8 管脚 I/O 控制禁止

10.4.10 管脚控制寄存器 3（APCTL3）

APCTL3 用来控制 ADC 模块的通道 16-23。

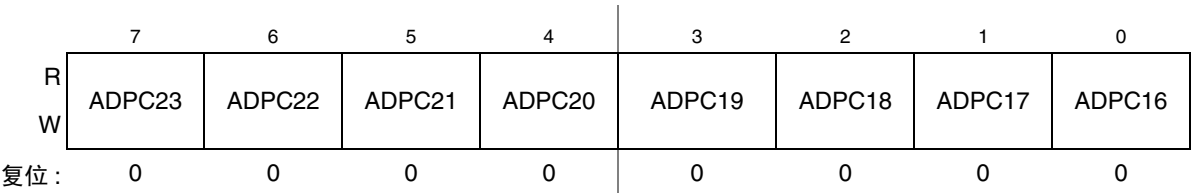


图 10-13. 管脚控制寄存器 3（APCTL3）

表 12-30. IDR1 寄存器字段描述

字段	描述
7:5 ID[2:0]	标准格式标识符 — 标准格式标识符 — 该标识符由 11 个扩展格式位（ID[10:0]）组成。ID10 是最高位，仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。也可参见表 12-29 中的 ID 位。
4 RTR	远程发送请求 — 该标志反应 CAN 帧中远程发送请求的状态。在接收缓冲器中，它显示已接收帧的状态，并在软件中支持应答帧的发送。在发送缓冲器中，该标志定义将要发送的 RTR 位的设置。 0 数据帧 1 远程帧
3 IDE	ID 扩展 — 该标志显示扩展或标准标识符格式是否应用于该缓冲器。在接收缓冲器中，该标志设置为已接收，并向 CPU 显示如何处理缓冲器标识符寄存器。在发送缓冲器中，该标志向 MSCAN 显示将发送的标识符类型。 0 标准格式（11 位） 1 扩展格式（29 位）

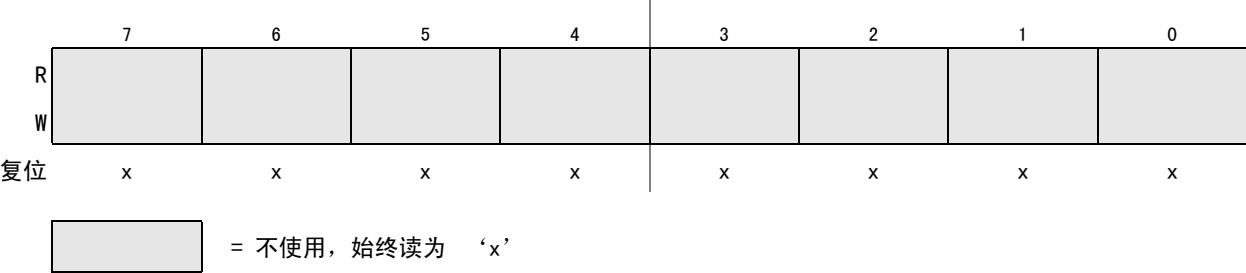


图 12-31. 标识符寄存器 2 —标准映射

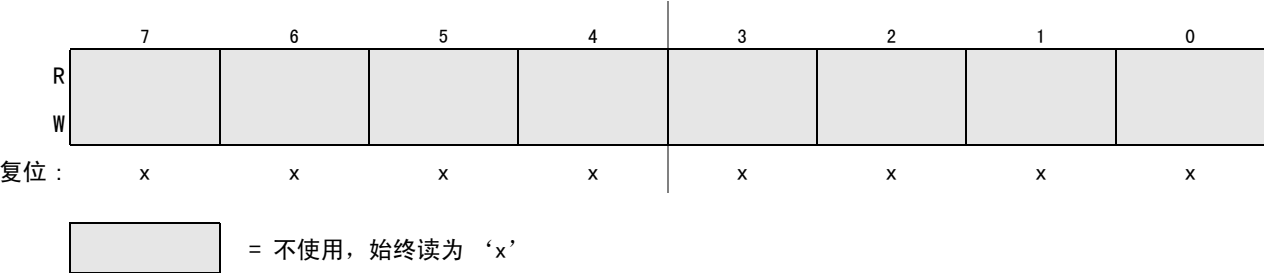


图 12-32. 标识符寄存器 3 —标准映射

12.4.3 数据段寄存器 (DSR0-7)

8 个数据段寄存器（每个都带有位 DB[7:0]）包含将要发送或接收的数据。将要发送或接收的字节数由相应 DLR 寄存器中的数据长度代码决定。

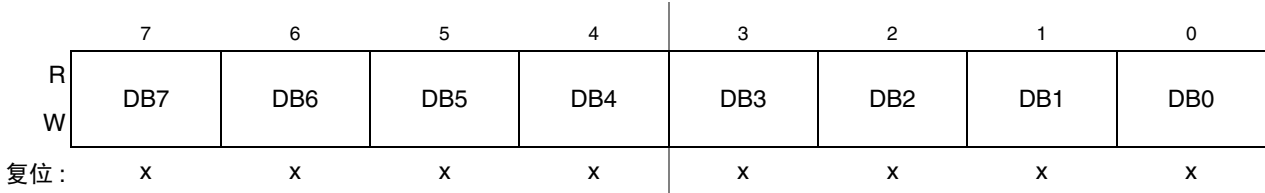


图 12-33. 数据段寄存器（DSR0 - DSR7）— 扩展标识符映射

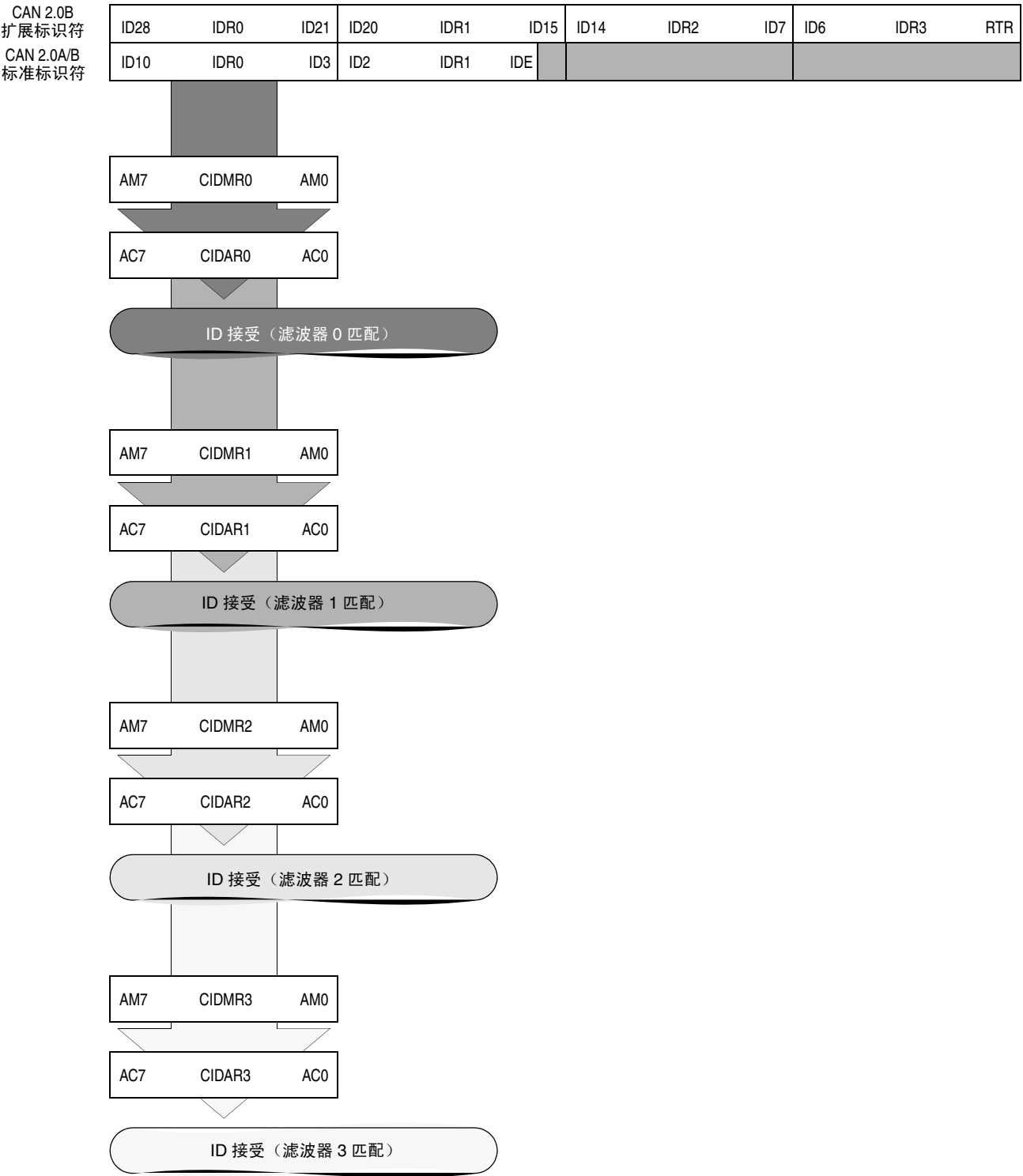


图 12-41. 8 位可屏蔽标识符接收滤波器

MSCAN 滤波器使用三组寄存器来提供滤波器配置。首先，CANIDAC 寄存器决定页配置中的滤波器大小和滤波器数量；其次，寄存器 CANIDMR0/1/2/3 通过把 ‘0’ 放在滤波器寄存器中的

12.5.4.4 监听模式

在可选的 CAN 总线监控模式（监听）中，CAN 节点能够接收有效数据帧和有效远程帧，但它只发送 CAN 总线上的“隐性”位。此外，它不能启动发送。如果 MAC 层需要发送“显性”位（ACK 位、超载标志或有效错误标志），该位将在内部传输，这样 MAC 层就监控该“显性”位，此时 CAN 总线在外部仍保持隐性状态。

12.5.4.5 保密模式

MSCAN 模块没有保密功能。

12.5.4.6 环回自测模式

环回自测模式独立于外部系统的连接，有时用于检查软件，以帮助隔离系统问题。在该模式中，发送器输出内部连接到接收器输入。RXCAN 输入管脚被忽略，TXCAN 输出进入隐性状态（逻辑 1）。发送时，MSCAN 的运行如常，把它自己发送的报文作为从远程节点接收的报文。在该状态中，MSCAN 将忽略 CAN 帧应答场中 ACK 间隙中发送的位，以确保正确接受它自己的报文。同时生成发送和接收中断。

12.5.5 低功耗选项

如果 MSCAN 禁止 (CANE = 0)，MSCAN 时钟停止，以节省功率。

如果 MSCAN 使能 (CANE = 1)，MSCAN 还有两种与正常模式相比功耗更低的模式：睡眠模式和断电模式，在睡眠模式中，可以通过停止所有时钟（除了 CPU 端访问寄存器的时钟外）来降低功耗。在节电模式中，所有时钟停止，没有功率消耗。

表 12-36 总结了 MSCAN 和 CPU 模式的各种组合。模式的特殊组合通过 CSWAI 和 SLPRQ/SLPAK 位上的设置决定。

对所有模式来说，只有当 MSCAN 处于睡眠模式（SLPRQ = 1，SLPAK = 1）、唤醒功能使能（WUPE = 1）且唤醒中断使能（WUPIE = 1）时，MSCAN 唤醒中断才可能发生。

12.5.5.4 MSCAN 睡眠模式

通过在 CANCTL0 寄存器中确定 SLPRQ 位，CPU 可以请求 MSCAN 进入这种低功率模式。MSCAN 进入睡眠模式的时间取决于固定的同步延迟及其当前状态：

- 如果有一个或多个报文缓冲器等待发送（TXEx = 0），MSCAN 将继续发送，直到所有发送报文缓冲器空（TXEx = 1，成功发送或中止），然后再进入睡眠模式。
- 如果 MSCAN 正在接收，它继续接收，并且一旦 CAN 总线空闲，就立即进入睡眠模式。
- 如果 MSCAN 既不在发送也不在接收，它会立即进入睡眠模式。

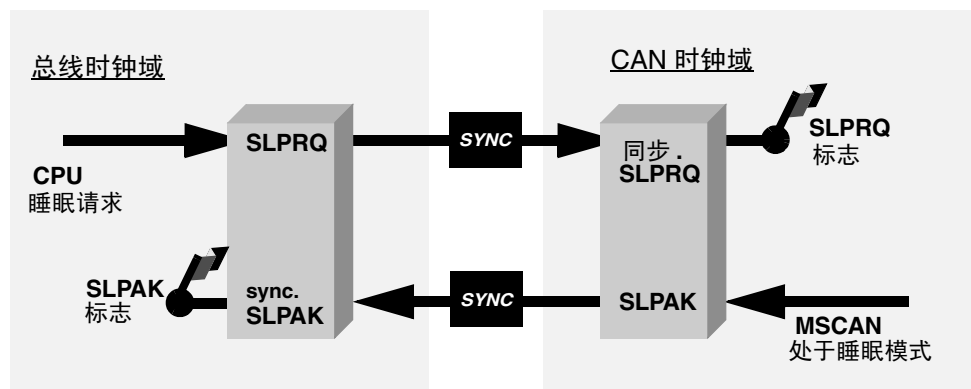


图 12-44. 睡眠请求 / 确认周期

注意

应用软件必须避免建立发送（通过清除一个或多个 TXEx 标志）后立即请求睡眠模式（通过设置 SLPRQ）。MSCAN 是启动发送还是直接进入睡眠模式取决于实际的操作顺序。

如果睡眠模式激活，SLPRQ 和 SLPK 置位（图 12-44）。应用软件必须把 SLPK 作为请求（SLPRQ）的握手标志，以进入睡眠模式。

当处于睡眠模式（SLPRQ = 1，SLPAK = 1）时，MSCAN 停止其内部时钟。然而，CPU 访问寄存器的时钟继续运行。

如果 MSCAN 处于总线脱离状态，由于时钟停止，它就停止计数 11 个连续隐性位的 128 次出现。TXCAN 管脚保持隐性状态。如果 RXF = 1，可以读取报文且可以清除 RXF。当处于睡眠模式时，不会出现新报文转移到接收器 FIFO（RxFG）的前景缓冲器的情况。

访问发送缓冲器和清除相关 TXE 标志是允许的。当处于睡眠模式时，不会出现报文中止的情况。

如果 CANCTL0 中的 WUPE 位还未置位，MSCAN 将屏蔽它在 CAN 上检测到的任何信号。RXCAN 管脚因此在内部设置为隐性状态。这将把 MSCAN 锁在睡眠模式（图 12-45）。WUPE 必须在进入睡眠模式前设置，以便发挥作用。

第 15 章

实时计数器 (S08RTCV1)

15.1 简介

RTC 模块包括一个 8 位计数器、一个 8 位比较器、几个二进制和十进制预分频器、三个时钟源和一个可编程定期中断。该模块可用于时刻、日历或任何任务调度功能。此外，它可以从低功耗模式中提供周期性唤醒服务而不需要外部组件。

MC9S08DZ60 系列的所有器件都带有 RTC。

15.1.1 RTC 时钟信号名称

本章中提及的 ERCLK 和 IRCLK 分别对应信号 MCGERCLK 和 MCGIRCLK。

当 TPM 被配置用于中央对齐 PWM (and ELSnB:ELSnA not = 0:0) 时, 该 TPM 中所有通道的数据方向被改变; TPMxCHn 管脚被强制用作受 TPM 控制的输出, 而 ELSnA 位控制每个 TPMxCHn 输出的极性。如果 ELSnB:ELSnA=1:0, 那么在定时器计数器向上计数、通道值寄存器与定时器计数器匹配时, 相应的 TPMxCHn 管脚被清除; 当定时器计数器向下计数、通道值寄存器与定时器的计数器匹配时, TPMxCHn 管脚被设置。如果 ELSnA=1, 在定时器计数器向上计数、通道值寄存器与定时器的计数器匹配时, 相应的 TPMxCHn 管脚被设置; 当定时器计数器向下计数、通道值寄存器与定时器计数器匹配时, TPMxCHn 管脚被清除。

TPMxMODH:TPMxMODL = 0x0008
TPMxCnVH:TPMxCnVL = 0x0005

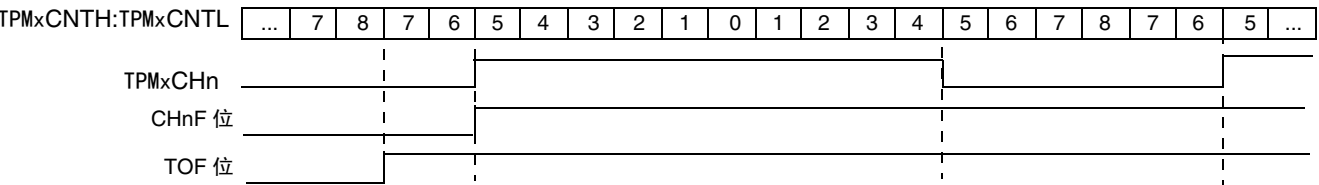


图 16-5. 中央对齐 PWM 的 High-True 脉冲

TPMxMODH:TPMxMODL = 0x0008
TPMxCnVH:TPMxCnVL = 0x0005

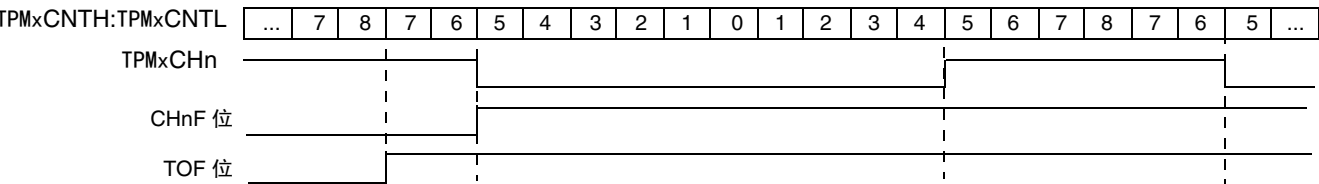


图 16-6. 中央对齐 PWM 的 Low-True 脉冲

表 16-3. TPM- 时钟源选择

CLKSB:CLKSA	预分频器输入的 TPM 时钟源
00	未选择时钟（TPM 计数器关闭）
01	总线速率时钟
10	固定系统时钟
11	外部源

表 16-4. 预分频器因子选择

PS2:PS1:PS0	TPM 时钟源除数
000	1
001	2
010	4
011	8
100	16
101	32
110	64
111	128

16.3.2 计数器的寄存器（TPMxCNTH:TPMxCNTL）

两个只读 TPM 计数器寄存器包含 TPM 计数器中值的高低字节。读取任何一个字节（无论是 TPMxCNTH 还是 TPMxCNTL）都会使两个字节的 内容锁入到缓冲器中。这些内容一直被锁定在那里，直到另一半被读取。这允许按从小到大或从大到小的顺序进行连贯的 16 位读取，使它更加友好地适应各种编译器编译。一致性机制可通过 MCU 复位或定时器状态 / 控制寄存器（TPMxSC）写入操作自动重启。

复位可清除 TPM 计数器寄存器。此外，向 TPMxCNTH 或 TPMxCNTL 中写入任何值也可清除 TPM 计数器（TPMxCNTH:TPMxCNTL）并复位一致性机制，而不管写入操作所涉及的数据。



图 16-8. TPM 计数器寄存器高字节（TPMxCNTH）

表 17-6. DBGS 寄存器字段描述

字段	描述
7 AF	触发匹配 A 标记 — 在调试运行开始时清除 AF，指示武装后是否满足触发 匹配 A 条件。 0 比较器 A 未匹配 1 比较器 A 匹配
6 BF	触发匹配 B 标记 — 在调试运行开始时清除 BF，指示武装后是否满足触发 匹配 B 条件。 0 比较器 B 未匹配 1 比较器 B 匹配
5 ARMF	打开标记 — 当 DBGEN=1 时，这个位为 DBGCR 中 ARM 的只读镜像。将 DBGCR 中的 ARM 控制位写为 1（当 DBGEN = 1）可设置该位，在调试运行结束时自动清除它。当 FIFO 为满时（始起跟踪），或当探测到触发事件时（结束跟踪），调度运行完成。将 DBGCR 中的 ARM 或 DBGEN 写为 0，可以人工停止调试运行。 0 调试器没有打开 1 调试器被打开
3:0 CNT[3:0]	FIFO 有效计数 — 这些位在调试运行开始时清除，指示调试运行结束时 FIFO 中的有效数据的字数。当数据大 FIFO 中读出时，CNT 中的值不减少。当信息从 FIFO 中读出时，外部调试主机负责计数的跟踪。 0000 FIFO 中的有效字数 = 无有效数据 0001 FIFO 中的有效字数 = 1 0010 FIFO 中的有效字数 = 2 0011 FIFO 中的有效字数 = 3 0100 FIFO 中的有效字数 = 4 0101 FIFO 中的有效字数 = 5 0110 FIFO 中的有效字数 = 6 0111 FIFO 中的有效字数 = 7 1000 FIFO 中的有效字数 = 8

A.13 闪存和 EEPROM

本小节详细地描述闪存和 EEPROM 存储器的编程 / 擦除次数及编程 - 擦除容限。

编程和擦除操作除正常 V_{DD} supply 电源外不需要任何特殊电源。有关编程 / 擦除操作的更多信息，请参见第 4 章，“存储器”。

表 A-17. 闪存和 EEPROM 特性

编号	C	参数	符号	最小值	典型值	最大值	单位
16	—	编程 / 擦除的电原电压	$V_{\text{prog/erase}}$	2.7		5.5	V
17	—	读取操作的电源电压 $0 < f_{\text{Bus}} < 8 \text{ MHz}$ $0 < f_{\text{Bus}} < 20 \text{ MHz}$	V_{Read}	2.7		5.5	V
18	—	内部 FCLK 频率 ¹	f_{FCLK}	150		200	kHz
19	—	内部 FCLK 时间 (1/FCLK)	t_{Fcyc}	5		6.67	μs
20	—	字节编程时间 (任意位置) (2)	t_{prog}	9			t_{Fcyc}
21	—	字节编程时间 (突发模式) (2)	t_{Burst}	4			t_{Fcyc}
22	—	页面擦除时间 ²	t_{Page}	4000			t_{Fcyc}
23	—	块擦除时间 (2)	t_{Mass}	20,000			t_{Fcyc}
24	C	闪存编程 / 擦除次数 ³ T_L 至 $T_H = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $T = 25^\circ\text{C}$	n_{FLPE}	10,000 —	— 100,000	— —	cycles
25	C	编程 / 擦除次数 ³ T_L 至 $T_H = -40^\circ\text{C}$ to $+0^\circ\text{C}$ T_L to $T_H = 0^\circ\text{C}$ to $+125^\circ\text{C}$ $T = 25^\circ\text{C}$	n_{EEPE}	10,000 50,000 —	— — 100,000	— — —	cycles
26	C	数据保留时间 ⁴	$t_{\text{D_ret}}$	15	100	—	years

¹ 该时钟的频率由软件设置控制。

² 这些值是硬件状态设备控制的值。用户代码无需计周期数。提供该信息的目的是为了计算编程和擦除的大约时间。

³ 闪存和 EEPROM 的典型容限基于内在的位信元性能。有关飞思卡尔半导体如何定义典型容限的更多信息，请参考 Engineering Bulletin EB619，非易失性存储器的典型容限。

⁴ 典型数据保留时间值基于在高温时测量的技术的内在能力，并使用阿伦尼乌斯公式降到 25°C 。有关飞思卡尔半导体如何定义典型数据保留时间的更多信息，请参考 Engineering Bulletin EB618，非易失性存储器的典型数据保留时间。

