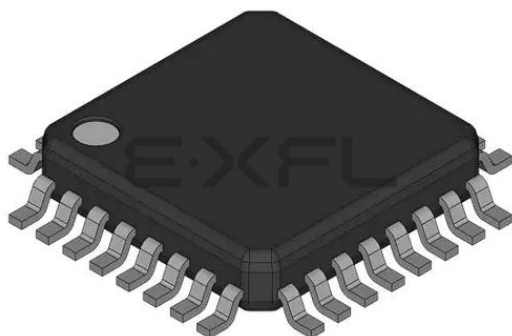




Welcome to [E-XFL.COM](#)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	48KB (48K x 8)
Program Memory Type	FLASH
EEPROM Size	1.5K x 8
RAM Size	3K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 85°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/pro/item?MUrl=&PartUrl=mc9s08dz48aclc

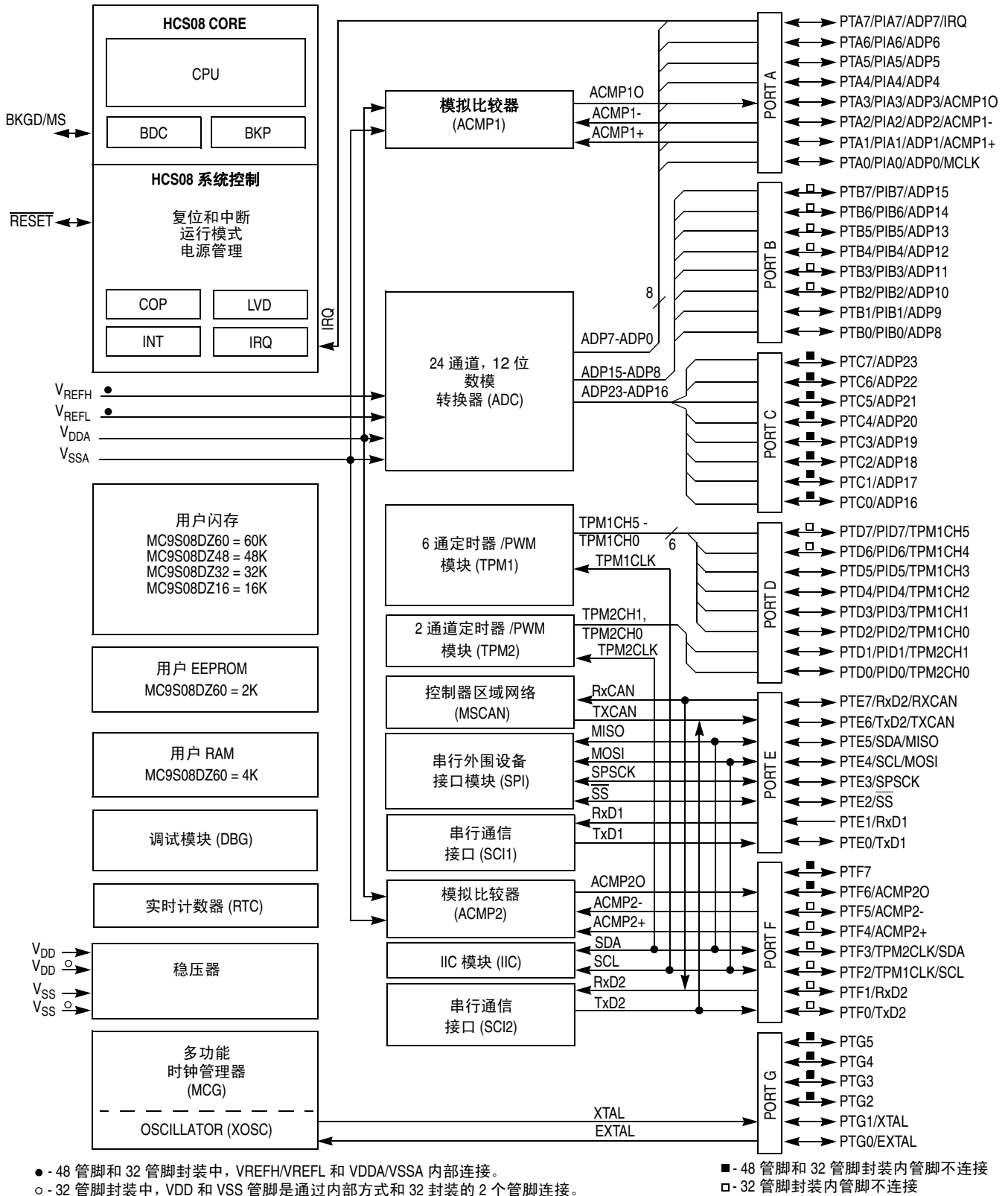


图 1-1. MC9S08DZ60 结构图

第 3 章 操作模式

3.1 简介

本章介绍 MC9S08DZ60 系列产品的操作模式，同时描述了如何进入各种模式、如何从各种模式中退出及各种模式下可提供的功能。

3.2 特性

- 主动后台模式：用于代码开发
- 等待模式：CPU 关闭以省电；系统时钟正常运行，内部稳压器正常工作
- 停止模式：系统时钟被关闭，内部稳压器处于待机状态
 - Stop3 — 所有内部电路都接通电源以实现快速恢复
 - Stop2 — 内部电路的部分电源被关闭；RAM 内容被保留

3.3 运行模式

这是 MC9S08DZ60 系列产品的正常操作模式。当 BKGD/MS 管脚位于复位的上升边最高位置时选择该模式。在这种模式下，CPU 执行内部存储器中的代码。代码在复位完成后运行，并且从内存 0xFFFFE - 0xFFFF 上获取其起始地址。

3.4 主动后台模式

主动后台模式功能通过 HCS08 内核中的后台调试控制器（BDC）进行管理。在软件开发过程中，BDC 与片上调试模块（DBG）一起用于分析 MCU 的运行情况。

进入主动后台模式的方式有以下五种：

- 当处于复位的上升沿时，BKGD/MS 脚置于低电平；
- 通过 BKGD/MS 脚收到 BACKGROUND 命令时；
- 执行 BGND 指令时；
- 遇到 BDC 断点时；
- 遇到 DBG 断点时。

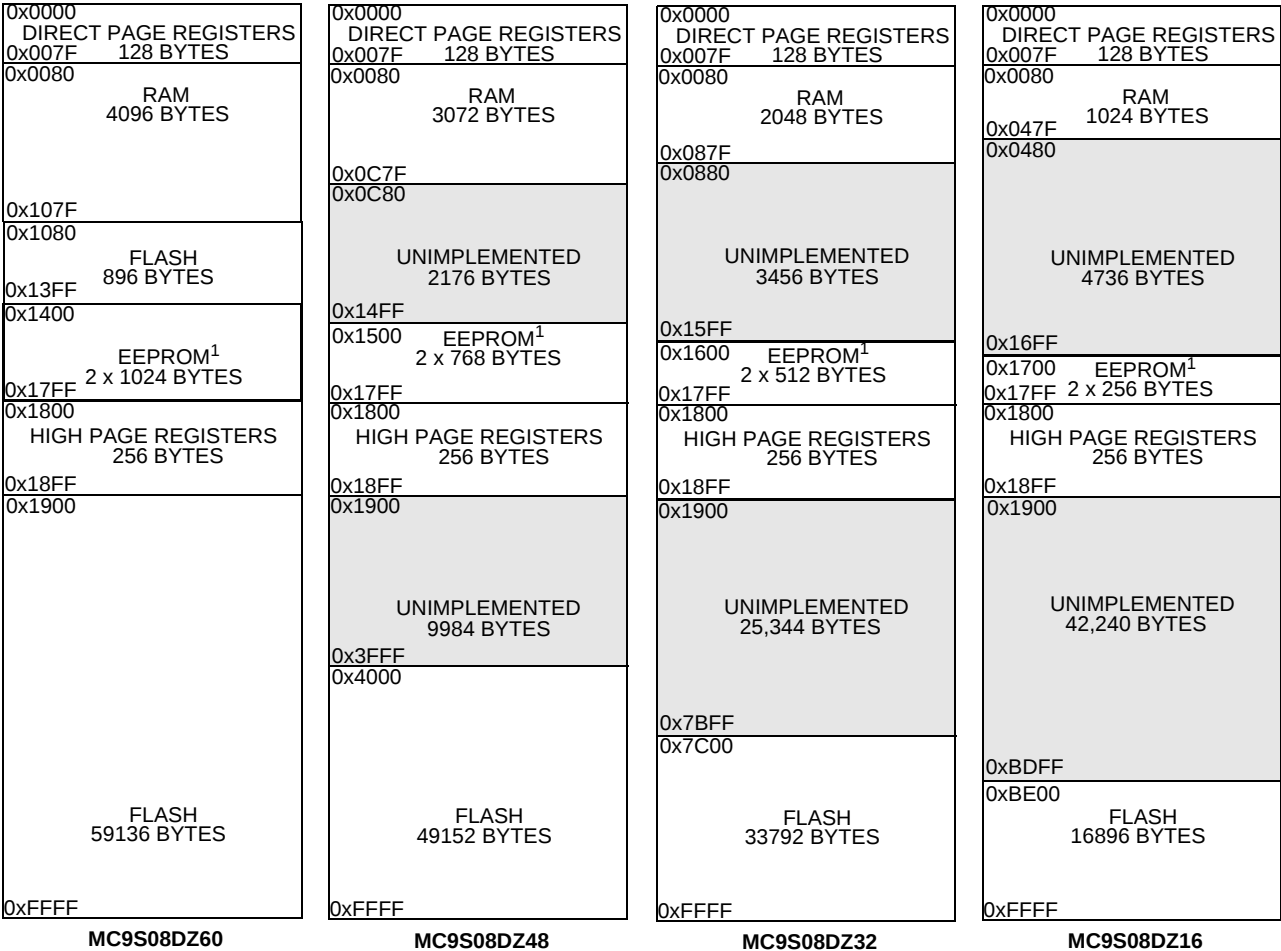
进入主动后台模式后，CPU 保持挂起状态，等待串行后台命令而不执行来自用户应用程序的指令。

第 4 章 存储器

4.1 MC9S08DZ60 系列产品存储器映射

MC9S08DZ60 系列产品中的片上存储器包括 RAM、EEPROM、用于非易失性数据存储的 Flash 程序存储器、I/O 和控制 / 状态寄存器。这些寄存器可分为以下 3 类：

- 直接页面寄存器 (0x0000 ~ 0x007F)
- 高端页面 (High-page) 寄存器 (0x1800 ~ 0x18FF)
- 非易失性寄存器 (0xFFB0 ~ 0xFFBF)



¹ EEPROM 地址范围显示总 EEPROM 的一半。详尽信息请参见 4.5.10, “EEPROM 映射”。

图 4-1. MC9S08DZ60 存储器图

表 4-2. 直接页面寄存器总结（第 1 页，共 3 页）

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0x0029	TPM1C1VH	Bit 15	14	13	12	11	10	9	Bit 8
0x002A	TPM1C1VL	Bit 7	6	5	4	3	2	1	Bit 0
0x002B	TPM1C2SC	CH2F	CH2IE	MS2B	MS2A	ELS2B	ELS2A	0	0
0x002C	TPM1C2VH	Bit 15	14	13	12	11	10	9	Bit 8
0x002D	TPM1C2VL	Bit 7	6	5	4	3	2	1	Bit 0
0x002E	TPM1C3SC	CH3F	CH3IE	MS3B	MS3A	ELS3B	ELS3A	0	0
0x002F	TPM1C3VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0030	TPM1C3VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0031	TPM1C4SC	CH4F	CH4IE	MS4B	MS4A	ELS4B	ELS4A	0	0
0x0032	TPM1C4VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0033	TPM1C4VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0034	TPM1C5SC	CH5F	CH5IE	MS5B	MS5A	ELS5B	ELS5A	0	0
0x0035	TPM1C5VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0036	TPM1C5VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0037	预留	—	—	—	—	—	—	—	—
0x0038	SCI1BDH	LBKDIE	RXEDGIE	0	SBR12	SBR11	SBR10	SBR9	SBR8
0x0039	SCI1BDL	SBR7	SBR6	SBR5	SBR4	SBR3	SBR2	SBR1	SBR0
0x003A	SCI1C1	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT
0x003B	SCI1C2	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK
0x003C	SCI1S1	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF
0x003D	SCI1S2	LBKDIF	RXEDGIF	0	RXINV	RWUID	BRK13	LBKDE	RAF
0x003E	SCI1C3	R8	T8	TXDIR	TXINV	ORIE	NEIE	FEIE	PEIE
0x003F	SCI1D	Bit 7	6	5	4	3	2	1	Bit 0
0x0040	SCI2BDH	LBKDIE	RXEDGIE	0	SBR12	SBR11	SBR10	SBR9	SBR8
0x0041	SCI2BDL	SBR7	SBR6	SBR5	SBR4	SBR3	SBR2	SBR1	SBR0
0x0042	SCI2C1	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT
0x0043	SCI2C2	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK
0x0044	SCI2S1	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF
0x0045	SCI2S2	LBKDIF	RXEDGIF	0	RXINV	RWUID	BRK13	LBKDE	RAF
0x0046	SCI2C3	R8	T8	TXDIR	TXINV	ORIE	NEIE	FEIE	PEIE
0x0047	SCI2D	Bit 7	6	5	4	3	2	1	Bit 0
0x0048	MCGC1	CLKS		RDIV			IREFS	IRCLKEN	IREFSTEN
0x0049	MCGC2	BDIV		RANGE	HGO	LP	EREFS	ERCLKEN	EREFSTEN
0x004A	MCGTRM	TRIM							
0x004B	MCGSC	LOLS	LOCK	PLLST	IREFST	CLKST		OSCINIT	FTRIM
0x004C	MCGC3	LOLIE	PLLS	CME	0	VDIV			
0x004D– 0x004F	预留	— —	— —	— —	— —	— —	— —	— —	— —
0x0050	SPIC1	SPIE	SPE	SPTIE	MSTR	CPOL	CPHA	SSOE	LSBFE
0x0051	SPIC2	0	0	0	MODFEN	BIDIROE	0	SPISWAI	SPC0

- 将命令代码写入到 FCMD 中。6 个有效的命令分别是空白检查 (blank check, 0x05)、字节编程 (byte program, 0x20)、突发编程 (burst program, 0x25)、分区擦除 (sector erase, 0x40)、整体擦除 (mass erase¹, 0x41) 和分区擦除终止 (sector erase abort, 0x47)。命令代码被锁定到命令缓冲器中。

- 将一个 1 写入到 FSTAT 中的 FCBEF 位上, 以清除 FCBEF 并发起命令 (包括其地址和数据信息)。

在写内存阵列之后到写 1 用于清除 FCBEF 并发起完整命令之前的任何时候, 可以通过向 FCBEF 中写入一个 “0”, 来手工终止部分命令顺序。以这种方式终止一个命令会设置 FACCERR 访问错误标记, 而这个标记必须在开始一个新命令之前清除掉。

整个过程必须遵守严格监控的流程, 否则命令将不会被接受。通过这种方式可以最大限度地降低无意中修改内存内容的可能性。命令完整标记 (FCCF) 用于指示一条命令是否完整。要启动命令, 必须通过清除 FCBEF 来使命令序列完整。图 4-2 是执行除突发编程和分区擦除终止以外的所有命令的流程。

- 等待 FSTAT 中的 FCCF 位被设置。只要 FCCF=1, 就说明操作成功完成。

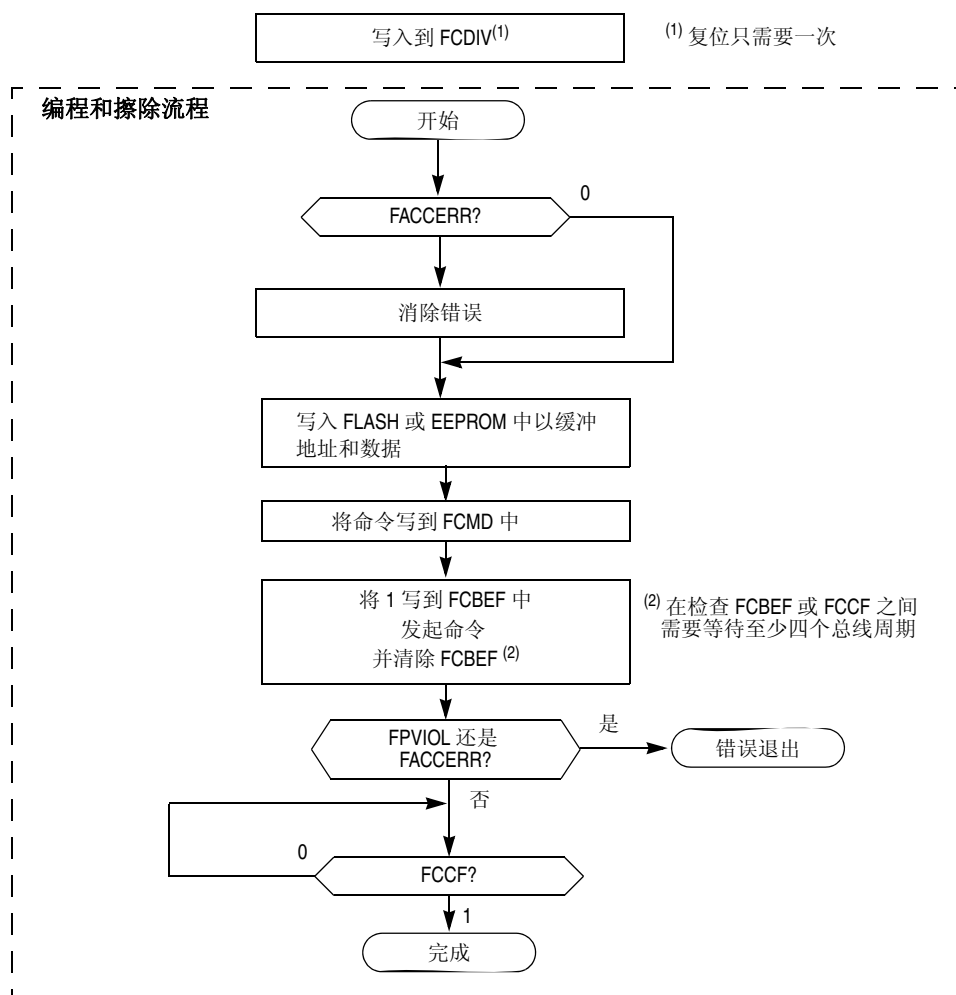


图 4-2. 编程和擦除流程图

1. 整体擦除只能在 Flash 块完全不受保护的情况下进行。

4.5.8 向量重定向

在 Flash 受到块保护的同时，复位和中断向量也将受到有效保护。向量重定向使用户可以修改中断向量信息而不必影响对 bootloader 和复位向量空间的保护。

。要使重定向正常进行，至少一部分 Flash 必须通过对地址 0xFFBD 上的 NVPROT 寄存器进行编程来进行块保护。所有中断向量（内存位置为 0xFFC0–0xFFFFD）都被重定向，虽然复位向量（0xFFFFE:0xFFFFF）没有被重定向。

例如，如果 Flash 的 1536 个字节受到保护，那么受保护的地址区域为从 0xFA00 到 0xFFFF。中断向量 (0xFFC0–0xFFFFD) 被重定向到位置 0xF9C0–0xF9FD。如果启用了向量重定向并发生了中断，那么 0xF9E0:0xF9E1 上的值被用于向量而不是 0xFFE0:0xFFE1 上的值。这样，用户就可以利用新的程序代码对 Flash 的未保护部分进行重新编程，增加新的中断向量值，同时保留受保护的区域（这包括不发生任何变化的缺省向量）。

4.5.9 安全性

MC9S08DZ60 系列包含用于防止非法访问 Flash、EEPROM 和 RAM 存储器内容的电路。启用了安全性功能后，Flash、EEPROM 和 RAM 被看作是安全的资源。直接页面寄存器、高端页面寄存器和后台调试控制器被看作是不安全的资源。安全存储器中执行的程序可以正常访问 MCU 位置和资源。通过不安全存储器空间内运行的程序或通过后台调试接口访问安全存储器位置的任何尝试都将被阻止（写入操作被忽略，而读取操作则全部返回 0）。

安全性的启用和关闭由 FOPT 寄存器中的两个寄存器位 (SEC[1:0]) 的状态确定。在复位过程中，非易失性位置 NVOPT 的内容从 Flash 中拷贝到高端页面寄存器空间内的工作 FOPT 寄存器上。用户可以通过编程 NVOPT 位置来启用安全性。这一操作可以在对 Flash 进行编程的同时进行。1:0 状态会关闭安全性；而另外 3 种组合会启用安全性。请注意，擦除状态 (1:1) 会使 MCU 处于安全状态。在开发过程中，不管 Flash 什么时候被擦除，立即将 NVOPT 中的 SEC0 设置为 0 以便使 SEC = 1:0 是一种有效的方法。这将使 MCU 在后来的复位完成后继续处于不安全状态。

MCU 处于安全状态时不能启用片上调试模块。您可以为后台存储器访问命令使用独立的后台调试控制器，但 MCU 不能进入主动后台模式，除非您在复位的上升边将 BKGD 保持在较低位置。

用户可以选择通过一个 8 字节后门安全密钥来设置允许或不允许安全解锁机制。如果 NVOPT/FOPT 中的非易失性 KEYEN 位为 0，那么说明后门密钥被禁用，在没有完全擦除所有 Flash 位置的情况下不能启用安全性。如果 KEYEN 为 1，那么安全的用户程序可以通过以下方式暂时关闭安全性：

1. 向 FCNFG 寄存器中的 KEYACC 写入 1。这将使 Flash 模块将后门对比密钥位置 (NVBACKKEY through NVBACKKEY+7) 的写入解释为将与密钥进行对比的值而不是 Flash 编程或擦除命令的第一步。
2. 将用户输入的密钥值写入到位置 NVBACKKEY 到 NVBACKKEY+7 上。这些写入操作必须按顺序进行，以 NVBACKKEY 值开始，以 NVBACKKEY+7 值结束。这些写入操作中必须使用 STHX，因为这些写入不能在相邻的总线循环上完成。用户软件一般通过通信接口（如串行 I/O）从 MCU 系统外部获取密钥代码。
3. 向 FCNFG 寄存器中的 KEYACC 写入 0。如果写入的 8 字节密钥与 Flash 位置上保存的密钥相匹配，那么 SEC 位被自动修改为 1:0，同时安全性将关闭，直到下一次复位。

表 4-14. Flash 块保护 (continued)

FPS	受保护的地址域	受保护的内存大小（字节）	受保护的扇区数量
0x1B	0x2800–0xFFFF	54K	72
0x1A	0x2200–0xFFFF	55.5K	74
0x19	0x1C00–0xFFFF	57K	76
0x18–0x00	0x0000–0xFFFF	64K	86

4.5.11.5 Flash 和 EEPROM 状态寄存器 (FSTAT)

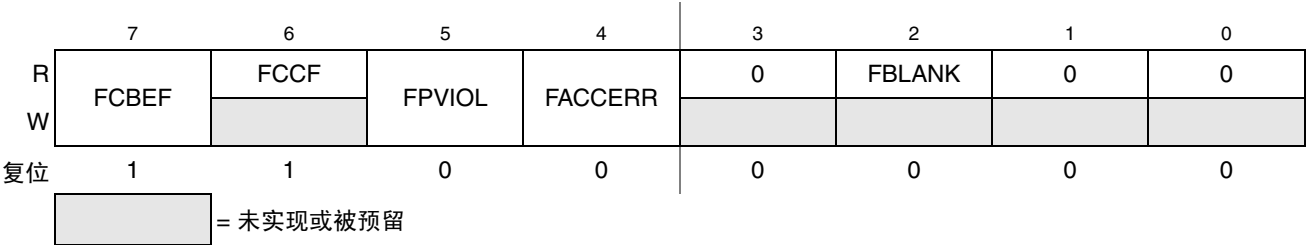


图 4-9. Flash 和 EEPROM 状态寄存器 (FSTAT)

表 4-15. FSTAT 寄存器字段描述

字段	描述
7 FCBEF	命令缓冲器空标记 — FCBEF 位用于发出命令。它还用于标识命令缓冲器是空的，因此可以在执行突发编程时执行新的命令顺序。FCBEF 位通过在其中写入 1 或一个突发编程命令被发送到阵列中以进行编程时清除。只有突发编程命令可以被缓冲。 0 命令缓冲器满（没有准备好缓冲额外的命令）。 1 命令缓冲器中可写入新的突发编程命令。
6 FCCF	命令完成标记 — FCCF 在命令缓冲器变空而且没有处理任何命令时自动设置。FCCF 在开始执行一个新命令时自动清除（通过将 1 写到 FCBEF 中以登记一个命令）。向 FCCF 写入内容没有任何意义或效果。 0 命令正在执行过程中。 1 所有命令都已完成。
5 FPVIOL	保护规则违反标记 — FPVIOL 在发出试图擦除或编程受保护块中的一个位置的命令后自动置 1（错误的命令会被忽略）。FPVIOL 通过向 FPVIOL 中写入 1 来清除。 0 无保护规则违反。 1 有人尝试擦除或编程一个受保护的位置。

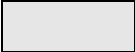
表 5-10. SPMSC1 寄存器字段描述

字段	描述
4 LVDRE	低压检测复位使能 — 这个 write-once 位支持 LVD 事件生成硬件复位（假设 LVDE = 1）。 0 LVD 事件不生成硬件复位。 1 当发生使能的低压检测事件时，强制实行 MCU 复位。
3 LVDSE	低压检测停止使能 — 假设 LVDE = 1，这个读 / 写位决定当 MCU 处于停止模式时是否操作低压检测功能。 0 停止模式期间低压检测禁止。 1 停止模式期间低压检测使能。
2 LVDE	低压检测使能 — 这个 write-once 位支持低压检测逻辑，并且限定该寄存器中的其他位的操作。 0 LVD 逻辑禁止。 1 LVD 逻辑使能。
0 BGBE	带隙缓冲器使能 — 这个位支持内部缓冲器，提供带隙电压参考，可供任何一个内部通道上的 ADC 和 ACMP 模块使用。 0 带隙缓冲器禁止。 1 带隙缓冲器使能。

5.8.8 系统电源管理状态和控制寄存器 2 (SPMSC2)

该寄存器用来报告低压警告功能状态，配置 MCU 的停止模式行为。该寄存器应在用户复位初始化程序期间写入，以设置期望的控制，即便期望的设置与复位设置相同。

	7	6	5	4	3	2	1	0
R	0	0	LVDV ¹	LVWV	PPDF	0	0	PPDC ²
W						PPDACK		
加电复位：	0	0	0	0	0	0	0	0
LVD 复位：	0	0	u	u	0	0	0	0
其他复位：	0	0	u	u	0	0	0	0

 = 未实现或预留

u = 未受复位影响

¹ 加电复位后，这个位只能写入一次。其他写入被忽略。

² 复位后这个字节只能写入一次。其他写入被忽略。

图 5-10. 系统电源管理状态和控制寄存器 2 (SPMSC2)

表 5-11. SPMSC2 寄存器字段描述

字段	描述
5 LVDV	低压检测电压选择 — 这个单次写入有效的位选择低压检测（LVD）跳变点设置。它还选择警告电压范围。参见表 5-12。
4 LVWV	低压警告电压选择 — 这个位选择低压警告（LVW）跳变点电压。参见表 5-12。
3 PPDF	局部断电标志 — 这个只读状态位显示 MCU 已经从 STOP2 模式中恢复。 0 MCU 还没有从 STOP2 模式中恢复。 1 MCU 已经从 STOP2 模式中恢复。

第 6 章

并行输入 / 输出控制

本小节解释了与并行输入 / 输出和管脚控制相关的软件控制。MC9S08DZ60 系列有 7 个并行输入 / 输出端口，这 7 个端口总共包含 53 个输入 / 输出管脚和 1 个仅输入管脚。如需了解这些管脚的管脚分配和外部硬件注意事项的更多信息，请参见第 2 章，“管脚和连接”。

这些管脚中的很多都在片上外围设备中共用，如定时器系统、通信系统和管脚中断，如表 2-1 所示。外围设备模块的优先级把通用输入 / 输出功能的优先级高，因此当使能某个外围设备时，与该共用管脚相关的输入 / 输出功能被禁止。

复位后，共用外围设备功能被禁止，管脚被配置为输入（PTxDDn = 0）。每个管脚的管脚控制功能都配置如下：斜率控制使能（PTxSEn = 1）、低驱动强度选定（PTxDSn = 0）、内部上拉被禁止（PTxPEN = 0）。

注意

不是所有封装都提供通用输入 / 输出管脚。为了避免从输入引脚浮接抽取过多电流，应用程序中的用户复位初始化程序必须要么使能片上拉器件，要么将未连接管脚的方向更改为输出，使管脚不会浮接。

6.1 端口数据和数据方向

通过端口数据寄存器执行并行输入 / 输出读取 / 写入。不管是输入还是输出方向，都由端口数据方向寄存器控制。图 6-1 中的块状示意图介绍了单个管脚的并行输入 / 输出端口功能。

数据方向控制位（PTxDDn）决定是否启动相关管脚使用的输出缓冲器，同时控制端口数据寄存器读取的源。相关管脚的输入缓冲器总是处于使能状态，除非管脚用作模拟功能或输出管脚。

当为管脚使能共用数字功能时，输出缓冲器由共用功能控制。但是，数据方向寄存器位将继续控制端口数据寄存器读取的源。

当为管脚使能共用模拟功能时，输出和输出缓冲器都被禁止。当该位为输入位（PTxDDn = 0），输入缓冲器禁止时，任意端口数据位的读数均为 0。总体来说，每当数字功能和模拟功能共用一个管脚时，模拟功能都优先。因此数字和模拟功能同时使能时，管脚由模拟功能控制。

一个不错的编程习惯是在把端口管脚方向修改为输出前就写入端口数据寄存器，这确保不会用在端口数据寄存器内的旧数据值来临时驱动管脚。

6.5.2.1 B 端口数据寄存器 (PTBD)

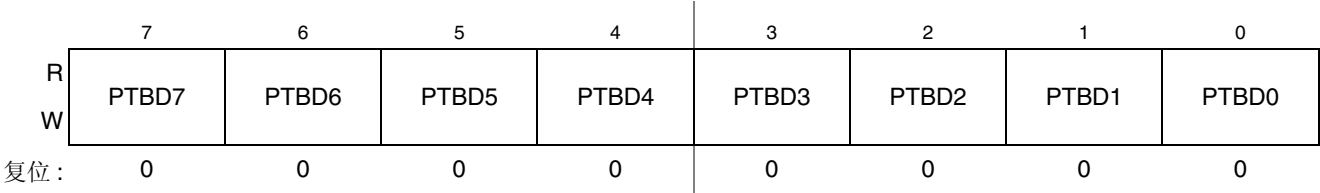


图 6-11. B 端口数据寄存器 (PTBD)

表 6-9. PTBD 寄存器字段描述

字段	描述
7:0 PTBD[7:0]	B 端口数据寄存器位 — 对于配置为输入的 B 端口管脚，读数返回管脚上的逻辑电平。对于配置为输出的 B 端口管脚，读数返回写入寄存器的最后一个值。 写入值被锁定在本寄存器的所有位中。对于配置为输出的 B 端口管脚，逻辑电平被输出到相应的 MCU 管脚。 复位强制 PTBD 都为 0，但是这些 0 未被输出到相应的管脚，因为复位还会将所有端口管脚配置为上拉 / 下拉被禁止的高阻抗输入。

6.5.2.2 B 端口数据方向寄存器 (PTBDD)

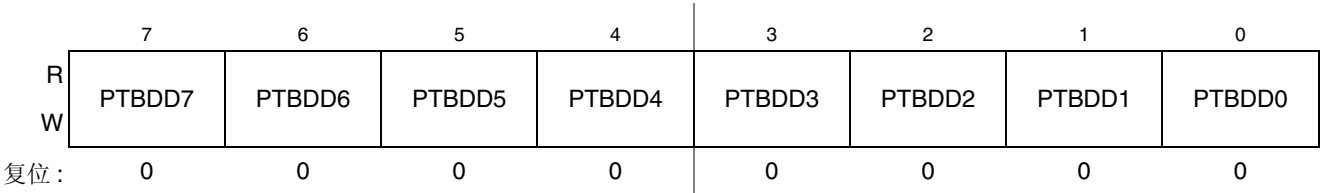


图 6-12. B 端口数据方向寄存器 (PTBDD)

表 6-10. PTBDD 寄存器字段描述

字段	描述
7:0 PTBDD[7:0]	B 端口位的数据方向 — 这些读 / 写位控制着 B 端口管脚的方向以及为 PTBD 读数读取的内容。 0 输入（输出驱动被禁止），读数返回管脚值。 1 B 端口位 - 输出驱动使能，PTBD 读数返回 PTBDn 内容。

6.5.2.7 B 端口中断管脚选择寄存器 (PTBPS)

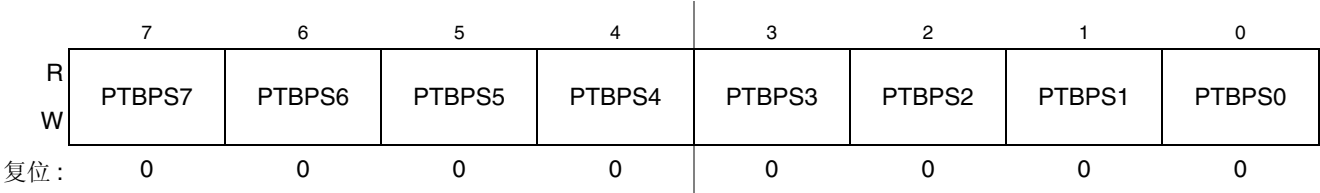


图 6-17. B 端口中断管脚选择寄存器 (PTBPS)

表 6-15. PTBPS 寄存器字段描述

字段	描述
7:0 PTBPS[7:0]	B 端口中断管脚选择 — 每个 PTBPSn 位都使能相应的 B 端口中断管脚。 0 管脚禁止中断。 1 管脚允许中断。

6.5.2.8 B 端口边沿选择寄存器 (PTBES)

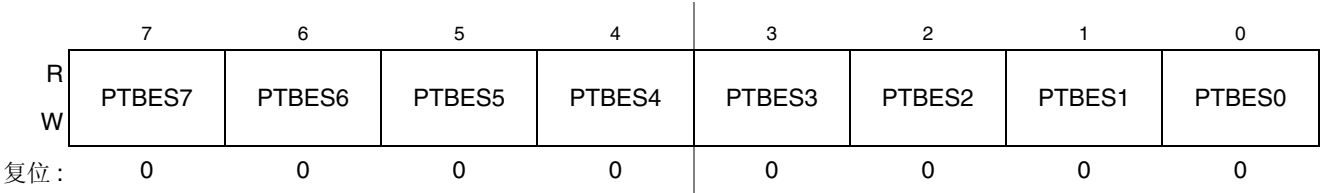


图 6-18. B 端口边沿选择寄存器 (PTBES)

表 6-16. PTBES 寄存器字段描述

字段	描述
7:0 PTBES[7:0]	B 端口边沿选择 — 每个 PTBESn 位都具有双重功能，选择活动中断边沿的极性以及选择上拉或下拉器件（使能的话）。 0 上拉器件与相关的管脚相连，检测中断生成的下降边沿 / 低电平。 1 下拉器件与相关的管脚相连，检测中断生成的上升边沿 / 高电平。

6.5.3 C 端口寄存器

C 端口由下列寄存器控制。

表 7-2. 指令集小结（第 9 页，共 9 页）

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V I 1 H	I N Z C
TXS	将索引寄存器转移到 SP SP ← (H:X) - \$0001	INH	94	2	fp	- 1 1 -	- - - -
WAIT	使能中断；等待中断 I 位 = 0; 暂停 CPU	INH	8F	2+	fp...	- 1 1 -	0 - - -

源形式：“源形式”栏中的所有内容（斜体字符除外）都是文字报文，必须严格按照栏中显示的那样出现在汇编源文件中。开始的 3 到 5 个字母助记符和字符（#，（）和+）通常是文字字符。

n 任何值为 0-7 间的一个整数的标签或表达
opr8i 任何值为 8 位立即值的标签或表达
opr16i 任何值为 16 位立即值的标签或表达
opr8a 任何值为 8 位直接页面地址（\$00xx）的标签或表达
opr16a 任何值为 16 位地址的标签或表达
opr8 任何值为不带符号的 8 位值（用于索引寻址）的标签或表达
opr16 任何值为 16 位值（用于索引寻址）的标签或表达
rel 任何从下一个指令开始，参考 - 128 至 +127 位置内地址的标签或表达

运算符：

A 累加器
CCR 条件码寄存器
H 索引寄存器高字节
M 存储器位置
n 任意位
opr 操作数（1 个或 2 个字节）
PC 程序计数器
PCH 程序计数器高字节
PCL 程序计数器低字节
rel 相关程序计数器偏移字节
SP 堆栈指针
SPL 堆栈指针低字节
X 索引寄存器低字节
& 和
| 或
^ 异或
() 内容
+ 加
- 减，否（2 的补数）
¥ 乘
/ 除
立即值
.. 加载
: 级联

CCR 位：

V 溢出位
H 半进位
I 中断屏蔽
N 负数位
Z 0 位
C 进位 / 借位

寻址模式：

DIR 直接寻址模式
EXT 扩展寻址模式
IMM 立即寻址模式
INH 固有寻址模式
IX 有索引、无偏移寻址模式
IX1 有索引、8 位偏移寻址模式
IX2 有索引、16 位偏移寻址模式
IX+ 有索引、无偏移、后增量寻址模式
IX1+ 有索引、8 位偏移、后增量寻址模式
REL 相关寻址模式
SP1 堆栈指针、8 位偏移寻址模式
SP2 堆栈指针、16 位偏移寻址模式

逐周期代码：

f 空闲周期。这表示 CPU 不需要使用系统总线的周期。
f 周期通常是系统总线时钟的一个周期，且总是读取周期。
程序获取，从程序内存的下一个连续位置读取
p 程序获取，从程序内存的下一个连续位置读取
r 读取 8 位操作数
s 推送（写入）1 个字节到堆栈
u 从堆栈上弹出（读）一个字节
v 从 \$FFxx 中读取向量（高字节优先）
w 写 8 位操作数

CCR 影响：

↑ 设置或清除
- 无影响
U 未定义

初始条件

- 1) ATE 供应的时钟的占空比为 $500\ \mu\text{s}$ 。
- 2) 配置 MCG 使用内部参考源, 并且总线时钟达到 8MHz。

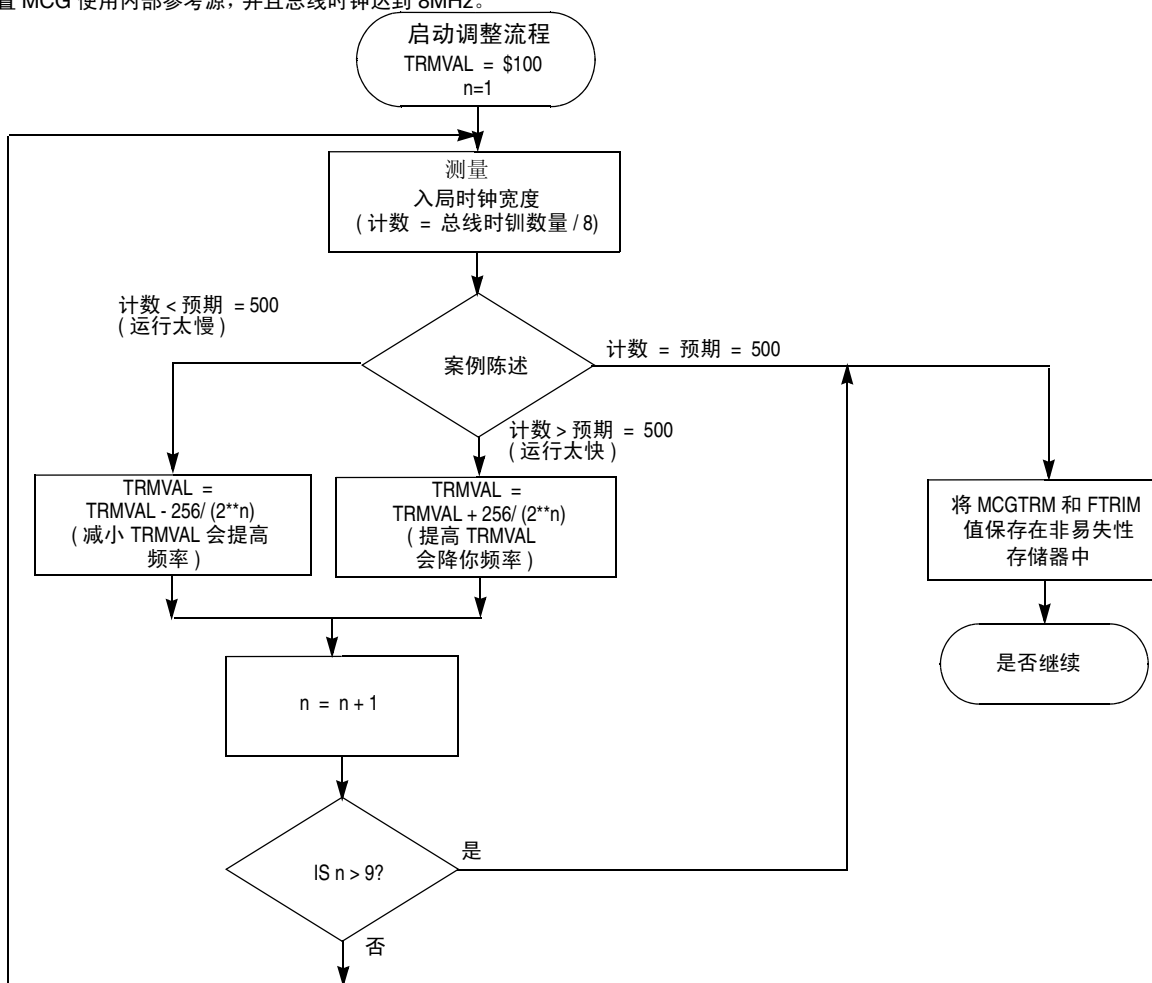


图 8-13. 修正步骤

在这个特例中, MCU 已经焊接到 PCB 上, 且整个 PCB 焊接已经结束, 正在用自动测试设备进行最后测试。当运行在用户提供的软件控制下时, 会为 MCU 提供单独的信号或消息。MCU 发起图 8-13 所示的调整流程, 同时测试设备会提供精确的参考信号。

如果想要的总线频率接近器件允许的最大值, 建议使用两倍于最终值的参考分频器值 (RDIV 设置) 进行调整。调整流程完成后, 可以恢复参考分频器。这样就能防止意外超越最大时钟频率。

12.3.2 控制寄存器 1 (CANCTL1)

CANCTL1 寄存器如下所述提供了 MSCAN 模块的各种控制位和握手状态报文。

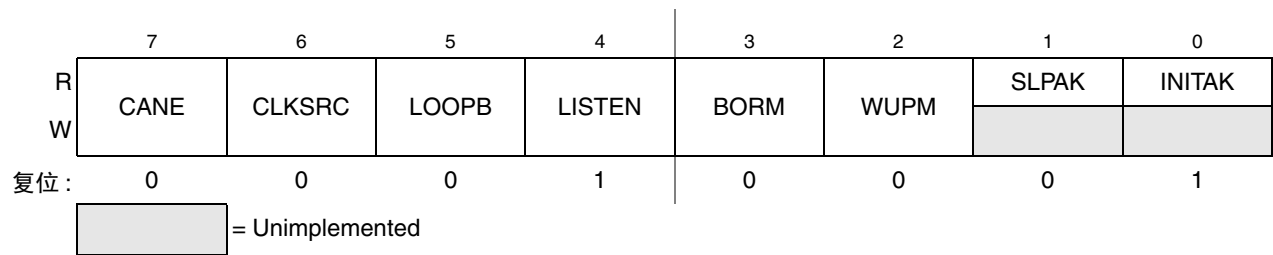


图 12-5. 控制寄存器 1(CANCTL1)

读取：任何时间
写入：当 INITRQ = 1 和 INITAK = 1 时的任何时间，CANE 例外，可以在正常情况下写入一次，以及当 MSCAN 处于初始化模式（INITRQ = 1，INITAK = 1）的特殊系统运行模式时任何时间写入。

表 12-2. 寄存器字段描述

字段	描述
7 CANE	MSCAN 使能 0 MSCAN 模块禁止 1 MSCAN 模块使能
6 CLKSRC	MSCAN 时钟源 — 该位定义 MSCAN 模块的时钟源（仅适用于具有时钟发生模块的系统：12.5.3.3，“时钟系统”和图 12-42，“MSCAN 时钟机制”）。 0 MSCAN 时钟源是振荡器时 1 MSCAN 时钟源是总线时钟
5 LOOPB	环回自测模式 — 当设置了该位时，MSCAN 执行可用于自测操作的内部环回。T 发送器的位流输出从内部流回接收器。12.5.4.6，“环回自测模式”。 0 环回自测禁止 1 环回自测使能
4 LISTEN	监听模式 — 该位把 SCAN 配置为 CAN 总线监控器。当设置了 LISTEN 时，会收到带有匹配 ID 的所有有效 CAN，但不发出确认或错误帧（参见 12.5.4.4，“监听模式”）。此外，错误计数器停止计数。监听模式可以支持需要“热插拔”或“吞吐量分析”的应用。当监听模式处于有效状态时，MSCAN 不能发送任何报文。 0 正常运行 1 监听模式使能
3 BORM	总线脱离恢复模式 — 该位配置 MSCAN 的总线关断恢复模式。更多报文 12.6.2，“总线脱离恢复”。 0 自动总线脱离恢复（参见 Bosch CAN 2.0A/B 协议规范） 1 用户请求的总线脱离恢复
2 WUPM	唤醒模式 — 如果 CANCTL0 中的 WUPE 被使能，该位决定是否应用集成低通滤波器来防止 MSCAN 出现假唤醒（参见 12.5.5.4，“MSCAN 睡眠模式”）。 0 MSCAN 被 CAN 总线上的任意显性信号唤醒 1 MSCAN 只有在 CAN 总线上的显性脉冲长度为 Twup 时才唤醒。

图 14-3 SCI 接收器结构图

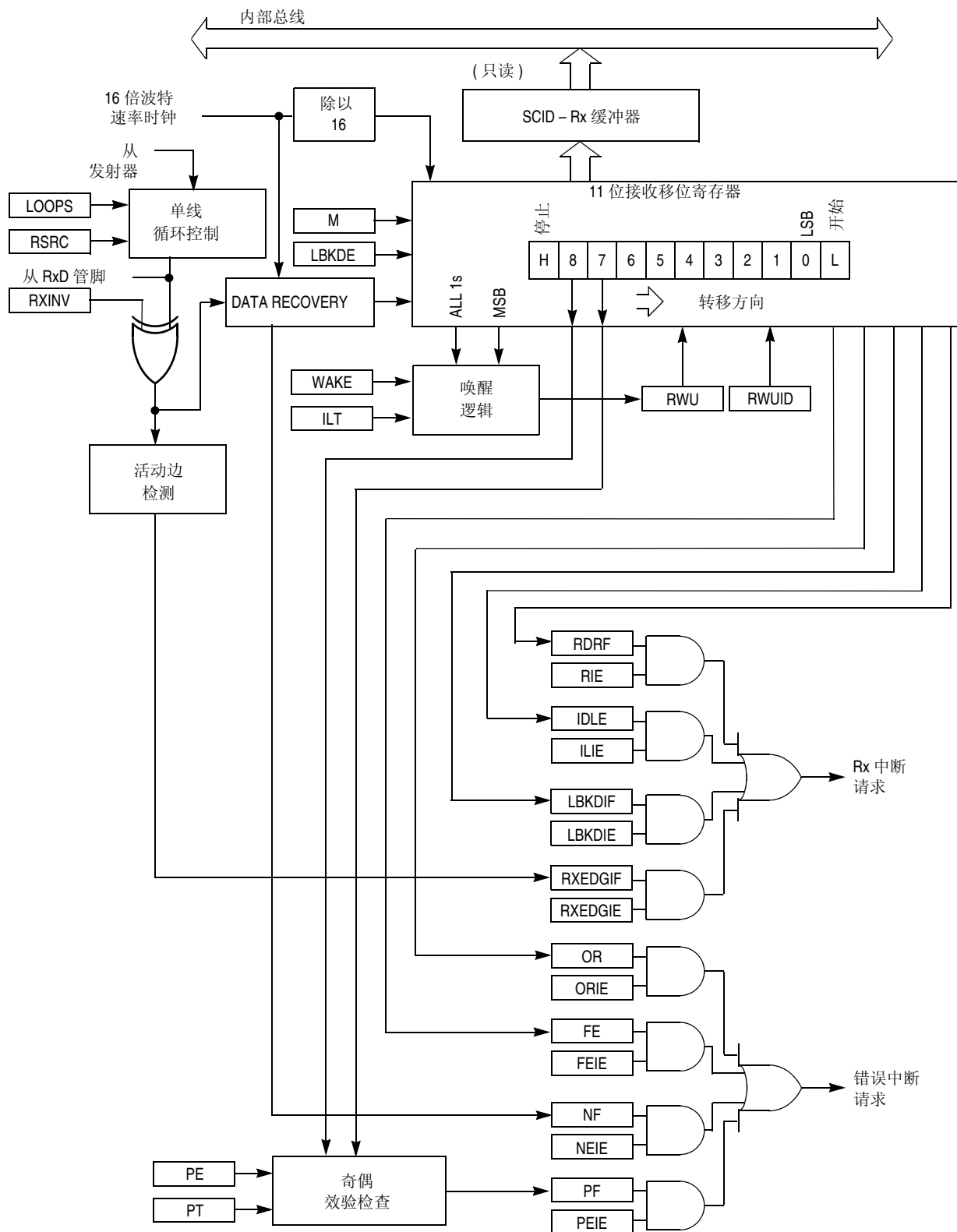


图 14-3. SCI 接收器结构图

14.3.3 接收器功能描述

在本小节，首先把接收器结构图 (图 14-3) 作为接收器总体功能描述的指南使用。然后详细描述了用来重建接收器数据的数据采样方法。最后解释了接收器唤醒功能的两个变种。

通过设置 $RXINV = 1$ ，接收器输入被反转。通过设置 $SCIxC2$ 中的 RE 位，接收器被使能。字符帧由逻辑 0 的起始位、8 个（或 9 个）数据位（LSB 先发）和逻辑 1 的停止位组成。如需了解 9 位数据模式的有关信息，参见 14.3.5.1，“8 位和 9 位数据模式”。对于本小节的其余部分，我们假设 SCI 配置用于正常的 8 位数据模式。

在把停止位接收到接收移位器后，如果接收数据寄存器还未满，数据字符就被传输到接收数据寄存器，设置接收数据寄存器已满（ $RDRF$ ）状态标记。如果已经设置了显示接收数据寄存器（缓冲器）已满的 $RDRF$ ，就设置溢出（ OR ）状态标记，新数据丢失。因为 SCI 接收器是双缓冲的，程序在设置 $RDRF$ 后、读取接收数据缓冲器的数据前，有一个全字符时间，以避免接收器溢出。

当程序检测到接收数据寄存器已满（ $RDRF = 1$ ）时，它通过读 $SCIxD$ 从接收数据寄存器中获取数据。 $RDRF$ 标记由一个 2 步式顺序自动清除，这个 2 步式顺序通常在处理接收数据的用户程序中满足。如需了解标记清除的更多详细信息，参见 14.3.4，“中断和状态标记”。

14.3.3.1 数据采样方法

SCI 接收器使用 16 倍波特率时钟进行采样。接收器通过以 16 倍波特率提取逻辑电平样本，以搜索 RxD 串行数据输入管脚上的下降边沿。下降边沿的定义是 3 个连续逻辑 1 采样后的逻辑 0 样本。16 倍波特率时钟用来把位时间划分为 16 个段，分别标记为 $RT1$ 到 $RT16$ 。当定位了下降边沿时，还要从 $RT3$ 、 $RT5$ 和 $RT7$ 中提取三个样本，以确保这是真正的起始位，而不仅仅噪音。如果这三个样本至少有两个样本为 0，接收器假设它与接收器字符同步。

接收器然后在 $RT8$ 、 $RT9$ 和 $RT10$ 的每个位时间上进行采样，包括起始位和停止位，以决定该位的逻辑电平。逻辑电平是位时间期间提取的绝大多数样本的逻辑电平。在起始位中，如果 $RT3$ 、 $RT5$ 和 $RT7$ 上的样本中至少有 2 个样本为 0，那么就假设该位为 0，即便在 $RT8$ 、 $RT9$ 和 $RT10$ 上提取的一个或所有样本均为 1。如果字符帧的任意位时间（包括起始和停止位）中的任意样本不能与该位的逻辑电平保持一致，当收到的字符传输到接收数据缓冲器时，都设置噪音标记（ NF ）。

下降边沿检测逻辑不断寻找下降边沿，如果检测到边沿，样本时钟重新同步位时间。这样当出现噪音或不匹配波特率时，就可以提高接收器的可靠性。它不能改进最坏情况分析，因为有些字符在字符帧的任何地方都没有额外的下降边沿。

在成帧错误情况下，假设收到的字符不是中止字符，搜索下降边沿的采样逻辑就充满 3 个逻辑 1 样本，这样一个新起始位几乎可以立即检测到。

在成帧错误情况下，接收器禁止接收任何新字符，直到成帧错误标记被清除。如果仍设置 FE ，接收移位寄存器继续发挥作用，但整个字符不能传输到接收数据缓冲器。

当 TPM 被配置用于中央对齐 PWM (and ELSnB:ELSnA not = 0:0) 时, 该 TPM 中所有通道的数据方向被改变; TPMxCHn 管脚被强制用作受 TPM 控制的输出, 而 ELSnA 位控制每个 TPMxCHn 输出的极性。如果 ELSnB:ELSnA=1:0, 那么在定时器计数器向上计数、通道值寄存器与定时器计数器匹配时, 相应的 TPMxCHn 管脚被清除; 当定时器计数器向下计数、通道值寄存器与定时器的计数器匹配时, TPMxCHn 管脚被设置。如果 ELSnA=1, 在定时器计数器向上计数、通道值寄存器与定时器的计数器匹配时, 相应的 TPMxCHn 管脚被设置; 当定时器计数器向下计数、通道值寄存器与定时器计数器匹配时, TPMxCHn 管脚被清除。

TPMxMODH:TPMxMODL = 0x0008
TPMxCnVH:TPMxCnVL = 0x0005

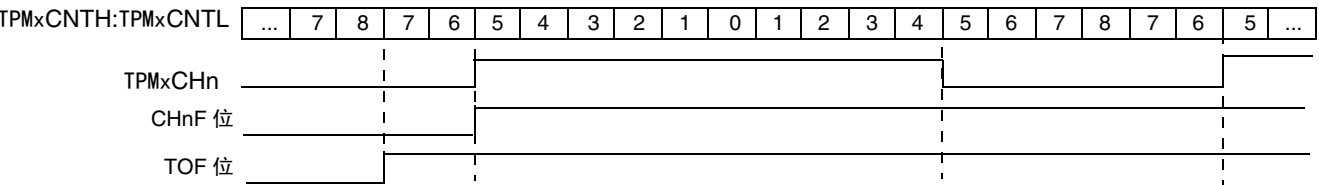


图 16-5. 中央对齐 PWM 的 High-True 脉冲

TPMxMODH:TPMxMODL = 0x0008
TPMxCnVH:TPMxCnVL = 0x0005

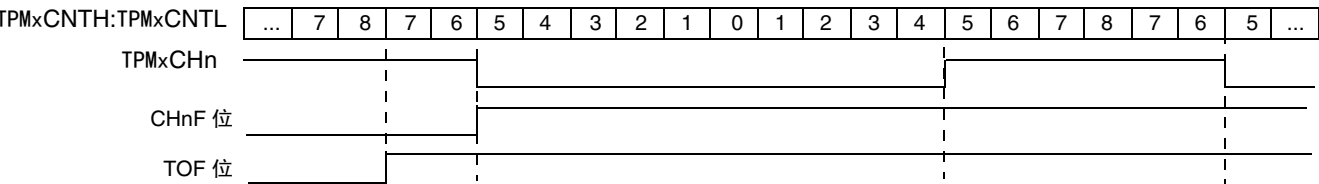


图 16-6. 中央对齐 PWM 的 Low-True 脉冲

平均芯片接面温度 (T_J) (单位 $^{\circ}\text{C}$) 可以用如下等式计算:

$$T_J = T_A + (P_D \times \theta_{JA}) \quad \text{等式 A-1}$$

其中:

T_A = 周围温度, $^{\circ}\text{C}$

θ_{JA} = 封装热阻, 结到环境, $^{\circ}\text{C}/\text{W}$

$P_D = P_{\text{int}} + P_{\text{I/O}}$

$P_{\text{int}} = I_{\text{DD}} \times V_{\text{DD}}$, 瓦特 — 芯片内部功率

$P_{\text{I/O}}$ = 输入和输出管脚上的功耗 — 由用户决定

对大多数应用来说, $P_{\text{I/O}} \ll P_{\text{int}}$, 可以忽略不计。 P_D 和 T_J 间的近似关系 (如果 $P_{\text{I/O}}$ 忽略不计) 是:

$$P_D = K \div (T_J + 273^{\circ}\text{C}) \quad \text{等式 A-2}$$

将等式 1 代入和等式 2, 求出 K 为:

$$K = P_D \times (T_A + 273^{\circ}\text{C}) + \theta_{JA} \times (P_D)^2 \quad \text{等式 A-3}$$

其中, K 是一个与特殊部件有关的常量。K 可以通过测量已知 T_A 的 P_D (平衡时), 从等式 3 计算出来。如果 K 值已知, 用等式 1 和等式 2 相式代入, 就可以得出任意 T_A 值的 P_D 和 T_J 。

A.5 ESD 保护和抗闭锁方法

尽管这些器件上的静电放电 (ESD) 损害要比早期的 CMOS 电路的 ESD 要小得多, 但仍应采取一些正常的处理防范措施, 防止静电。要执行一些鉴定测试, 以确保这些器件可以忍受合理水平的静电, 而不会造成任何永久的损害。

整个 ESD 测试符合 AEC-Q100 汽车集成电路的应力测试鉴定。在进行器件鉴定过程中, 要执行人体放电模式 (HBM) 和充电器件模式 (CDM) 的 ESD 应力测试。

如果暴露给 ESD 脉冲后, 器件不再符合器件规范, 那么就认定器件测试失败。在进行完高温测试后, 还要在室温下根据每个可适用的器件规范进行完整的 DC 参数及功能测试, 除非设备规范中另有指定。

表 A-4. ESD 和闭锁测试条件

模式	描述	符号	值	单位
人体	串联电阻	R1	1500	W
	存储电容	C	100	pF
	每管脚脉冲数	—	3	
闭锁	最小输入电压限制		-2.5	V
	最大输入电压限制		7.5	V

A.9 ADC 特性

表 A-9. 12 位 ADC 操作条件

特性	条件	符号	最小值	典型值 ¹	最大值	单位	注释
电源电压	绝对	V_{DDAD}	2.7	—	5.5	V	
	Delta to V_{DD} ($V_{DD}-V_{DDAD}$) ²	DV_{DDAD}	-100	0	+100	mV	
接地电压	Delta to V_{SS} ($V_{SS}-V_{SSAD}$) ²	DV_{SSAD}	-100	0	+100	mV	
参考电压 高		V_{REFH}	2.7	V_{DDAD}	V_{DDAD}	V	仅在 64 管脚封装中适用 { $V_{REFH} < V_{DDAD}$ 描述性的, 未在生产中测试}
参考电压 低		V_{REFL}	V_{SSAD}	V_{SSAD}	V_{SSAD}	V	不适用于 64 管脚封装 (只适用于 32 和 48 管脚封装)
输入电压		V_{ADIN}	V_{REFL}	—	V_{REFH}	V	
输入电容		C_{ADIN}	—	4.5	5.5	pF	
输入电阻		R_{ADIN}	—	3	5	k Ω	
模拟信号源电阻	12 位模式 $f_{ADCK} > 4\text{MHz}$ $f_{ADCK} < 4\text{MHz}$	R_{AS}	— —	— —	2 5	k Ω	MCU 外部
	10 位模式 $f_{ADCK} > 4\text{MHz}$ $f_{ADCK} < 4\text{MHz}$		— —	— —	5 10		
	8 位模式 (所有有效 f_{ADCK})		—	—	10		
ADC 转换时钟频率	高速 (ADLPC=0)	f_{ADCK}	0.4	—	8.0	MHz	
	低速 (ADLPC=1)		0.4	—	4.0		

¹ 典型值假设 $V_{DDAD} = 5.0\text{V}$ 、温度 = 25°C、 $f_{ADCK} = 1.0\text{MHz}$ ，除非另有其他说明。典型值仅用于参考，并在生产中测试。

² DC 潜在差。

B.7.4 PWM 占空比结束事件

对于配置用于 PWM 运行的通道，有两种可能性：

- 当通道配置用于边缘对齐 PWM 时，定时器计数器与标志活动工作周期结束的通道值寄存器匹配时，通道标记被设置。
- 当通道配置用于中央对齐 PWM 时，定时器计数与每个 PWM 周期的通道值寄存器的两倍相匹配。在这种 CPWM 情况下，通道标记会在定时器计数器与通道值寄存器匹配时，即在活动工作周期开始和结束时被设置。

这种标记通过 B.7.1，“清除定时器中断标记”中所述的两步序列清除。