

Welcome to E-XFL.COM

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	48KB (48K x 8)
Program Memory Type	FLASH
EEPROM Size	1.5K x 8
RAM Size	3K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/pro/item?MUrl=&PartUrl=mc9s08dz48amlc

章节号	标题	页码
第 16 章		
定时器脉冲宽度调节器 (S08TPMV3)		
16.1	简介	299
16.1.1	功能	301
16.1.2	运行模式	301
16.1.3	结构图	302
16.2	信号描述	304
16.2.1	详细信号描述	304
16.3	寄存器定义	308
16.3.1	TPM 状态和控制寄存器 (TPMxSC)	308
16.3.2	计数器的寄存器 (TPMxCNTH:TPMxCNTL)	309
16.3.3	TPM 计数器模数寄存器 (TPMxMODH:TPMxMODL)	310
16.3.4	TPM 通道 n 状态和控制寄存器 (TPMxCnSC)	311
16.3.5	TPM 通道值寄存器 (TPMxCnVH:TPMxCnVL)	312
16.4	功能描述	314
16.4.1	计数器	314
16.4.2	通道模式选择	316
16.5	复位概述	319
16.5.1	概况	319
16.5.2	复位操作介绍	319
16.6	中断	319
16.6.1	General	319
16.6.2	中断操作描述	319

第 17 章 开发支持

17.1	介绍	323
17.1.1	强制激活背景调试	323
17.1.2	特性	324
17.2	背景调试控制器 (BDC)	325
17.2.1	BKGD 管脚描述	325
17.2.2	通信详细介绍	326
17.2.3	BDC 命令	328
17.2.4	BDC 硬件断点	330
17.3	片上调试系统 (DBG)	331
17.3.1	比较器 A 和 B	331
17.3.2	总线捕获信息和 FIFO 操作	331
17.3.3	流变化信息	332
17.3.4	标记 vs. 强制断点和触发器	332
17.3.5	触发模式	333
17.3.6	硬件断点	334
17.4	寄存器定义	334

- Flash、EEPROM 和 RAM 的安全特性
- 突发编程功能
- 扇区擦除终止

4.5.2 编程和擦除时间

在接受任何编程或擦除命令前，必须通过写 Flash 和 EEPROM 时钟分频寄存器 (FCDIV) 以将 Flash 和 EEPROM 模块的内部时钟设置为 150 kHz ~ 200 kHz 之间的频率 (f_{FCLK}) (请参见 4.5.11.1, “Flash 和 EEPROM 时钟分频寄存器 (FCDIV)”)。这个寄存器只能写入一次，因此这一写入操作通常是在复位初始化过程中执行的。用户必须确保在写入 FCDIV 寄存器之前没有设置 FACCERR。命令处理器使用最终时钟 ($1/f_{FCLK}$) 的一个周期来对编程和擦除脉冲定时。命令处理器利用这些定时脉冲的一个整数来完成编程或擦除命令。

表 4-6 显示了编程和擦除时间。总线时钟频率和 FCDIV 决定 FCLK 的频率 (f_{FCLK})。一个 FCLK 周期为 $t_{FCLK} = 1/f_{FCLK}$ 。定时器显示为多个 FCLK 循环和一个绝对时间 ($t_{FCLK} = 5s$)。显示的编程和擦除时间包括命令状态机的开销及编程和擦除电压的启用及禁用的时间。

表 4-6. 编程和擦除时间

参数	FCLK 循环	FCLK = 200 kHz 时的时间
字节程序	9	45 ms
突发程序	4	20 ms ¹
分区擦除	4000	20 ms
整体擦除	20,000	100 ms
分区擦除终止	4	20 ms ¹

¹ 不包括开始 / 结束开销。

4.5.3 编程和擦除命令的执行

在复位和错误标记被清除后，FCDIV 寄存器在开始命令执行之前必须初始化。命令执行步骤如下：

1. 将一个数据值写入到 Flash 或 EEPROM 阵列中的一个地址中。该地址和写入的数据信息被锁定到 Flash 和 EEPROM 接口上。这一写入操作是任何命令序列中要求的第一步。对于擦除和空白检查命令，这些数据的值并不重要。对于分区擦除命令，地址可以是将要擦除的 Flash 或 EEPROM 分区中的任何地址。对于整体擦除和空白检查命令，地址可以是 Flash 或 EEPROM 内存中的任何地址。Flash 和 EEPROM 擦除互相独立。

注意

在对 Flash 或 EEPROM 中的特定字节进行编程前，该字节所在的分区必须通过整体或分区擦除操作擦除。如果对已经编程的字节中的位进行重新编程而不首先进行擦除，可能会造成 Flash 或 EEPROM 内存中保存数据的错误。

如果正在进行的分区擦除操作由于分区擦除终止命令而提前终止，FACCERR 将在操作完成（由设置的 FCCF 标记显示）后马上设置。设置 FACCERR 标记的目的是告诉用户 Flash 分区 k 可能没有完全擦除，对这个分区内任何位置进行编程前需要发出一个新的分区擦除命令。

如果发出分区擦除终止命令时，分区擦除操作正常完成了，那么在该操作完成（由设置的 FCCF 标记显示）后将不会设置 FACCERR 标记。因此，如果在分区擦除终止命令完成后没有设置 FACCERR 标记，那么发出终止命令时正在擦除的分区将完全擦除。

图 4-4 为分区擦除终止操作的流程。

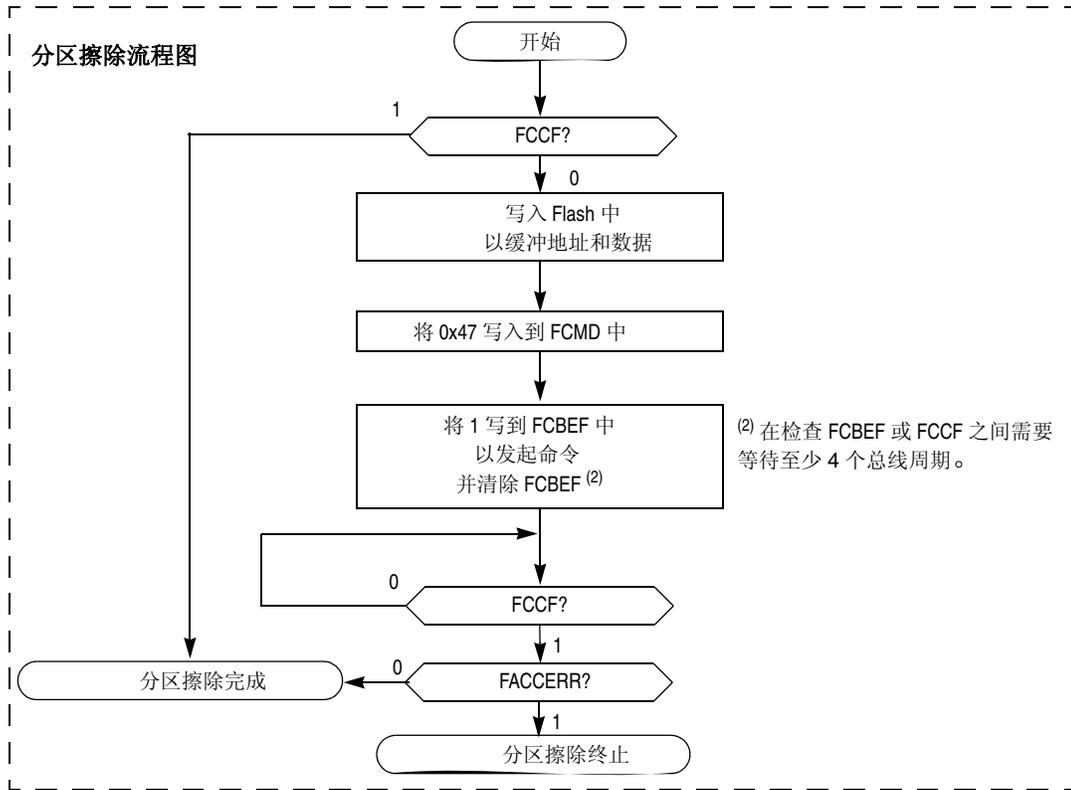


图 4-4. 分区擦除终止流程图

注意

FCBEF 标记在发出分区擦除终止命令后不会设置。如果在一个分区擦除终止操作执行过程中，开始一个新的命令写入顺序，那么 FSTAT 寄存器中将设置 FACCERR 标记。ACCERR 标记（如果被设置）被清除后，新的命令写入顺序可以开始。

注意

分区擦除终止命令应谨慎使用，因为终止分区擦除操作将计算为一个完整的编程或擦除周期。

表 4-12. FPROT 寄存器字段描述

字段	描述
7:6 EPS	EEPROM 保护选择位 — 这个 2 位字段决定不能被擦除或编程的受保护 EEPROM 位置。参见表 4-13.
5:0 FPS	Flash 保护选择位 — 这个 6 位字段决定不能被擦除或编程的受保护 Flash 位置。参见表 4-14.

表 4-13. EEPROM 块保护

EPS	受保护的地址域	受保护的内存大小 (字节)	受保护的扇区数量
0x3	N/A	0	0
0x2	0x17F0 - 0x17FF	32	4
0x1	0x17E0 - 0x17FF	64	8
0x0	0x17C0-0x17FF	128	16

表 4-14. Flash 块保护

FPS	受保护的地址域	受保护的内存大小 (字节)	受保护的扇区数量
0x3F	N/A	0	0
0x3E	0xFA00-0xFFFF	1.5K	2
0x3D	0xF400-0xFFFF	3K	4
0x3C	0xEE00-0xFFFF	4.5K	6
0x3B	0xE800-0xFFFF	6K	8
...
0x37	0xD000-0xFFFF	12K	16
0x36	0xCA00-0xFFFF	13.5K	18
0x35	0xC400-0xFFFF	15K	20
0x34	0xBE00-0xFFFF	16.5K	22
...
0x2C	0x8E00-0xFFFF	28.5K	38
0x2B	0x8800-0xFFFF	30K	40
0x2A	0x8200-0xFFFF	31.5K	42
0x29	0x7C00-0xFFFF	33K	44
...
0x22	0x5200-0xFFFF	43.5K	58
0x21	0x4C00-0xFFFF	45K	60
0x20	0x4600-0xFFFF	46.5K	62
0x19	0x4000-0xFFFF	48K	64
...

表 5-5. SOPT1 寄存器字段描述

字段	描述
4 SCI2PS	SCI2 管脚选择 — 这个单次写入有效的位选择 SCI2 模块的 RxD2 和 TxD2。 0 TxD2 在 PTF0 上, RxD2 在 PTF1 上。 1 TxD2 在 PTE6 上, RxD2 在 PTE7 上。
3 IICPS	IIC 管脚选择 — 这个单次写入有效的位选择 IIC 模块的 SCL 和 SDA 管脚的位置。 0 SCL 在 PTF2 上, SDA 在 PTF3 上。 1 SCL 在 PTE4 上, SDA 在 PTE5 上。

表 5-6. COP 配置选项

控制位		时钟源	COP 窗口 ¹ 打开 (COPW = 1)	COP 溢出计数
COPCLKS	COPT[1:0]			
无	0:0	无	无	COP 禁止
0	0:1	1 kHz	无	2 ⁵ 周期 (32 ms ²)
0	1:0	1 kHz	无	2 ⁸ 周期 (256 ms ¹)
0	1:1	1 kHz	无	2 ¹⁰ 周期 (1.024 s ¹)
1	0:1	总线	6144 周期	2 ¹³ 周期
1	1:0	总线	49,152 周期	2 ¹⁶ 周期
1	1:1	总线	196,608 周期	2 ¹⁸ 周期

¹ 窗口化 COP 操作要求用户清除所选超时周期后 25% 时间内的 COP 定时器。本栏显示在窗口化 COP 模式中, 在 COP 定时器复位前必须提供的时钟最小计数。

² 数值采用毫秒单位, 并且 $t_{LPO} = 1 \text{ ms}$ 。该值的容限请参见 A.12.1, “控制时序” 里的 t_{LPO} 。

5.8.5 系统选项寄存器 2 (SOPT2)

这个高页寄存器包含在 MC9S08DZ60 系列器件上配置 MCU 特定功能的位。

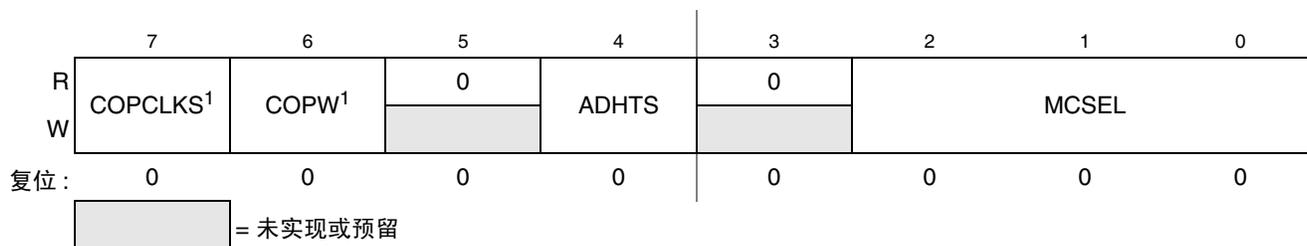


图 5-6. 系统选项寄存器 2 (SOPT2)

¹ 复位后该位只可以写入一次 (write-once)。其他写入被忽略。

6.5.1.1 A 端口数据寄存器 (PTAD)

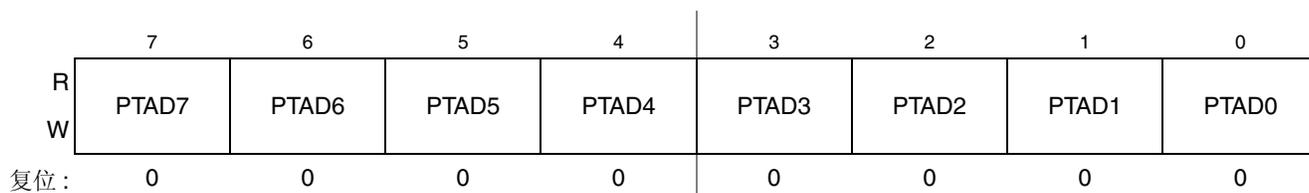


图 6-3. A 端口数据寄存器 (PTAD)

表 6-1. PTAD 寄存器字段描述

字段	描述
7:0 PTAD[7:0]	A 端口数据寄存器位 — 对于配置为输入的 A 端口管脚，读数返回管脚上的逻辑电平。对于配置为输出的 A 端口管脚，读数返回写入寄存器的最后一个值。 写入值被锁定在本寄存器的所有位中。对于配置为输出的 A 端口管脚，逻辑电平驱动相应的 MCU 管脚。 复位强制 PTAD 都为 0，但是这些 0 未被驱出相应的管脚，因为复位还会将所有端口管脚配置为上拉 / 下拉被禁止的高阻抗输入。

6.5.1.2 A 端口数据方向寄存器 (PTADD)

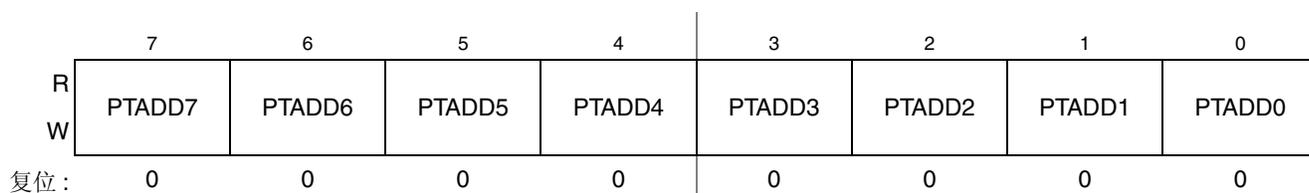


图 6-4. 端口数据方向寄存器 (PTADD)

表 6-2. PTADD 寄存器字段描述

字段	描述
7:0 PTADD[7:0]	A 端口位的数据方向 — 这些读 / 写位控制着 A 端口管脚的方向以及为 PTAD 读数读取的内容。 0 输入 (输出驱动被禁止)，读数返回管脚值。 1 A 端口位 - 输出驱动使能，PTAD 读数返回 PTADn 内容。

当满足以下条件时就进入 PLL Bypassed External 模式：

- CLKS 位写入 00
- IREFS 位写入 0
- PLLS 位写入 1
- RDIV 位写入介于 1 MHz - 2 MHz 频率范围的分频参考时钟。
- LP 位写入 0

在 PLL Bypassed External 模式中，MCGOUT 时钟源自外部参考时钟。使能的外部参考时钟可以是外部晶体 / 谐振器，也可以是另外一个外部时钟源。PLL 时钟频率是参考频率（RDIV 位所选）和倍频因子（VDIV 位所选）乘积。如果使能 BDM，MCGLCLK 值就是 DCO 除以 2（开放环路模式）的得数。如果禁止 BDM，那么 FLL 被禁止且处于低功率状态。

8.5.1.7 Bypassed Low Power Internal (BLPI)

当满足以下条件时就进入 Bypassed Low Power Internal（BLPI）模式：

- CLKS 位写入 01
- IREFS 位写入 1
- PLLS 位写入 0
- LP 位写入 1
- BDM 模式未活动

在 Bypassed Low Power Internal 模式中，MCGOUT 时钟源自内部参考时钟。

在 BLPI 模式中，PLL 和 FLL 总是无效的，且 MCGLCLK 不能用于 BDC 通信。如果 BDM 进入活动状态，该模式将切换为由 PLLS 位状态决定的另外一种内部旁路模式。

8.5.1.8 Bypassed Low Power External (BLPE)

当满足以下条件时就进入 Bypassed Low Power External（BLPE）模式：

- CLKS 位写入 10
- IREFS 位写入 0
- PLLS 位写入 0 或 1
- LP 位写入 1
- BDM 模式未活动

在 Bypassed Low Power External 模式中，MCGOUT 时钟源自外部参考时钟。使能的外部参考时钟可以是外部晶体 / 谐振器，也可以是另外一个外部时钟源。

在 BLPE 模式中，PLL 和 FLL 总是无效的，且 MCGLCLK 不能用于 BDC 通信。如果 BDM 进入活动状态，该模式将切换到由 PLLS 位状态决定的另外一种外部旁路模式。

8.6.2.1 示例 1: 从 FEI 切换到 PEE 模式: 外部晶体 = 4 MHz、总线频率 = 8 MHz

本例中, MCG 将通过适当的运行模式从 PEE 转换到 BLPI 模式, 直到设置了 4 MHz 晶体参考频率来实现 8 MHz 的总线频率。因为 MCG 复位后处于 FEI 模式, 本例还显示了在复位后如何初始化 MCG, 实现进入 PEE 模式。示例中首先介绍了代码序列, 然后提供了一个演示该顺序的流程图。

1. 首先, FEI 必须转换到 FBE 模式:
 - a) MCGC2 = 0x36 (%00110110)
 - BDIV (位 7 和 6) 设置为 %00 或除以 1
 - RANGE (位 5) 设置为 1, 因为 4 MHz 的频率位于高频范围。
 - HGO (位 4) 设置为 1, 配置外部振荡器以实现高增益运行;
 - EREFS (位 2) 设置为 1, 因为正在使用晶体;
 - ERCLKEN (位 1) 设置为 1, 确保外部参考时钟处于活动状态;
 - b) 循环检测, 直到 MCGSC 中 OSCINIT (位 1) 是 1, 表明 EREFS 位选择的晶体已经完成初始化。
 - c) MCGC1 = 0xB8 (%10111000)
 - CLKS (位 7 和 6) 设置为 %10, 以便选择外部参考时钟为系统时钟源。
 - RDIV (位 5-3) 设置为 %111 或 divide-by-128, 因为 $4 \text{ MHz} / 128 = 31.25 \text{ kHz}$, 这在 FLL 要求的 31.25 kHz-- 39.0625 kHz 频率范围内。
 - IREFS (位 2) 清除至 0, 选择外部参考时钟。
 - d) 循环检测, 直到 MCGSC 中的 IREFST (位 4) 是 0, 表明外部参考是当前的参考时钟源。
 - e) 循环检测, 直到 MCGSC 中的 CLKST (位 3 和 2) 是 %10, 表明已经选择外部参考时钟为当前时钟模式的 MCGOUT 馈电。
2. 然后, FBE 必须直接转换到 PBE 模式或先转换到 BLPE 模式, 然后再转换到 PBE 模式:
 - a) BLPE: 如果需要从 BLPE 模式中转换, 首先把 MCGC2 中的 LP (位 3) 设置为 1。
 - b) BLPE/PBE: MCGC1 = 0x90 (%10010000)
 - RDIV (位 5-3) 设置为 %010 或除以 4, 因为 $4 \text{ MHz} / 4 = 1 \text{ MHz}$, 这在 PLL 要求的 1MHz - 2 MHz 频率范围内。在 BLPE 模式中, RDIV 的配置不重要, 因为 FLL 和 PLL 都被禁止。更改它们只会建立供 PLL 在 PBE 模式中使用的分频器。
 - c) BLPE/PBE: MCGC3 = 0x44 (%01000100)
 - PLLS (位 6) 设置为 1, 选择 PLL。在 BLPE 模式中, 更改该位只会让 MCG 准备在 PBE 模式中的 PLL 使用
 - VDIV (位 3-0) 设置为 %0100 或乘以 16, 因为 $1 \text{ MHz 参考} * 16 = 16 \text{ MHz}$ 。在 BLPE 模式中, VDIV 位的配置不重要, 因为 PLL 被禁止。更改它们只会为 PBE 模式中的 PLL 使用乘积因子。

10.5.4.4 功率控制

ADC 模块在转换发起前一直保持空闲状态。如果 ADACK 被选为转换时钟源，ADACK 时钟发生器也会被使能。

可以通过设置 ADLPC 降低运行功耗。这也会降低 fADCK 的最大值（参见电气规范）。

10.5.4.5 采样时间和总转换时间

总转换时间取决于采样时间（由 ADLSMP 决定）、MCU 总线频率、转换模式（8 位、10 位或 12 位）和转换时钟的频率（fADCK）。模块使能后，输入采样开始。ADLSMP 用来选择短（3.5 ADCK 周期）和长（23.5 ADCK 周期）采样时间。采样完成时，转换器与输入通道隔离，实施逐次逼近算法来决定模拟信号的数字值。一旦转换算法结束，转换结果就传输到 ADCRH 和 ADCRL。

如果总线频率小于 fADCK 频率，在使能短采样时间（ADLSMP=0）时，不能保证连续转换模式下采样时间的准确性。如果总线频率小于 fADCK 频率的 1/11，在使能长采样时间（ADLSMP=1）时，不能保证连续转换模式下采样时间的准确性。

表 10-12 概括介绍了不同条件下的最长总转换时间。

表 10-12. 总转换时间与控制条件之比较

转换类型	ADICLK	ADLSMP	最长总转换时间
单次转换或连续转换的第一次 8 位	0x, 10	0	20 个 ADCK 周期 + 5 个总线时钟周期
单次转换或连续转换的第一次 10 位或 12 位	0x, 10	0	23 个 ADCK 周期 + 5 个总线时钟周期
单次转换或连续转换的第一次 8 位	0x, 10	1	40 个 ADCK 周期 + 5 个总线时钟周期
单次转换或连续转换的第一次 10 位或 12 位	0x, 10	1	43 个 ADCK 周期 + 5 个总线时钟周期
单次转换或连续转换的第一次 8 位	11	0	5ms + 20 ADCK + 5 个总线时钟周期
单次转换或连续转换的第一次 10 位或 12 位	11	0	5ms + 23 ADCK + 5 个总线时钟周期
单次转换或连续转换的第一次 8 位	11	1	5ms + 40 ADCK + 5 个总线时钟周期
单次转换或连续转换的第一次 10 位或 12 位	11	1	5ms + 43 ADCK + 5 个总线时钟周期
后续连续转换 8 位； $f_{BUS} \geq f_{ADCK}$	xx	0	17 ADCK 周期
后续连续转换 10 位或 12 位； $f_{BUS} \geq f_{ADCK}$	xx	0	20 ADCK 周期
后续连续转换 8 位； $f_{BUS} \geq f_{ADCK}/11$	xx	1	37 ADCK 周期
后续连续转换 10 位或 12 位； $f_{BUS} \geq f_{ADCK}/11$	xx	1	40 ADCK 周期

11.2.3 结构图

图 11-3 是 ICC 的结构图。

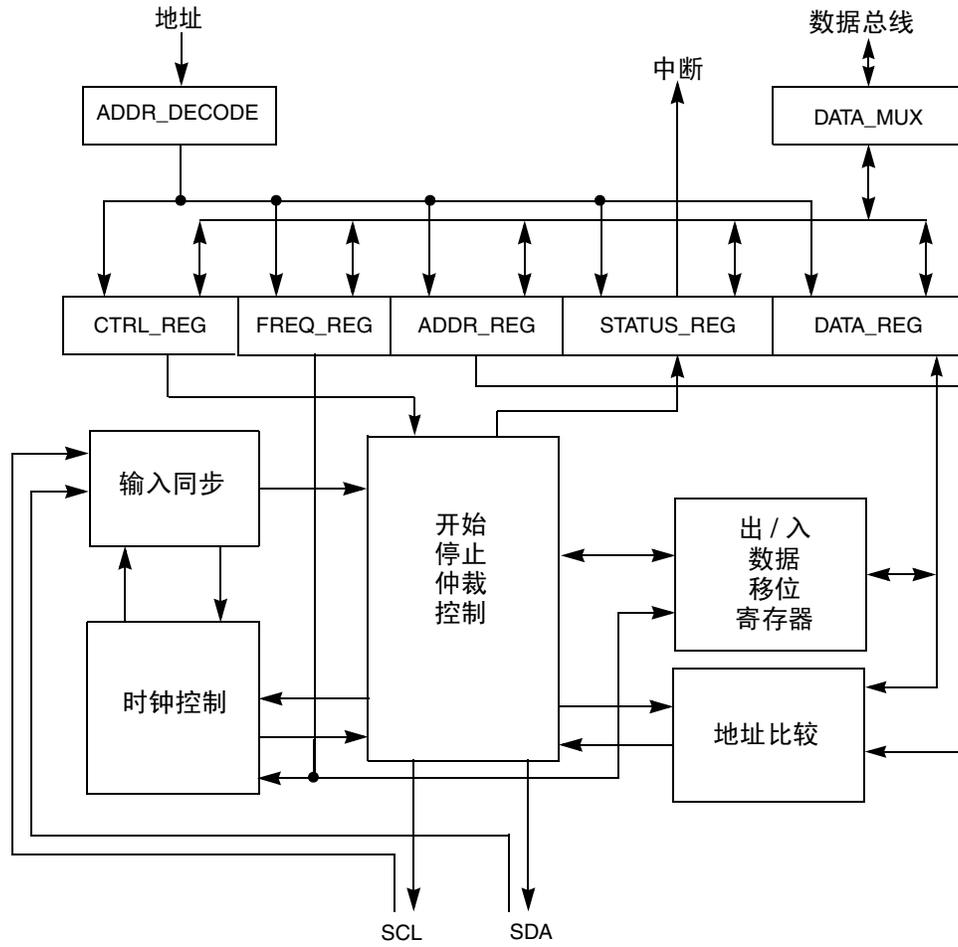


图 11-2. IIC 功能结构图

11.3 外部信号描述

本节描述了用户可连接各个管脚信号。

11.3.1 SCL — 串行时钟线

双向 SCL 是 IIC 系统的串行时钟线。

11.3.2 SDA — 串行数据线

双向 SDA 是 IIC 系统的串行数据线。

表 11-2. IICF 字段描述

字段	描述
7-6 MULT	<p>IIC 倍频因子。MULT 位定义倍频因子 mul。该倍频因子与 SCL 分频器一起，共同生成 IIC 波特率。MULT 位定义的倍频因子 mul 如下：</p> <p>00 mul = 01 01 mul = 02 10 mul = 04 11 保留</p>
5-0 ICR	<p>IIC 时钟率。IIC 位用来预分频总线时钟，以便进行比特率选择。这些位和 MULT 位确定 IIC 波特率、SDA 保持时间、SCL 开始保持时间和 SCL 停止保持时间。表 11-4 为 ICR 的相应值提供了 SCL 分频器和保持值。</p> <p>由倍频因子 mul 和 SCL 分频器生成 IIC 波特率。</p> $\text{IIC baud rate} = \frac{\text{bus speed (Hz)}}{\text{mul} \times \text{SCLdivider}} \quad \text{等式 11-1}$ <p>SDA 保持时间是从 SCL (IIC 时钟) 的下降边沿到 SDA (IIC 数据) 变化的延迟。</p> $\text{SDA 保持时间} = \text{总线周期 (s)} \times \text{mul} \times \text{SDA 保持值} \quad \text{等式 11-2}$ <p>SCL 开始保持时间是从 SDA (IIC 数据) 的下降边沿 (这时 SCL 处于高一开始状态) 到 SCL (IIC 时钟) 下降边沿的延迟。</p> $\text{SCL 开始保持时间} = \text{总线周期 (s)} \times \text{mul} \times \text{SCL 开始保持值} \quad \text{等式 11-3}$ <p>SCL 停止保持时间是从 SCL (IIC 时钟) 的上升边沿到 SDA (IIC 数据) 上升边沿的延迟 (这时 SCL 处于高一停止状态)</p> $\text{SCL 停止保持时间} = \text{总线周期 (s)} \times \text{mul} \times \text{SCL 停止保持值} \quad \text{等式 11-4}$

例如，如果总线速率为 8 MHz，下表显示了不同 ICR 和 MULT 选择为达到 100kbps 的 IIC 波特率的可能保持时间值。

表 11-3. 8 MHz 总线速度保持时间值

MULT	ICR	保持时间 (μs)		
		SDA	SDA SCL 开始	SCL 停止
0x2	0x00	3.500	3.000	5.500
0x1	0x07	2.500	4.000	5.250
0x1	0x0B	2.250	4.000	5.250
0x0	0x14	2.125	4.250	5.125
0x0	0x18	1.125	4.750	5.125

12.3.4.1 MSCAN 接收器标志寄存器 (CANRFLG)

每个标志只有在造成该设置的条件不再有效时才能通过软件清除（将 1 写入相应位位置）。每个标志在 CANRIER 寄存器中都有相关的中断使能位。

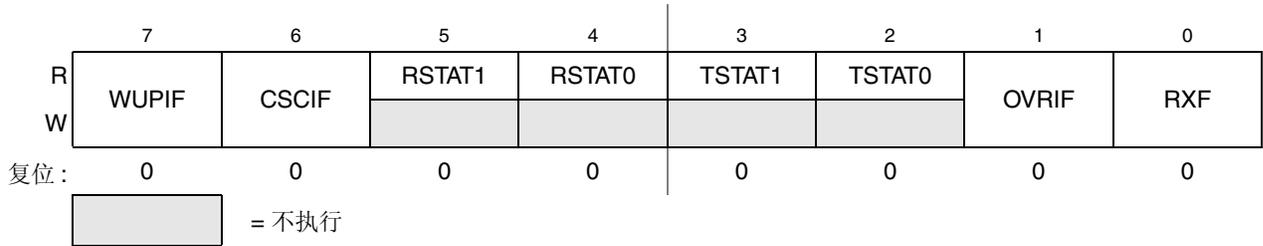


图 12-8. MSCAN 接收器标志寄存器 (CANRFLG)

注意

当初始化模式处于有效状态时 CANRFLG 寄存器保持复位状态 1 (INITRQ = 1, INITAK= 1)。一旦退出初始化模式，该寄存器就可以重新写入 (INITRQ = 0 and INITAK = 0)。

读取：任何时间

写入：退出初始化模式的任何时间，除非 RSTAT[1:0] 和 TSTAT[1:0] 标志是只读；写入 1 表示清除标志，写入 0 表示忽略标志。

表 12-9. CANRFLG 寄存器字段描述

字段	描述
7 WUIPF	唤醒中断标志—如果在处于睡眠模式时 MSCAN 检测到 CAN 总线上面有有效 (参见 12.5.5.4, “MSCAN 睡眠模式”) 且 CANTCTL0 中的 WUPE = 1(参见 12.3.1, “MSCAN 控制寄存器 0 (CANCTL0)”), 那么该模块将设置 WUIPF。如果未被屏蔽, 当设置了该标志时有一个唤醒中断产生。 0 处于睡眠模式时未观察到唤醒有效 1 MSCAN 检测到 CAN 总线上有有效并请求唤醒
6 CSCIF	CAN 状态变化中断标志—当 MSCAN 由于发送错误计数器 (TEC) 和接收错误计数器的实际值而更改其当前 CAN 总线状态时, 设置该标志。另外一个为 TEC/REC 分出几个独立段的 4 位 (RSTAT[1:0]、TSTAT[1:0]) 状态寄存器告知系统实际的 CAN 总线状态 (参见 12.3.5, “MSCAN 接收器中断使能寄存器 (CANRIER)”)。如果未被屏蔽, 当设置了该标志时有一个错误中断产生。CSCIF 提供一个拦截中断, 这保证了接收器 / 发送器状态位 (RSTAT/TSTAT) 只有在无 CAN 状态变化中断产生时才进行更新。如果 TEC/REC 在 CSCIF 置位后更改其当前值, 就会引起 RSTAT/TSTAT 位的其他状态变化。这些位会一直保持它们的状态, 直到当前 CSCIF 中断被再次清除。 0 自上次中断以来 CAN 中线状态未发生变化 1 MSCAN 更改了当前 CAN 总线状态
5:4 RSTAT[1:0]	接收器状态位— 错误计数器的值控制着 MSCAN 的实际 CAN 总线状态。只要设置了状态变化中断标志 (CSCIF), 这些位就显示 MSCAN 的与接收器有关的适当 CAN 总线状态。位 RSTAT1、RSTAT0 的编码是: 00 RxOK: 0 ≤ 接收错误计数器 ≤ 96 01 RxWRN: 96 < 接收错误计数器 ≤ 127 10 RxERR: 127 < 发送错误计数器 11 Bus-off ¹ : 发送错误计数器 > 255

12.5.5.5 MSCAN I 初始化模式

在初始化模式中，正在进行的任何发送或接收都会立即中止，与 CAN 总线的同步丢失，并可能引起 CAN 协议违反。为了防止 CAN 总线系统出现严重的违反后果，MSCAN 立即驱动 TXCAN 管脚进入隐性状态。

注意

进入初始化模式时，用户负责保证 MSCAN 不在工作态。推荐步骤是在 CANCTL0 寄存器中设置 INITRQ 位前，把 MSCAN 置入睡眠模式（SLPRQ = 1，SLPAK = 1）。否则，中止正在发送的报文可能导致错误情况，并影响到其他 CAN 总线节点。

在初始化模式中，MSCAN 被停止。然而，接口寄存器仍然可以访问。这种模式用来将 CANCTL0、CANRFLG、CANRIER、CANTFLG、CANTIER、CANTARQ、CANTAACK 和 CANTBSEL 寄存器复位为它们的默认值。此外，MSCAN 还使能 CANBTR0、CANBTR1 位计时寄存器的配置以及 CANIDAC、CANIDAR 和 CANIDMR 报文滤波器。参见 12.3.1，“MSCAN 控制寄存器 0 (CANCTL0)”，有关初始化模式的详细描述。

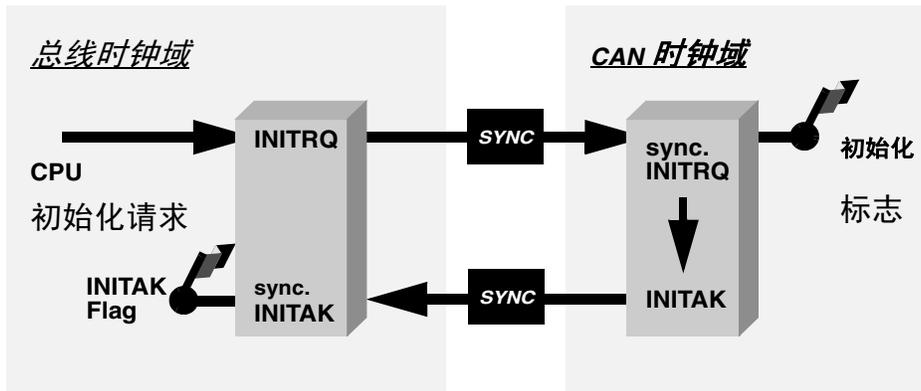


图 12-46. 初始化请求 / 确认周期

由于 MSCAN 内的独立时钟域，INITRQ 必须通过采用特殊握手机制与所有时钟同步。这种握手导致了进一步的同步延迟（参见图 12-46，“初始化请求 / 确认周期”）。

如果 CAN 总线上没有正在传输的报文，最小延迟将是两个额外的总线时钟和三个额外的 CAN 时钟。当 MSCAN 的所有部件都处于初始化模式时，t.INITAK 标志置位。应用软件必须将 INITAK 作为握手标志，以便请求（INITRQ）进入初始化模式。

注意

在使能初始化模式（INITRQ = 1 and INITAK = 1）前，CPU 不能清除 INITRQ。

12.5.5.6 MSCAN 断电模式

当出现以下情况时，MSCAN 处于断电模式（表 12-36）

- CPU 处于停止模式，
或
- CPU 处于等待模式且设置了 CSWAI 位

当进入断电模式时，MSCAN 立即停止正在进行的所有发送和接收，可能造成违反 CAN 协议。为了防止 CAN 总线系统出现违反上述规则的严重后果，MSCAN 立即驱动 TXCAN 管脚进入隐性状态。

注意

进入初始化模式时，用户负责保证 MSCAN 不在工作态。推荐步骤是在 CANCTL0 寄存器中设置 INITRQ 位前，把 MSCAN 置入睡眠模式（SLPRQ = 1，SLPAK = 1）。否则，中止正在发送的报文可能导致错误情况，并影响到其他 CAN 总线节点。

在断电模式中，所有时钟停止，且不能访问寄存器。如果在断电模式有效前 MSCAN 未处于睡眠模式，通电后该模块执行一个内部恢复周期。这会给模块再次进入正常模式带来某些固定延迟。

12.5.5.7 可编程唤醒功能

只要检测到 CAN 总线有效（参见 12.3.1，“MSCAN 控制寄存器 0 (CANCTL0)”中的控制位 WUPE）。就可以对 MSCAN 进行编程以唤醒 MSCAN。当处于睡眠模式时，通过将低通滤波器功能应用于 RXCAN 输入，可以更改 CAN 总线检测的灵敏度（参见 12.3.2，“控制寄存器 1 (CANCTL1)”中的控制位 WUPM）。

该功能可以用来防止由于 CAN 总线线路上的短脉冲而唤醒 MSCAN。例如，嘈杂环境中的电磁干扰可以引起尖峰脉冲。

12.5.6 复位初始化

各个单个位的复位状态在 12.3，“寄存器定义”，其中详细阐述了所有寄存器及其位字段。

12.5.7 中断

本小节描述了由 MSCAN 引发的所有中断，列出了使能位和触发标志。文中单独列出并描述了每个中断。

12.5.7.1 中断运行描述

MSCAN 支持四个中断矢量（参见表 12-37），任意一个矢量都可以单独屏蔽。12.3.5，“MSCAN 接收器中断使能寄存器 (CANRIER)”至 12.3.7，“MSCAN 发送器中断使能寄存器 (CANTIER)”）。

注意

专用的中断矢量地址在 Resets and Interrupts 章中有详细说明。

表 16-3. TPM- 时钟源选择

CLKSB:CLKSA	预分频器输入的 TPM 时钟源
00	未选择时钟 (TPM 计数器关闭)
01	总线速率时钟
10	固定系统时钟
11	外部源

表 16-4. 预分频器因子选择

PS2:PS1:PS0	TPM 时钟源除数
000	1
001	2
010	4
011	8
100	16
101	32
110	64
111	128

16.3.2 计数器的寄存器 (TPMxCNTH:TPMxCNTL)

两个只读 TPM 计数器寄存器包含 TPM 计数器中值的高低字节。读取任何一个字节 (无论是 TPMxCNTH 还是 TPMxCNTL) 都会使两个字节的內容锁入到缓冲器中。这些內容一直被锁定在那里,直到另一半被读取。这允许按从小到大或从大到小的顺序进行连贯的 16 位读取,使它更加友好地适应各种编译器编译。一致性机制可通过 MCU 复位或定时器状态/控制寄存器 (TPMxSC) 写入操作自动重启。

复位可清除 TPM 计数器寄存器。此外,向 TPMxCNTH 或 TPMxCNTL 中写入任何值也可清除 TPM 计数器 (TPMxCNTH:TPMxCNTL) 并复位一致性机制,而不管写入操作所涉及的数据。



图 16-8. TPM 计数器寄存器高字节 (TPMxCNTH)

表 16-7. TPM 时钟源选择

CLKSB:CLKSA	预分频器输入的 TPM 时钟源
00	没有选择时钟 (TPM 计数器被关闭)
01	总线速率时钟
10	固定系统时钟
11	外部源

总线速率时钟是 MCU 的主系统总线时钟。这个时钟源不要求同步，因为它是用于所有内部 MCU 活动（包括 CPU 和总线运行）的时钟。

在没有 PLL 或没有使用 PLL 的 MCU 中，固定系统时钟源与总线速率时钟源相同，不需要经过同步器。当存在并使用了 PLL 时，在晶振 2 分时钟源和定时器计数器之间要求同步器，以确保计数器过渡与总线时钟过渡同步。同步器将用于芯片一级，以便将晶振相关源时钟与总线时钟同步。

外部时钟源可与任何 TPM 通道管脚连接。这种时钟源必须始终通过同步器，确保计数器过渡与总线时钟过渡保持同步。总线速率时钟驱动同步器；因此，要满足 Nyquist 标准甚至抖动，外部时钟源的频率必须不能高于总线速率的四分之一。使用适当时钟时，外部时钟可与总线时钟的四分之一一样快。

当外部时钟源共享 TPM 通道管脚时，该管脚不应用于其他通道计数功能。例如，当 TPM 通道 0 管脚同时也用作定时器外部时钟源时，将通道 0 配置用于输入捕捉会造成不明确。（用户应负责避免这种设置。）TPM 通道仍可用于输出比较模式以支持软件计时功能（管脚控制位不影响 TPM 通道管脚）。

16.4.1.2 计数器溢出和模数复位

中断标记和使能与 16 位主计数器相关。标记 (TOF) 是显示定时器计数器溢出的软件可接入指标。不论何时 TOF 标记等于 1，使能信号都在软件轮询 (TOIE=0)（无硬件中断被生成）或中断驱动操作 (TOIE=1)（生成静态硬件中断）间选择。

导致 TOF 被设置的条件取决于 TPM i 是否被配置为中央对齐 PWM (CPWMS=1)。在最简单的模式下没有模数限制，TPM 也不在 CPWMS=1 模式中。在这种情况下，16 位定时器计数器从 0x0000 计数到 0xFFFF，然后在下一个计数时钟周期内溢出为 0x0000。在从 0xFFFF 过渡到 0x0000 时，TOF 被设置。设置了模数限制时，TOF 在从模数寄存器中设置的值向 0x0000 过渡时设置。当 TPM 处于中央对齐 PWM 模式时 (CPWMS=1)，TOF 标记在计数器到达模数寄存器中设置的计数值结束改变方向时被设置（也就是说从模数寄存器中设置的值向下一个更低计数值过渡时）。这与 PWM 周期结束对应（0x0000 计数值与周期中央对应）。

16.4.1.3 计数模式

主定时器的计数器有两种计数模式。选择中央对齐 PWM 时，计数器以向上 / 向下计数模式运行。否则，计数器作为简单的向上计数器运行。作为向上计数器时，定时器计数器从 0x0000 计数到其终端计数，然后从 0x0000 重新开始。终端计数为 0xFFFF 或 TPMxMODH:TPMxMODL 中的模数值。

第 17 章 开发支持

17.1 介绍

HCS08 中的开发支持系统包括背景调试控制器 (BDC) 和片上调试模块 (DBG)。BDC 提供单线调试接口，与目标连接，通过这个接口可以方便地进行片上闪存和其它非易失性存储器的编程。BDC 也是开发用的主要调试接口，允许以非侵入式方式存取存储器数据和传统调试功能，如 CPU 寄存器修改、断点和单指令跟踪命令等。

在 HCS08 产品系列中，外部管脚不包括地址和数据总线信号（即使在测试模式也不包括）。调试的执行是通过单线背景调式接口向目标 MCU 传输命令来实现的。调试模块提供了一种有选择性地触发和捕获总线信息的方式，这样外部开发系统可以对 MCU 内发生的事件按周期进行重现，而不需要从外部存取 MCU 的地址和数据信号。

17.1.1 强制激活背景调试

强制激活背景调试模式的方式取决于具体的 HCS08 衍生产品。对，你可以在上电复位后强制激活背景调试，即当器件退出复位时保持 BKGD 引脚为低。你还可以通过将 SBDFR 寄存器的 BDFR 位置 1 的串行背景调试命令之后拉低 BKGD 管脚从而强制激活背景调试中的 BKGD 管脚后立即使低。如果没有调试盒连接到 BKGD 管脚，MCU 将总是复位到正常操作模式。

图 17-3 显示主机从目标 HCS08 MCU 收到逻辑 1。由于主机与目标异步，因此主机生成的 BKGD 上的下降边沿与目标 MCU 所认为的位时间起始点有 0 到 1 个周期的延迟。主机保持低 BKGD 管脚足够长的时间，使目标识别它（至少两个目标 BDC 周期）。主机必须在目标 MCU 在其认为的位计时开始后驱动瞬时高态加速脉冲七个周期前，释放低电平驱动。主机应该在其启动位时间约 10 个周期后采样位电平。

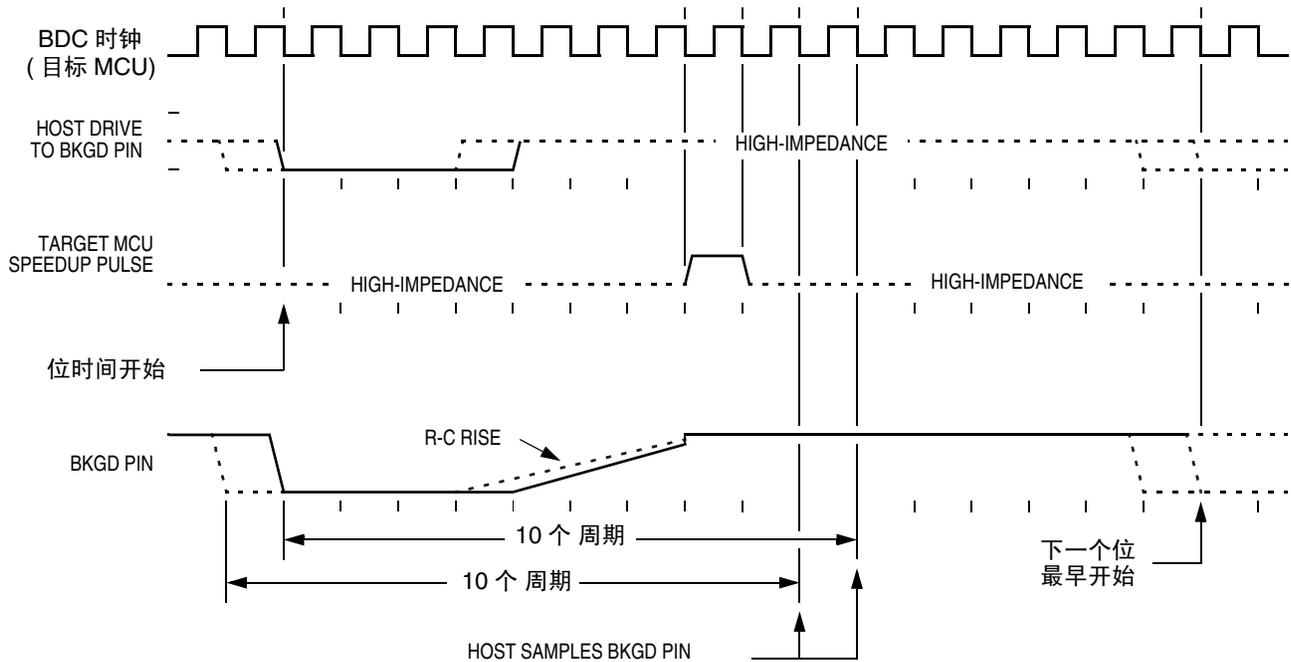


图 17-3. BDC 目标 - 到 - 主机串行位时序 (逻辑 1)

图 17-4 显示了主机从目标 HCS08 MCU 收到逻辑 0。由于主机与目标异步，因此主机生成的 BKGD 上的下降边沿与目标 MCU 所认为的位时间起始点有 0 到 1 个周期的延迟。主机启动位时间，但是目标 HCS08 MCU 完成它。由于目标希望主机接收逻辑 0，它保持低 BKGD 管脚 13 个 BKGD 管脚周期，然后驱动引脚置高，加速上升沿。主机在启动位时间约 10 个周期后采样位电平。

	7	6	5	4	3	2	1	0
R	ENBDM	BDMACT	BKPTEN	FTS	CLKSW	WS	WSF	DVF
W								
正常复位	0	0	0	0	0	0	0	0
在激活 BDM 中复位	1	1	0	0	1	0	0	0

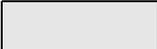
 = 未实施或预留

图 17-5. BDC 状态和控制寄存器 (BDCSCR)

表 17-2. BDCSCR 寄存器字段描述

字段	描述
7 ENBDM	激活 BDM (允许激活背景调试模式) — 一般而言, 这个位在调试开始后不久, 或只要调试主机复位目标, 由调试主机写为 1, 并保留 1, 直到通过正常的复位清除它。 0 BDM 不能激活 (非侵入式命令仍然被允许) 1 BDM 可以激活, 允许激活后台模式命令
6 BDMACT	背景调试模式激活状态 — 这是只读状态位。 0 BDM 未激活 (用户应用程序运行) 1 BDM 激活并等待串行命令
5 BKPTEN	BDC 断点激活 — 如果这个位清零, BDC 断点处于处活状态, FTS (强制标签选择) 控制位和 BDCBKPT 匹配寄存器被忽略。 0 BDC 断点禁止 1 BDC 断点激活
4 FTS	强制 / 标签选择 — 当 FTS = 1, 只要 CPU 地址总线匹配 BDCBKPT 匹配寄存器, 则请求断点。当 FTS = 0, CPU 地址总线与 BDCBKPT 寄存器之间的匹配会造成获取的操作码被标记。如果标记的操作码到达指令队列的末端, CPU 则进入激活后台模式, 而不是执行标记的操作码。 0 在断点地址标记操作码, 如果 CPU 试图执行该指令, 则进入激活后台模式 1 断点匹配强制在下一个指令边界进入激活后台模式 (地址不必是操作码)
3 CLKSW	选择 BDC 通信时钟的源 — CLKSW 默认 0, 选择其它 BDC 时钟源。 0 其它 BDC 时钟源 1 MCU 总线时钟表
2 WS	等待或停止状态 — 当目标 CPU 处于等待或停止状态时, 大多数 BDC 命令不起作用。但是可以用后台命令来强制目标 CPU 从等待或停止状态进入激活后台模式, 这样所有 BDC 命令都可以起作用。只要主机强制目标 MCU 进入激活背景调试模式, 主机应该发出 READ_STATUS 命令, 在尝试其它 BDC 命令前, 检查 BDMACT = 1。 0 目标 CPU 运行用户应用代码, 或处于激活背景调试模式 (当后台激活时, 它不处于等待或停止模式) 1 目标 CPU 处于等待或停止模式, 或者后台命令用来将其从等待或停止状态改变为激活背景调试模式
1 WSF	等待或停止失败状态 — 如果这存储器存取命令因目标 CPU 在大约相同时间执行等待或停止指令而失败, 则设置这个状态位。通常的恢复策略是发出后台命令, 从等待或停止模式进入激活后台模式, 重复失败的命令, 然后返回到用户程序。(一般地, 主机应该恢复 CPU 寄存器, 准备值, 重新执行等待或停止指令。) 0 存储器存取与等待或停止指令不冲突 1 存储器存取命令失败, 因为 CPU 已进入等待或停止模式
0 DVF	数据有效失败状态 — 这个状态位没有在 MC9S08DZ60 系列中使用, 因为它没有慢存取存储器。 0 存储器存取与慢存储器接入不冲突 1 存储器存取命令失败, 因为 CPU 没有完成慢存储器接入

表 A-6. DC 特性 (续)

编号	C	特性	符号	条件	最小值	典型值 ¹	最大值	单位
24	C	$V_{DD} = 3.0\text{ V}$, Temp = 25 °C 时的带隙电压 参考源	V_{BG}		1.19	1.20	1.21	V

¹ 典型值是温度在 25°C 时测量的。描述性，未经测试。

² 当配置管脚中断来探测上升沿时，就使用下拉电阻来代替上拉电阻。

³ 最大值指保证 POR 时的最高电压。

⁴ 模拟的，未测试。

⁵ 在瞬时和操作最大电流条件下，电源必须维持在操作 VDD 范围内。如果正注入电流 ($V_{In} > V_{DD}$) 大于 I_{DD} ，注入电流就可能超出 VDD，并导致外部电源不可调控。确保外部 VDD 载荷分流大于最大注入电流的电流。当 MCU 不消耗功率时，就会有最大的风险。这样的例子包括：如果当前无系统时钟，或者如果时钟速率非常低，这都会降低总体功耗。

⁶ 所有功能性非供应管脚均内部限制到 V_{SS} 和 V_{DD} 。

⁷ 输入必须是限定为指定值的电流。要确定所需的电流限定电阻器的值，需要先计算正和负钳位电压的电阻值，然后使用两个电阻值中的较大者。

⁸ PTE1 没有 V_{DD} 钳位二极管，不要把 PTE1 提高到 V_{DD} 。

A.7 电源电流特性

表 A-7. 电源电流特性

编号	C	参数	符号	V_{DD} (V)	典型值 ¹	最大值 ²	单位	
1	C	当 (CPU 时钟 = 2 MHz、 $f_{Bus} = 1\text{ MHz}$) 时测量的电源电流 ³	$R I_{DD}$	5	3	7.5	mA	
	C			3	2.8	7.4		
2	P	当 (CPU 时钟 = 16 MHz、 $f_{Bus} = 8\text{ MHz}$) 时测量的电源电流 ³	$R I_{DD}$	5	7.7	11.4	mA	
	C			3	7.4	11.2		
3	P	当 (CPU 时钟 = 40 MHz、 $f_{Bus} = 20\text{ MHz}$) 时测量的电源电流 ³	$R I_{DD}$	5	15	24	mA	
	C			3	14	23		
4	P^3	停止 3 模式 电源电流	$S3 I_{DD}$	5	-40 °C (C, V, & M 后缀)	0.9	—	μA
	P^4				25 °C (所有部件)	1.0	—	
	P				105 °C (仅 V 后缀)	26	39	
	P				125 °C (仅 M 后缀)	62	90	
	C			-40 °C (C, V, & M 后缀)	3	0.8	—	
	C			25 °C (所有部件)		0.9	—	
	C			105 °C (仅 V 后缀)		21	32	
	C			125 °C (仅 M 后缀)		52	80	