

Welcome to [E-XFL.COM](http://E-XFL.COM)

### What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

### Applications of "[Embedded - Microcontrollers](#)"

#### Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I <sup>2</sup> C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	39
Program Memory Size	48KB (48K x 8)
Program Memory Type	FLASH
EEPROM Size	1.5K x 8
RAM Size	3K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 16x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	48-LQFP
Supplier Device Package	48-LQFP (7x7)
Purchase URL	<a href="https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz48amlf">https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz48amlf</a>

## 1.3 系统时钟分配

图 1-2 为简化的时钟连接结构图。MCU 的某些模块的时钟输入可选。到各模块的时钟输入用于驱动该模块的功能。

下面列出了本 MCU 中使用的时钟：

- BUSCLK — 总线频率始终为 MCGOUT 的一半
- LPO — 独立的 1 kHz 时钟，可以作为 COP 和 RTC 模块的时钟源。
- MCGOUT — MCG 的主输出，为总线频率的两倍。
- MCGLCLK — 在 BUSCLK 被配置为以很低的频率运行的系统中，开发工具可以选择这一时钟源来加快 BDC 通信。
- MCGERCLK — 外部参考时钟，可用作 RTC 时钟源。它还可以用作 ADC 和 MSCAN 的备用时钟。
- MCGIRCLK — 内部参考时钟，可用作 RTC 时钟源。
- MCGFFCLK — 固定频率时钟，可用作 TPM1 和 TPM2 的时钟源。
- TPM1CLK — TPM1 的外部输入时钟源。
- TPM2CLK — TPM2 的外部输入时钟源。

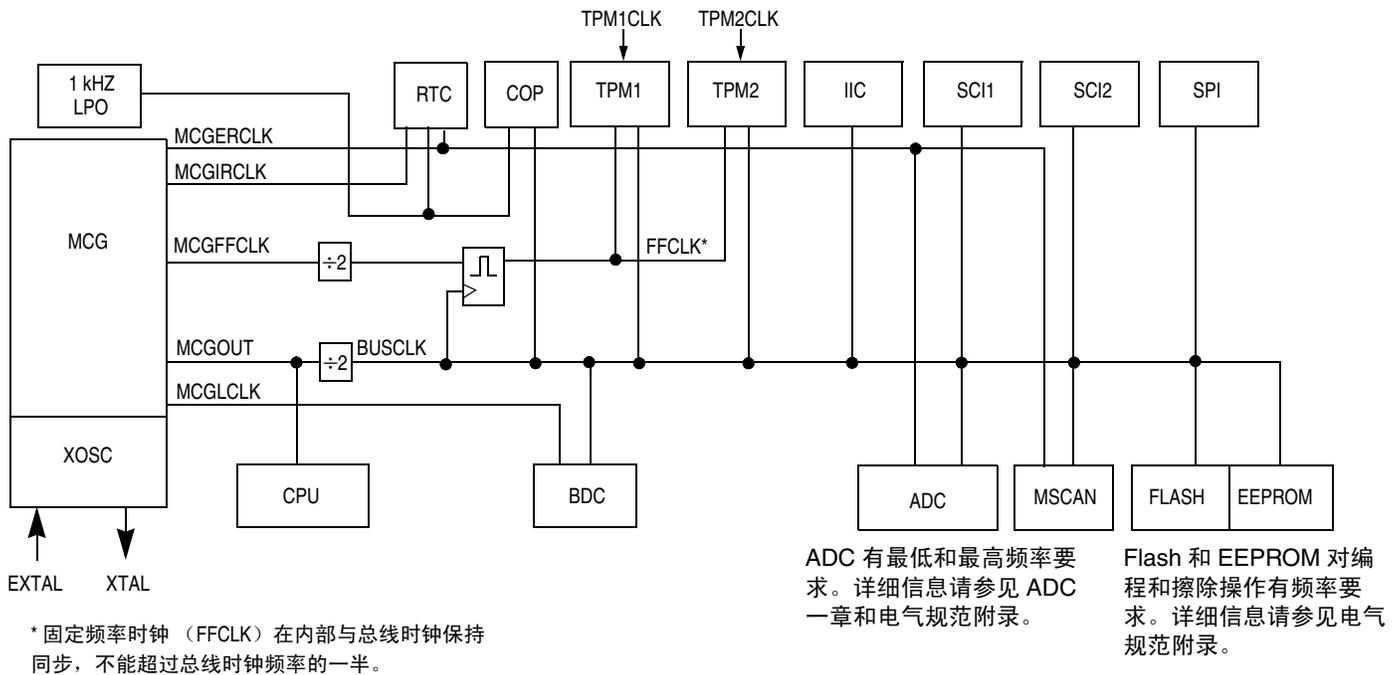


图 1-2. MC9S08DZ60 系统时钟分配图

后台命令有两种类型：

- 非中断型命令，被定义为可在用户程序运行时发出。非中断型命令可在 MCU 处于运行模式时通过 BKGD/MS 管脚发出；非中断型命令也可以在 MCU 处于主动后台模式时执行。非中断型命令包括：
  - 内存访问命令
  - 带状态内存访问命令
  - BDC 寄存器访问命令
  - 后台命令
- 主动后台命令只能在 MCU 处于主动后台模式时执行。主动后台命令主要用于执行以下操作：
  - 读或写 CPU 寄存器
  - 在特定时间跟踪一个用户程序指令
  - 退出主动后台模式，返回到用户应用程序（GO）

主动后台模式用于在 MCU 第一次以运行模式运行前将 Bootloader 或用户应用程序写入到 Flash 程序存储器中。MC9S08DZ60 系列产品从飞思卡尔工厂运出时，除非特别说明，Flash 程序存储器在缺省被擦除，以确保在 Flash 首次被编程前不会有程序在运行模式下被执行。主动后台模式可用于擦除或重新编程先前已编程的 Flash。

关于主动后台模式的详尽信息，请参见 Development Support 一章。

### 3.5 等待模式

等待模式通过执行 WAIT 指令进入。在执行 WAIT 指令后，CPU 进入无时钟的低功耗状态。CPU 进入等待模式后，CCR 中的 I 位被清除，进而使能中断操作。发生中断请求后，CPU 退出等待模式并执行恢复处理，先开始执行堆栈中的中断业务程序。

MCU 处于等待模式时，后台调试命令的使用受限。MCU 处于等待模式时，只有后台命令和带状态内存访问命令可用。带状态内存访问命令虽然不允许内存访问，但它们会上报错误，指出 MCU 处于停止或等待模式。可以使用后台命令将 MCU 从等待模式中唤醒并进入主动后台模式。

### 3.6 停止模式

在 SOPT1 寄存器中设置了 STOPE 位时，执行 STOP 指令后会进入停止模式。在停止模式下，所有内部时钟都被暂停。我们可对 MCG 模块进行适当设置，使参考时钟保持运行。更详尽信息请参见第 8 章，“多功能时钟发生器（S08MCGV1）”。



图 4-4 为接收及发送缓冲器（用于扩展的识别符映射）的结构。这些寄存器各有不同，具体取决于选择了标准映射还是扩展的映射。有关标准映射和扩展映射的更详尽信息请参见第 12 章，“飞思卡尔控制器局域网 (S08MSCANV1)”。

表 4-4. MSCAN 前台接收和发射缓冲器布局— 显示的为扩展映射

0x18A0	CANRIDR0	ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21
0x18A1	CANRIDR1	ID20	ID19	ID18	SRR <sup>(1)</sup>	IDE <sup>(1)</sup>	ID17	ID16	ID15
0x18A2	CANRIDR2	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
0x18A3	CANRIDR3	ID6	ID5	ID4	ID3	ID2	ID1	ID0	RTR <sup>2</sup>
0x18A4 – 0x18AB	CANRDSR0 – CANRDSR7	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0x18AC	CANRDLR	—	—	—	—	DLC3	DLC2	DLC1	DLC0
0x18AD	预留	—	—	—	—	—	—	—	—
0x18AE	CANRTSRH	TSR15	TSR14	TSR13	TSR12	TSR11	TSR10	TSR9	TSR8
0x18AF	CANRTSRL	TSR7	TSR6	TSR5	TSR4	TSR3	TSR2	TSR1	TSR0
0x18B0	CANTIDR0	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3
0x18B1	CANTIDR1	ID2	ID1	ID0	RTR	IDE	—	—	—
0x18B2	CANTIDR2	—	—	—	—	—	—	—	—
0x18B3	CANTIDR3	—	—	—	—	—	—	—	—
0x18B4 – 0x18BB	CANTDSR0 – CANTDSR7	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0x18BC	CANTDLR	—	—	—	—	DLC3	DLC2	DLC1	DLC0
0x18BD	CANTBPR	PRI07	PRI06	PRI05	PRI04	PRI03	PRI02	PRI01	PRI00

<sup>1</sup> SRR 和 IDE 均为 1s。

<sup>2</sup> RTR 的位置在扩展识别符映射和标准识别符映射不同。

表 4-5 的非易失性 Flash 寄存器位于 Flash 中。这些寄存器包括 8 个字节的后门密钥 NVBACKKEY。该密钥可用于访问安全的内存资源。在复位过程中，Flash 中非易失性寄存器区域的 NVPROT 和 NVOPT 内容会被转移到高端页面寄存器中相应的 FPROT 和 FOPT 工作寄存器中，以控制安全性和块保护选项。

表 4-5. 非易失性寄存器总结

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0xFFAE	预留用于存储 FTRIM	0	0	0	0	0	0	0	FTRIM
0xFFAF	预留用于存储 MCGTRM	TRIM							
0xFFB0– 0xFFB7	NVBACKKEY	8 字节对比密钥							
0xFFB8– 0xFFBC	预留	—	—	—	—	—	—	—	—
0xFFBD	NVPROT	EPS			FPS				
0xFFBE	预留	—	—	—	—	—	—	—	—
0xFFBF	NVOPT	KEYEN	FNORED	EPGMOD	0	0	0	SEC	

- 将命令代码写入到 FCMD 中。6 个有效的命令分别是空白检查 (blank check, 0x05)、字节编程 (byte program, 0x20)、突发编程 (burst program, 0x25)、分区擦除 (sector erase, 0x40)、整体擦除 (mass erase<sup>1</sup>, 0x41) 和分区擦除终止 (sector erase abort, 0x47)。命令代码被锁定到命令缓冲器中。

- 将一个 1 写入到 FSTAT 中的 FCBEF 位上，以清除 FCBEF 并发起命令 (包括其地址和数据信息)。

在写内存阵列之后到写 1 用于清除 FCBEF 并发起完整命令之前的任何时候，可以通过向 FCBEF 中写入一个“0”，来手工终止部分命令顺序。以这种方式终止一个命令会设置 FACCERR 访问错误标记，而这个标记必须在开始一个新命令之前清除掉。

整个过程必须遵守严格监控的流程，否则命令将不会被接受。通过这种方式可以最大限度地降低无意中修改内存内容的可能性。命令完整标记 (FCCF) 用于指示一条命令是否完整。要启动命令，必须通过清除 FCBEF 来使命令序列完整。图 4-2 是执行除突发编程和分区擦除终止以外的所有命令的流程。

- 等待 FSTAT 中的 FCCF 位被设置。只要 FCCF=1，就说明操作成功完成。

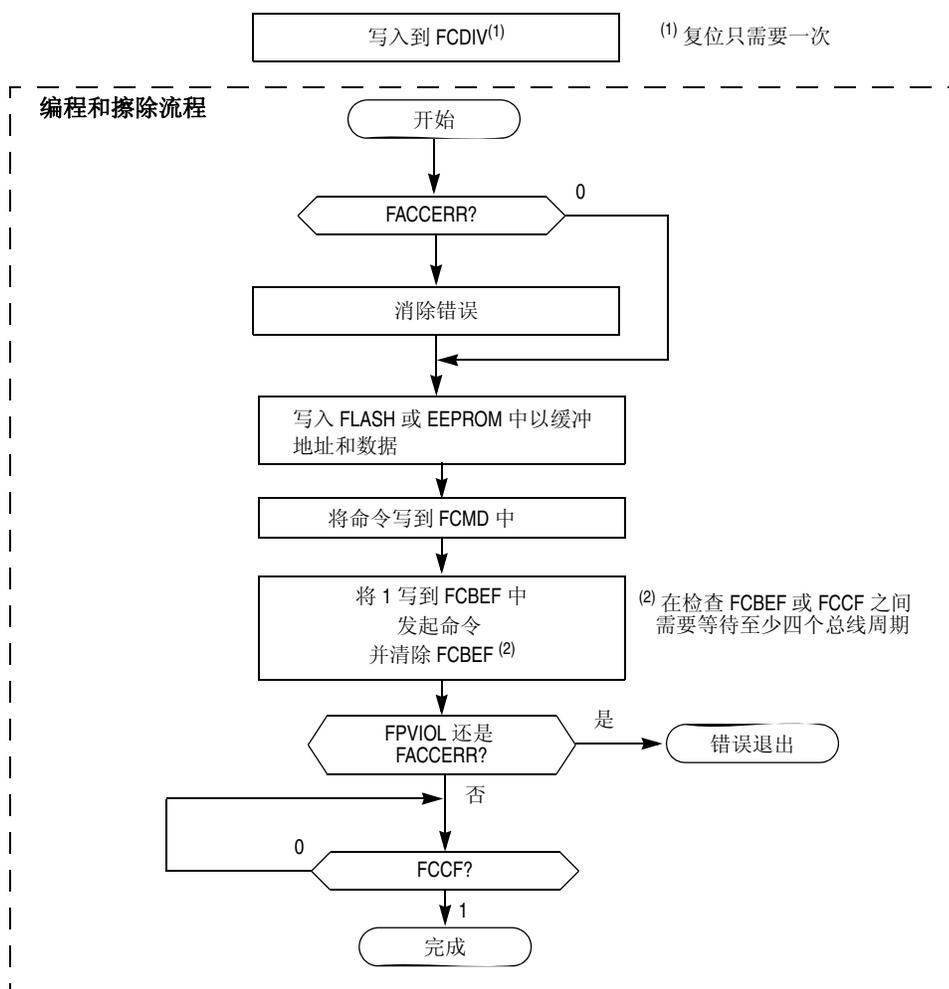


图 4-2. 编程和擦除流程图

1. 整体擦除只能在 Flash 块完全不受保护的情况下进行。

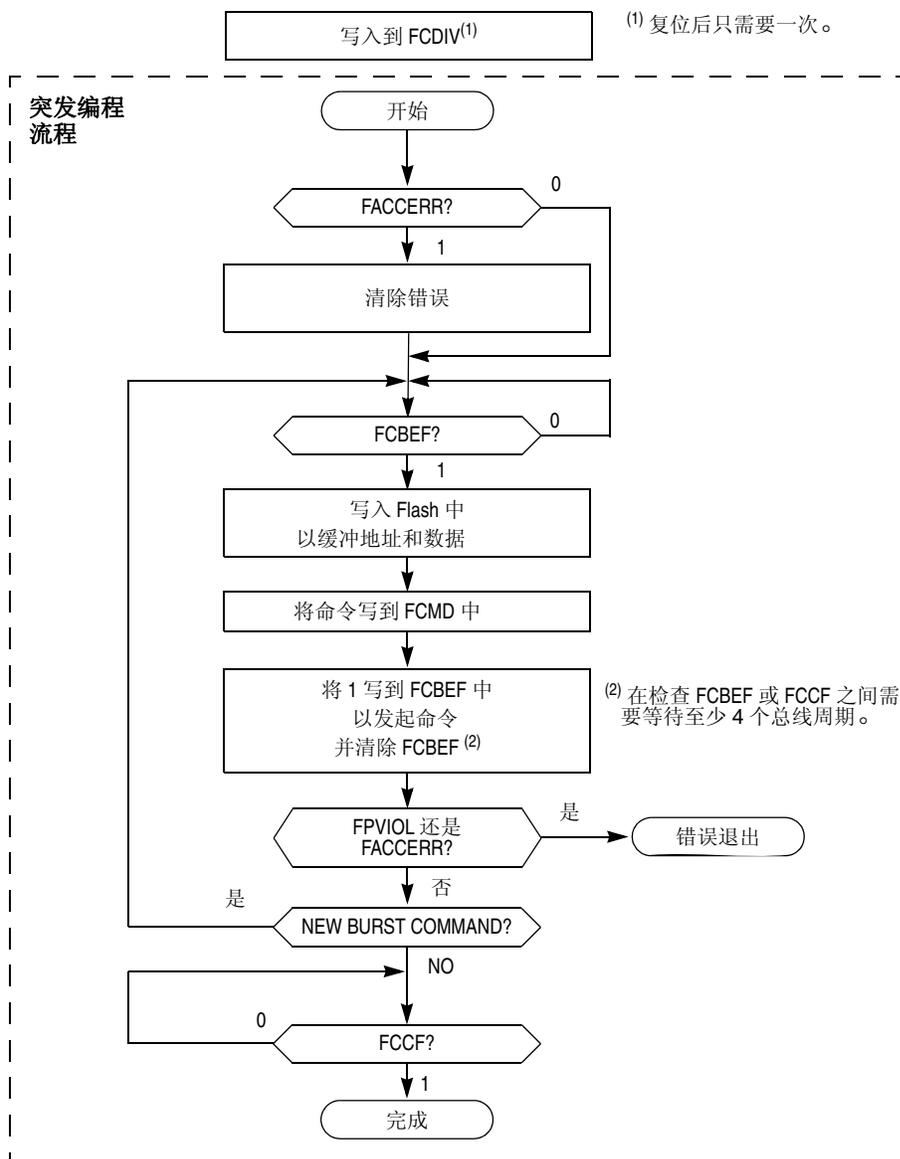


图 4-3. 突发编程流程图

### 4.5.5 分区擦除终止

分区擦除终止操作用于终止正在进行的分区擦除操作，以便使其他分区可用于读取和编程操作而不需要等待分区擦除完成。

分区擦除终止命令写入顺序如下：

1. 写入任何 Flash 或 EEPROM 地址以开始分区擦除终止命令的命令写入顺序。写入的地址和数据将被忽略。
2. 向 FCMD 寄存器中写入分区擦除终止命令 0x47。
3. 将一个 1 写入到 FCBEF 中来发起分区擦除终止命令以清除 FSTAT 寄存器中的 FCBEF 标记。

## 9.1.2 特性

ACMP 具有以下特性：

- 完全的轨到轨供电操作。
- 可选择的比较器输出上升沿中断、下降沿中断，或上升沿及下降沿中断。
- 与内部固定的带死区参考电压比较选项。
- 允许在管脚 ACMPxO 上看到比较器结果输出的选项。

## 9.1.3 运行模式

本节介绍等待、停止和背景调试模式中的 ACMP 运行。

### 9.1.3.1 等待模式中的 ACMP

如果在进入等待模式前已经使能 ACMP，ACMP 将继续在等待模式中运行。因此，如果使能 ACMP 中断（ACIE 已设置），可以用 ACMP 使 MCU 退出等待模式。为了实现尽可能低的功耗，如果等待模式中不需要 ACMP 作为中断源，应通过软件关闭 ACMP。

### 9.1.3.2 停止模式中的 ACMP

ACMP 在所有停止模式中都被禁止，无论执行停止指令前的设置如何。因此，ACMP 不能作为停止模式的唤醒源。

在 STOP2 模式中，ACMP 模块的电源完全关闭。当从 STOP2 模式中唤醒时，ACMP 模块处于复位状态。

在 STOP3 模式中，ACMP 模块的时钟暂停。寄存器不受影响。此外，ACMP 比较器电路进入低功耗状态。STOP3 中不会发生比较操作。

如果 STOP3 由于复位而退出，ACMP 将进入复位状态。如果 STOP3 由于中断而退出，ACMP 将从进入 STOP3 时的状态继续运行。

### 9.1.3.3 使能背景调试模式中的 ACMP

当微控制器处于使能背景调试模式时，ACMP 继续正常运行。

最长总转换时间由所选的时钟源和分频率决定。时钟源可以由 ADICLK 位选择，分频率由 ADIV 位指定。例如，在 10 位模式中，总线时钟选为输入时钟源、输入时钟分频率选为除以 1、总线频率为 8 MHz，那么单转换的转换时间为：

$$\text{转换时间} = \frac{23 \text{ ADCK Cyc}}{8 \text{ MHz}/1} + \frac{5 \text{ bus Cyc}}{8 \text{ MHz}} = 3.5 \text{ ms}$$

$$\text{总线周期数} = 3.5 \text{ ms} \times 8 \text{ MHz} = 28 \text{ 周期}$$

### 注意

ADCK 频率必须介于 fADCK 最小值和最大值之间才符合 ADC 技术规范

## 10.5.5 自动比较功能

可以配置比较功能来检查上限或下限。在进行完输入采样并转换后，结果与比较值（ADCCVH 和 ADCCVL）补数相加。比较上限（ACFGT = 1）时，如果结果大于或等于比较值，就设置 COCO。比较下限（ACFGT = 0）时，如果结果小于比较值，就设置 COCO。转换结果和比较值的补数相加得到的值被传输到 ADCRH 和 ADCRL 中。

当转换完成而比较功能使能时，如果比较条件不成立，就不设置 COCO，且没有数据传输到结果寄存器。如果使能了 ADC 中断（AIEN = 1），那么当设置 COCO 时就会生成 ADC 中断。

### 注意

这个比较功能可以用来监控通道的电压，这时 MCU 可能处于等待模式或 STOP3 模式。在满足比较条件时，ADC 中断会唤醒 MCU。

## 10.5.6 MCU 等待模式运行

WAIT 指令使 MCU 处于更低功耗的待机模式，待机模式的恢复非常快，因为时钟源保持有效状态。如果正在进行转换时 MCU 进入等待模式，那么转换会继续，直到完成。在 MCU 处于等待模式时，通过硬件触发或使能连续转换，可以发起转换。

在等待模式中，总线时钟、总线时钟除以 2 和 ADACK 都可以作为转换时钟源。在等待模式中，是否将 ALTCLK 作为时钟源取决于该 MCU 对 ALTCLK 的定义。有关该 MCU 的特定 ALTCLK 的更多信息，请参阅本章概述。

如果 ADC 中断使能（AIEN = 1），转换完成事件就会设置 COCO，生成 ADC 中断，把 MCU 从等待模式中唤醒。

## 10.5.7 MCU STOP3 模式运行

STOP 指令使 MCU 进入低功耗待机模式，在该模式中，MCU 上的大多数甚至所有时钟源都被禁止。

表 11-2. IICF 字段描述

字段	描述
7-6 MULT	IIC 倍频因子。MULT 位定义倍频因子 mul。该倍频因子与 SCL 分频器一起，共同生成 IIC 波特率。MULT 位定义的倍频因子 mul 如下： 00 mul = 01 01 mul = 02 10 mul = 04 11 保留
5-0 ICR	<p>IIC 时钟率。IIC 位用来预分频总线时钟，以便进行比特率选择。这些位和 MULT 位确定 IIC 波特率、SDA 保持时间、SCL 开始保持时间和 SCL 停止保持时间。表 11-4 为 ICR 的相应值提供了 SCL 分频器和保持值。</p> <p>由倍频因子 mul 和 SCL 分频器生成 IIC 波特率。</p> $\text{IIC baud rate} = \frac{\text{bus speed (Hz)}}{\text{mul} \times \text{SCLdivider}} \quad \text{等式 11-1}$ <p>SDA 保持时间是从 SCL (IIC 时钟) 的下降边沿到 SDA (IIC 数据) 变化的延迟。</p> $\text{SDA 保持时间} = \text{总线周期 (s)} \times \text{mul} \times \text{SDA 保持值} \quad \text{等式 11-2}$ <p>SCL 开始保持时间是从 SDA (IIC 数据) 的下降边沿 (这时 SCL 处于高一开始状态) 到 SCL (IIC 时钟) 下降边沿的延迟。</p> $\text{SCL 开始保持时间} = \text{总线周期 (s)} \times \text{mul} \times \text{SCL 开始保持值} \quad \text{等式 11-3}$ <p>SCL 停止保持时间是从 SCL (IIC 时钟) 的上升边沿到 SDA (IIC 数据) 上升边沿的延迟 (这时 SCL 处于高一停止状态)</p> $\text{SCL 停止保持时间} = \text{总线周期 (s)} \times \text{mul} \times \text{SCL 停止保持值} \quad \text{等式 11-4}$

例如，如果总线速率为 8 MHz，下表显示了不同 ICR 和 MULT 选择为达到 100kbps 的 IIC 波特率的可能保持时间值。

表 11-3. 8 MHz 总线速度保持时间值

MULT	ICR	保持时间 (μs)		
		SDA	SDA SCL 开始	SCL 停止
0x2	0x00	3.500	3.000	5.500
0x1	0x07	2.500	4.000	5.250
0x1	0x0B	2.250	4.000	5.250
0x0	0x14	2.125	4.250	5.125
0x0	0x18	1.125	4.750	5.125

表 11-4. IIC 分频器和保持值

ICR (hex)	SCL 分频器	SDA 保持值	SCL 保持 (开始) 值	SDA 保持 (停止) 值
00	20	7	6	11
01	22	7	7	12
02	24	8	8	13
03	26	8	9	14
04	28	9	10	15
05	30	9	11	16
06	34	10	13	18
07	40	10	16	21
08	28	7	10	15
09	32	7	12	17
0A	36	9	14	19
0B	40	9	16	21
0C	44	11	18	23
0D	48	11	20	25
0E	56	13	24	29
0F	68	13	30	35
10	48	9	18	25
11	56	9	22	29
12	64	13	26	33
13	72	13	30	37
14	80	17	34	41
15	88	17	38	45
16	104	21	46	53
17	128	21	58	65
18	80	9	38	41
19	96	9	46	49
1A	112	17	54	57
1B	128	17	62	65
1C	144	25	70	73
1D	160	25	78	81
1E	192	33	94	97
1F	240	33	118	121

ICR (hex)	SCL 分频器	SDA 保持值	SCL 保持 (开始) 值	SDA 保持 (停止) 值
20	160	17	78	81
21	192	17	94	97
22	224	33	110	113
23	256	33	126	129
24	288	49	142	145
25	320	49	158	161
26	384	65	190	193
27	480	65	238	241
28	320	33	158	161
29	384	33	190	193
2A	448	65	222	225
2B	512	65	254	257
2C	576	97	286	289
2D	640	97	318	321
2E	768	129	382	385
2F	960	129	478	481
30	640	65	318	321
31	768	65	382	385
32	896	129	446	449
33	1024	129	510	513
34	1152	193	574	577
35	1280	193	638	641
36	1536	257	766	769
37	1920	257	958	961
38	1280	129	638	641
39	1536	129	766	769
3A	1792	257	894	897
3B	2048	257	1022	1025
3C	2304	385	1150	1153
3D	2560	385	1278	1281
3E	3072	513	1534	1537
3F	3840	513	1918	1921

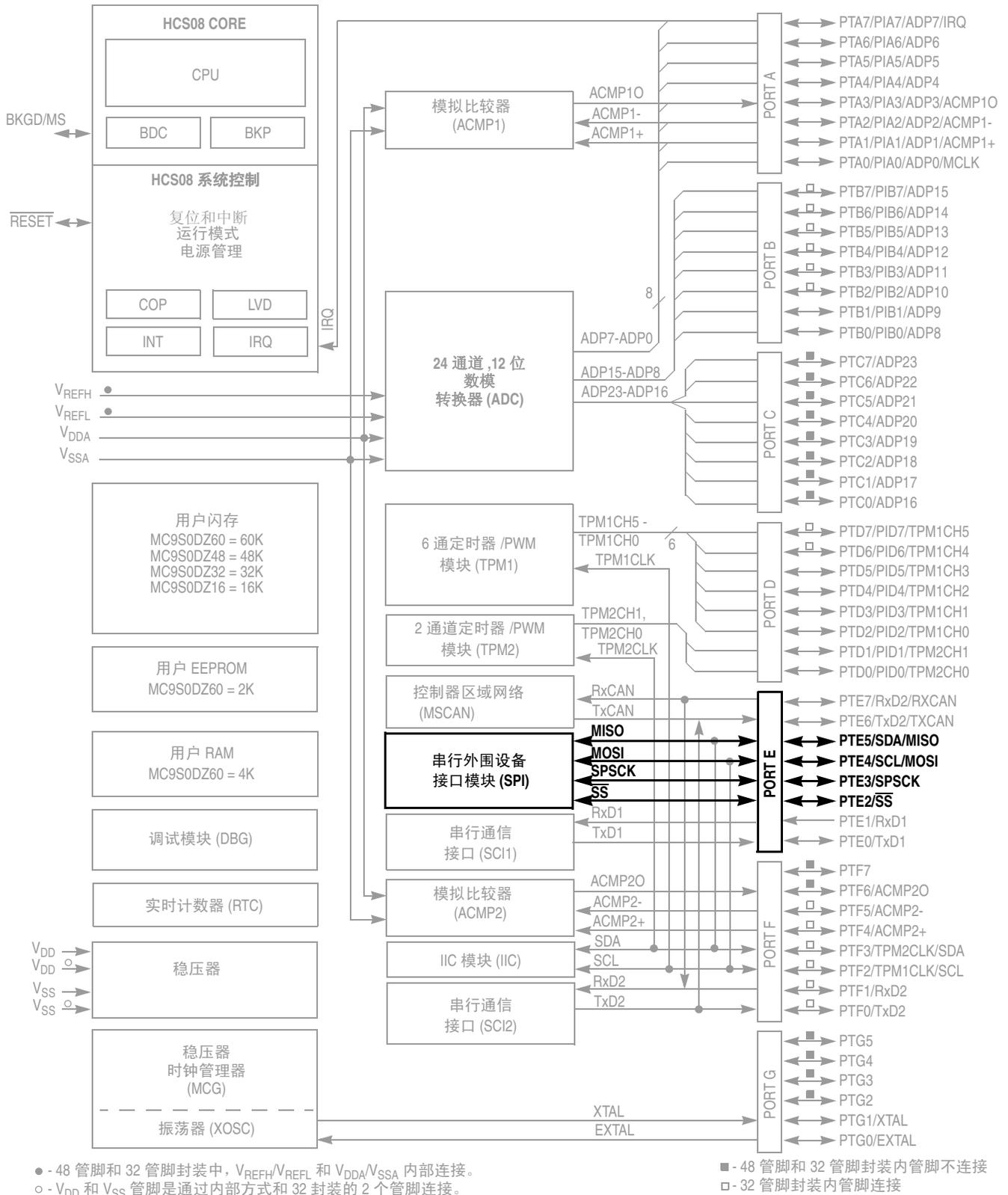


图 13-1. 强调 ADC 模块和管脚的 MC9S08DZ60 结构图

表 14-5. SC1xC2 字段说明 (continued)

字段	描述
2 RE	接收器使能 — 当 SCI 接收器关闭时, RxD 管脚恢复为通用端口 I/O 管脚。如果 LOOPS = 1, RxD 管脚恢复为通用 I/O 管脚, 即使 RE = 1。 0 接收器关闭。 1 接收器打开。
1 RWU	接收器唤醒控制 — 该位可以写入 1, 将 SCI 接收器置于待机状态, 等待所选唤醒条件的自动硬件检测。唤醒条件既可以是信息间的闲置线路 (WAKE = 0, 闲置线路唤醒), 也可以是某个字符中最高数据位中的逻辑 1 (WAKE = 1, 地址标记唤醒)。应用软件设置 RWU, (正常情况下) 且所选的硬件条件自动清除 RWU。如需了解更多信息, 14.3.3.2, “接收器唤醒操作”。 0 正常的 SCI 接收器运行。 1 处于待机状态的 SCI 接收器等待唤醒条件。
0 SBK	发送中止字符 — 先后将 1 和 0 写入 SBK, 即在发送数据流中排入了一个中止字符。只要 SBK=1, 多达 10 或 11 (如果 BRK13 = 1, 则为 13 或 14 位) 位时间的逻辑 0 中止字符被加入队列。根据当前正在发送信息有关的 SBK 的设置和清除时间, 第二个中止字符可以在软件清除 SBK 前排入队列。如需了解更多信息, 14.3.2.1, “发送中断和排队闲置”。 0 正常的发射器运行。 1 将发送的队列中止字符。

## 14.2.4 SCI 状态寄存器 1 (SC1xS1)

该寄存器有 8 种只读状态标记。写没有影响, 特殊软件顺序 (不包括写入该寄存器) 用来清除这些状态标记。

	7	6	5	4	3	2	1	0
R	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF
W								
复位	1	1	0	0	0	0	0	0

= 不执行或预留

图 14-8. SCI 状态寄存器 1(SC1xS1)

表 14-6. SC1xS1 字段描述

字段	描述
7 TDRE	发送数据寄存器空标记 — TDRE 设置于复位, 当发送数据值从发送数据缓冲器传输到发送移位器时, 就在缓冲器中为新字符留出空间。要清除 TDRE, 当 TDRE = 1 时读 SC1xS1, 然后写入 SCI 数据寄存器 (SC1xD)。 0 发送数据寄存器 (缓冲器) 已满。 1 发送数据寄存器 (缓冲器) 为空。
6 TC	发送完成标记 — TC 设置于复位, 当 TDRE = 1 时, 无数据、前导信号或中止字符在发送。 0 发射器活动 (发送数据、前导信号或中止字符)。 1 发射器闲置 (发送活动完成) 当 TC = 1 时读取 SC1xS1 时可以自动清除 TC, 然后进行以下三种操作中一种: <ul style="list-style-type: none"> <li>• 写入 SCI 数据寄存器 (SC1xD), 以发送新数据</li> <li>• 通过把 TE 从 0 变为 1, 排队前导信号</li> <li>• 将 1 写入 SC1xC2 中的 SBK, 排队中止字符。</li> </ul>

## 14.2.7 SCI 数据寄存器 (SCIxD)

该寄存器实际上是两个独立寄存器。读返回只读接收数据缓冲器的内容，写进入只写发送数据缓冲器。该寄存器的读写还涉及 SCI 状态标记的自动标记清除机制。

	7	6	5	4	3	2	1	0
R	R7	R6	R5	R4	R3	R2	R1	R0
W	T7	T6	T5	T4	T3	T2	T1	T0
复位	0	0	0	0	0	0	0	0

图 14-11. SCI 数据寄存器 (SCIxD)

## 14.3 功能描述

SCI 允许在 MCU 和远程器件（包括其他 MCU）间进行全双工、异步、NRZ 串行通信。SCI 由波特率发生器、发射器和接收时钟组成。发射器和接收器独立运行，尽管它们使用同一波特率发生器。在正常运行期间，MCU 监控 SCI 的状态，写将要发送的数据，处理已接收的数据。下面就简要地介绍一下 SCI 的每个块。

### 14.3.1 波特率生成

如图 14-12 所示，SCI 波特率发生器的时钟源是总线速率时钟。

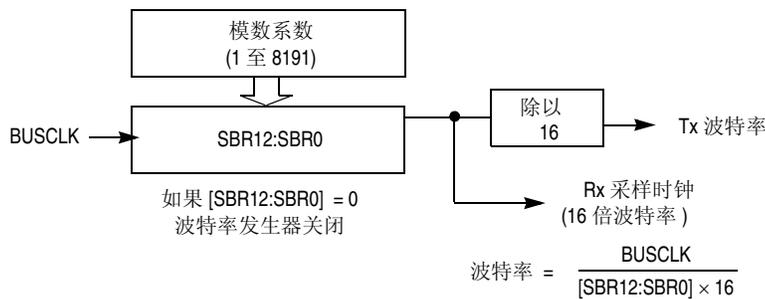


图 14-12. SCI 波特率生成

SCI 通信要求发射器和接收器（一般情况下从独立时钟源中获取波特率）使用相同的波特率。该波特频率的允许容限取决于接收器与起始位的前沿以及位采样执行的具体情况。

每次从高态转换到低态时，MCU 都重新同步位边界，但在最坏的情况下，整个 10 或 11 位时间字符帧中没有这种转换，所以波特率中的任何不匹配都累积到整个字符时间。对于总线频率由晶振驱动的飞思卡尔半导体 SCI 系统，允许的波特率不匹配对 8 位数据格式来说大约为 4.5%、对 9 位数据格式来说大约 4%。尽管波特率模数除数设置不会永远生成与标准速率严格匹配的波特率，但一般情况下都在一个很小的百分比内，是可靠通信可以接受的。

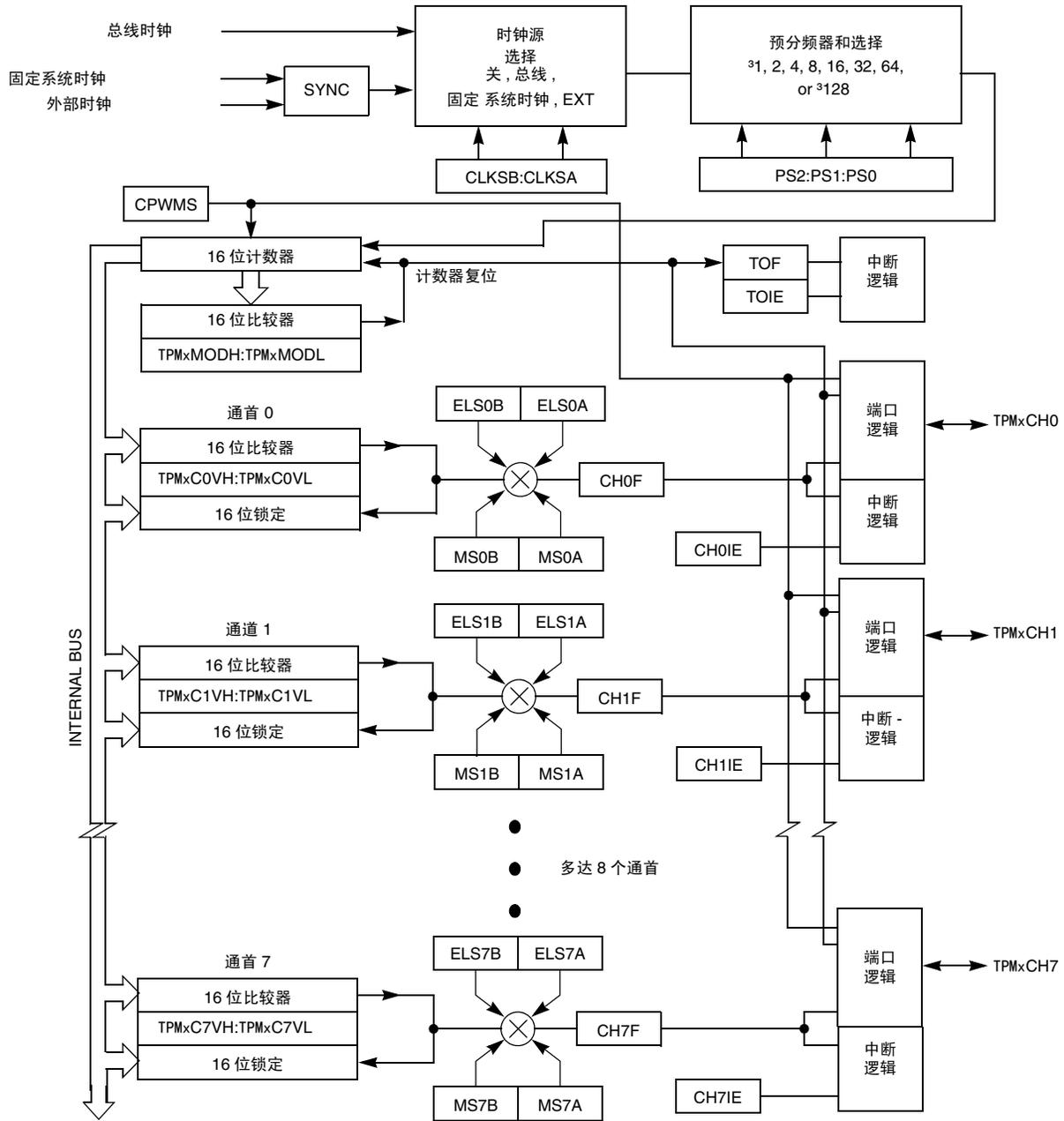


图 16-2. TPM 结构图

外部时钟信号与通道输入 / 输出管脚共享相同的管脚，因此选择为外部时钟源时通道管脚不能用于通道输入 / 输出功能。用户应负责避免这种设置。如果这个管脚被用作外部时钟源 (CLKSB:CLKSA = 1:1)，通道仍可作为软件定时器 (ELSnB:ELSnA = 0:0) 用于输出比较模式。

### 16.2.1.2 TPMxCHn — 通道 n 输入 / 输出管脚

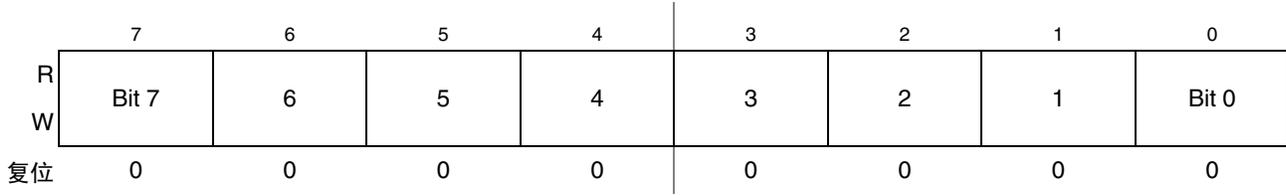
每个 TPM 通道都与 MCU 上的一个输入 / 输出管脚相关联。这个管脚的功能取决于通道配置。TPM 管脚与通用输入 / 输出管脚共享，其中每个管脚都有一个端口数据寄存器位和一个数据方向控制位，而且端口有可选的被动上拉器件。该上拉器件可在端口管脚作为输入设备时使能。

当 (ELSnB:ELSnA = 0:0) 或 (CLKSB:CLKSA = 0:0) 时，TPM 通道不会控制输入 / 输出管脚，因此通常恢复到由通用输入 / 输出控制的状态。当 CPWMS = 1 (and ELSnB:ELSnA not = 0:0) 时，TPM 中的所有通道被配置用于中央对齐 PWM，而 TPMxCHn 管脚全部由 TPM 系统控制。当 CPWMS=0 时，MSnB:MSnA 控制位决定通道配置用于输入捕捉、输出比较还是边缘对齐 PWM。

当通道被配置用于输入捕捉 (CPWMS=0, MSnB:MSnA = 0:0 and ELSnB:ELSnA not = 0:0) 时，TPMxCHn 管脚被强制用作 TPM 的对边缘敏感的输入。ELSnB:ELSnA 控制位决定哪个或哪些极性边将触发输入捕捉事件。一个基于总线时钟的同步器用于同步输入边和总线时钟。这意味着输入捕捉管脚上可以可靠检测的最小脉冲宽度是 4 个总线时钟周期 (可检测尽可能靠近 2 个总线时钟的最佳时钟脉冲)。TPM 使用该管脚作为输入捕捉输入，为相同管脚改写端口数据和数据方向控制。

当通道被配置用于输出比较 (CPWMS=0, MSnB:MSnA = 0:1 and ELSnB:ELSnA not = 0:0) 时，相关数据方向控制被改写；TPMxCHn 管脚被看作是由 TPM 控制的输出，ELSnB:ELSnA 控制位决定如何控制管脚。ELSnB:ELSnA 的其余三个组合决定在每次 16 位通道值寄存器与定时器计数器匹配时是否切换、清除或者设置 TPMxCHn 管脚。

刚完成选择输出比较切换模式时，管脚上的以前的值一直被驱动，直到发生下一个输出比较事件，然后管脚被切换。



写入 TPM 模数寄存器前复位 TPM m 计数器，以避免造成首次计数器溢出发生时间的混乱。

### 16.3.4 TPM 通道 n 状态和控制寄存器 (TPMxCnSC)

TPMxCnSC 包含用于配置中断使能、通道配置和管脚功能的通道中断状态标志和控制位。

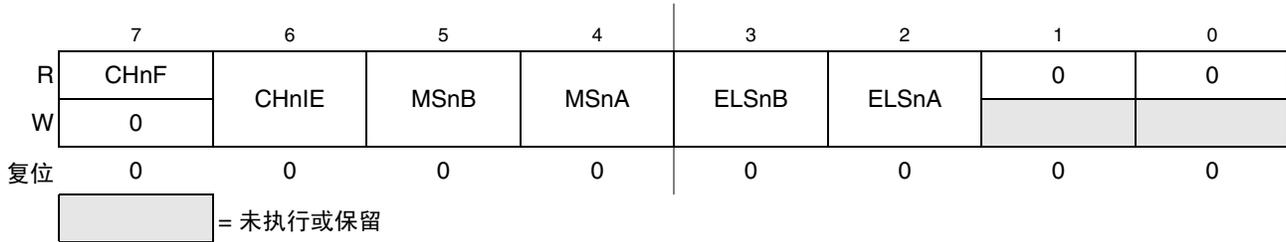


图 16-12. TPM 通道 n 状态和控制寄存器 (TPMxCnSC)

表 16-5. TPMxCnSC 字段描述

字段	描述
7 CHnF	通道 n 标志。通道 n 用作输入捕捉通道的情况下，通道 n 管脚上发生有效触发边沿时会设置这个读 / 写位。通道 n 为输出比较或边缘对齐 / 中央对齐 PWM 通道时，TPM 计数器寄存器中的值与 TPM 通道 n 值寄存器中的值匹配时会设置 CHnF。通道 n 用作边缘对齐 / 中央对齐 PWM 通道而占空比被设置为 0% 或 100% 的情况下，TPM 计数器寄存器中的值与 TPM 通道 n 值寄存器中的值匹配时将不设置 CHnF。 设置了 CHnF 而且使能了中断 (CHnIE = 1) 时会请求相应的中断。CHnF 可通过在 (CHnIE = 1) 时读取 TPMxCnSC，然后将逻辑 0 写入到 0 中来清除。如果清除序列完成前出现另一个中断请求，则序列被复位，以确保前一个 CHnF 的清除序列完成后 CHnF 仍被设置。这样做的目的是确保 CHnF 中断请求不会因清除以前 CHnF 而丢失。 重启可清除 CHnF 位。将逻辑数 1 写入 CHnF 是无效的。 0 通道 n 上没有发生输入捕捉或输出比较事件 1 通道 n 上发生输入捕捉或输出比较事件
6 CHnIE	通道 n 中断使能。这个读 / 写位使能来自通道 n 的中断。复位可清除 CHnIE。 0 通道 n 中断请求关闭 (用于软件轮询) 1 通道 n 中断请求允许
5 MSnB	TPM 通道 n 的模式 B 选择位。当 CPWMS=0 时，MSnB=1 为边缘对齐 TPM 模式配置 PWM 通道 n。请参考表 16-6 中的通道模式和设置控制总结。

表 A-6. DC 特性 (续)

编号	C	特性	符号	条件	最小值	典型值 <sup>1</sup>	最大值	单位
24	C	V <sub>DD</sub> = 3.0 V, Temp = 25 °C 时的带隙电压参考源	V <sub>BG</sub>		1.19	1.20	1.21	V

<sup>1</sup> 典型值是温度在 25°C 时测量的。描述性，未经测试。

<sup>2</sup> 当配置管脚中断来探测上升沿时，就使用下拉电阻来代替上拉电阻。

<sup>3</sup> 最大值指保证 POR 时的最高电压。

<sup>4</sup> 模拟的，未测试。

<sup>5</sup> 在瞬时和操作最大电流条件下，电源必须维持在操作 VDD 范围内。如果正注入电流 (V<sub>IN</sub> > VDD) 大于 I<sub>DD</sub>，注入电流就可能超出 VDD，并导致外部电源不可调控。确保外部 VDD 载荷分流大于最大注入电流的电流。当 MCU 不消耗功率时，就会有最大的风险。这样的例子包括：如果当前无系统时钟，或者如果时钟速率非常低，这都会降低总体功耗。

<sup>6</sup> 所有功能性非供应管脚均内部限制到 V<sub>SS</sub> 和 V<sub>DD</sub>。

<sup>7</sup> 输入必须是限定为指定值的电流。要确定所需的电流限定电阻器的值，需要先计算正和负钳位电压的电阻值，然后使用两个电阻值中的较大者。

<sup>8</sup> PTE1 没有 V<sub>DD</sub> 钳位二极管，不要把 PTE1 提高到 V<sub>DD</sub>。

## A.7 电源电流特性

表 A-7. 电源电流特性

编号	C	参数	符号	V <sub>DD</sub> (V)	典型值 <sup>1</sup>	最大值 <sup>2</sup>	单位	
1	C	当 (CPU 时钟 = 2 MHz、f <sub>Bus</sub> = 1 MHz) 时测量的电源电流 <sup>3</sup>	R <sub>I</sub> DD	5	3	7.5	mA	
	C			3	2.8	7.4		
2	P	当 (CPU 时钟 = 16 MHz、f <sub>Bus</sub> = 8 MHz) 时测量的电源电流 <sup>3</sup>	R <sub>I</sub> DD	5	7.7	11.4	mA	
	C			3	7.4	11.2		
3	P	当 (CPU 时钟 = 40 MHz、f <sub>Bus</sub> = 20 MHz) 时测量的电源电流 <sup>3</sup>	R <sub>I</sub> DD	5	15	24	mA	
	C			3	14	23		
4	P <sup>3</sup>	停止 3 模式 电源电流	S <sub>3</sub> I <sub>DD</sub>	5	-40 °C (C, V, & M 后缀)	0.9	—	μA
	P <sup>4</sup>				25 °C (所有部件)	1.0	—	
	P				105 °C (仅 V 后缀)	26	39	
	P				125 °C (仅 M 后缀)	62	90	
	C			-40 °C (C, V, & M 后缀)	0.8	—		
				C	25 °C (所有部件)	0.9	—	
				C	105 °C (仅 V 后缀)	21	32	
				C	125 °C (仅 M 后缀)	52	80	

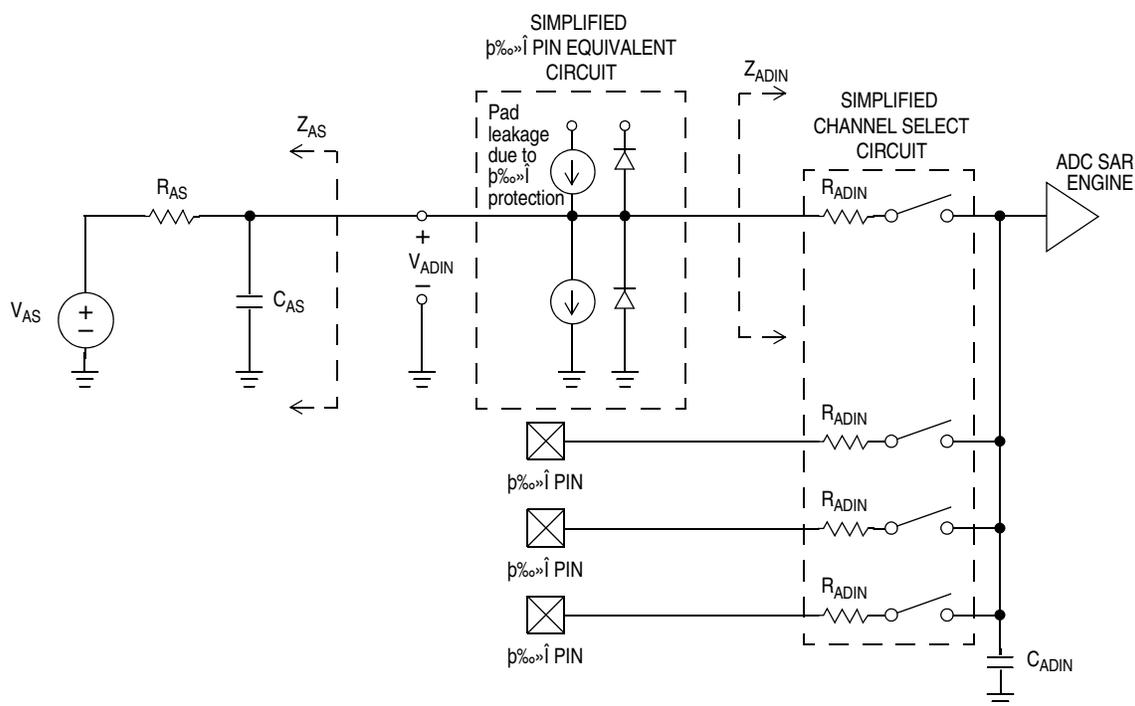


图 A-1. ADC 输入抗阻等效示意图

表 A-10. 12-位 ADC 特性 ( $V_{REFH} = V_{DDAD}$ ,  $V_{REFL} = V_{SSAD}$ )

特性	条件	C	符号	最小值	典型值 <sup>1</sup>	最大值	单位	注释
电源电流	ADLPC=1 ADLSMP=1 ADCO=1	T	$I_{DD} + I_{DDAD}$	—	133	—	$\mu\text{A}$	仅 ADC 电流
电源电流	ADLPC=1 ADLSMP=0 ADCO=1	T	$I_{DD} + I_{DDAD}$	—	218	—	$\mu\text{A}$	仅 ADC 电流
电源电流	ADLPC=0 ADLSMP=1 ADCO=1	T	$I_{DD} + I_{DDAD}$	—	327	—	$\mu\text{A}$	仅 ADC 电流
电源电流	ADLPC=0 ADLSMP=0 ADCO=1	D	$I_{DD} + I_{DDAD}$	—	0.582	1	mA	仅 ADC 电流
电源电流	停止、复位、模块关		$I_{DD} + I_{DDAD}$	—	0.011	1	$\mu\text{A}$	仅 ADC 电流
ADC 同步 时钟源	高速 (ADLPC=0)	P	$f_{ADACK}$	2	3.3	5	MHz	$t_{ADACK} = 1/f_{ADACK}$
	低速 (ADLPC=1)			1.25	2	3.3		

## 附录 B

### 定时器脉宽调制器 (TPMV2)

#### 注意

本章节参考 S08TPM 第二版本，它适用于该器件的 3M05C 及更旧的掩膜版本。0M74K 和更新的掩膜版本采用 S08TPM 第三版本。如果你的器件采用 0M74K 或更新的掩膜，请参见 299 页上的第 16 章，“定时器脉冲宽度调节器 (S08TPMV3)”，了解该模块的信息。

#### B.1 介绍

TPM 采用每通道一个 I/O 管脚，TPMxCHn，其中 x 是 TPM 数量 (如 1 或 2)，n 是通道的数量 (如 0 - 4)。TPM 与通用 I/O 端口管脚共享其 I/O 管脚 (参见 Pins and Connections 章节，了解更多信息)。

#### B.2 特性

TPM 提供以下特性：

- 每个 TPM 可以配置为所有通道上缓冲的且中央对齐的脉宽调制 (CPWM)
- 可以为每个 TPM 独立选择时钟源 (多个 TPM 器件)
- 时钟源可选择 (根据器件选择)：总线时钟、固定系统时钟、外部管脚
- 时钟预分频点按 1, 2, 4, 8, 16, 32, 64, 或 128 分
- 16- 位自由运行或上 / 下 (CPWM) 计数操作
- 16- 位模量寄存器控制计数器范围
- 定时器系统使能
- 每个通道一个中断加上每个 TPM 模块的终端计数中断 (多个 TPM 器件)
- 通道特性：
  - 每个通道可以是输入捕捉，输出比较，或缓冲边沿对齐的 PWM
  - 上升边，下降边或任意边输入捕捉触发器
  - 设置、清除或固定输出比较行动
  - 在 PWM 输出上可选择极性

在输入捕获模式中，读取任何一个字节（无论是 TPMxCnVH 还是 TPMxCnVL）都会使两个字节的內容被锁入到缓冲器中。这些內容一直锁定在这个缓冲器中，直到另一个字节被读取。当 TPMxCnSC 寄存器被写入时，锁存机制可复位（变为未锁存状态）。

在输出对比或 PWM 模式中，写入任何一个字节（无论是 TPMxCnVH 还是 TPMxCnVL）都会使该值被锁入到缓冲器中。两个字节都被写入后，它们会作为连贯的 16 位值传输到定时器通道值寄存器中。这一锁存机制可以通过写入 TPMxCnSC 寄存器来人工进行复位。

这种锁定机制允许以任何顺序进行连贯的 16 位写入，这对各种编译器实施方案都很友好。

## B.6 功能介绍

所有 TPM 功能都与允许灵活选择时钟源和预分频器的 16 位主计数器相关。此外，16 位模数寄存器还与 TPM 中的 16 位主计数器相关。每个 TPM 通道可与 MCU 管脚及可屏蔽的中断功能相关。

TPM 具有中央对齐的功能（由 TPMxSC 中 CPWMS 控制位控制）。当 CPWMS 被设置为 1 时，定时器计数器 TPMxCNT 改变为向上 / 向下计数器并且相关 TPM 中的所有通道都作为中央对齐的 PWM 通道。当 CPWMS=0 时，每个通道可独立配置，以便以输入捕获、输出对比或缓冲的边缘对齐 PWM 模式运行。

后面各小节介绍 16 位主计数器和计数器的每种运行模式（输入捕获、输出对比、边缘对齐 PWM 和中央对齐 PWM）。因为管脚运行和中断活动的细节取决于操作模式，这些主题将在相关模式的章节中介绍。

### B.6.1 计数器

所有定时器功能都基于 16 位主计数器（TPMxCNTH:TPMxCNTL）。本小节讨论时钟源选择、向上计数和向下计数、计数结束溢出和手动计数器复位。

在任何 MCU 复位后，CLKSB:CLKSA = 0:0，所以没有选择时钟源，并且 TPM 是不活动的。正常情况下，CLKSB:CLKSA 将设置为 0:1，使总线时钟驱动定时器计数器。TPM 的时钟源可以选为关闭、总线时钟（BUSCLK）、固定系统时钟（XCLK）或外部输入。外部时钟方法的最大允许频率为总线速率的 1/4。参见 B.5.1，“定时器状态和控制寄存器 (TPMxSC)”及表 B-2 了解有关时钟源的更多信息。

当微控制器处于活动后台模式时，TPM 会临时挂起所有计数，直到微控制器返回到正常用户操作模式。在停止模式下，所有 TPM 时钟被停止；因此在时钟恢复前，TPM 一直被有效地关闭。在等待模式期间，TPM 继续正常运行。

16 位主计数器有两种计数模式。选择中央对齐 PWM 时（CPWMS = 1），计数器以向上 / 向下计数模式运行。否则，计数器作为简单的向上计数器运行。用作向上计数器时，16 位主计数器从 0x0000 开始计数，直到终端计数，然后重新从 0x0000 开始。最大计数为 0xFFFF 或 TPMxMODH:TPMxMODL 中的模数值。

当规定了中央对齐 PWM 操作时，计数器从 0x0000 向上计数，直到达到终端计数，然后向下计数到 0x0000，再从这里向上计数。0x0000 和终端计数值（TPMxMODH:TPMxMODL 中的值）为正常长度计数（一个定时器时钟周期长度）。