

Welcome to [E-XFL.COM](https://www.e-xfl.com)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	48KB (48K x 8)
Program Memory Type	FLASH
EEPROM Size	1.5K x 8
RAM Size	3K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 85°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz48clc

章节号	标题	页码
4.5.2	编程和擦除时间	50
4.5.3	编程和擦除命令的执行	50
4.5.4	突发编程执行	52
4.5.5	分区擦除终止	53
4.5.6	访问错误	55
4.5.7	块保护	55
4.5.8	向量重定向	56
4.5.9	安全性	56
4.5.10	EEPROM 映射	57
4.5.11	Flash 和 EEPROM 寄存器及控制位	57

第 5 章 复位、中断和系统总控制

5.1	介绍	65
5.2	特性	65
5.3	MCU 复位	65
5.4	计算机正常操作 (COP) 看门狗	66
5.5	中断	67
5.5.1	中断堆栈帧	67
5.5.2	外部中断请求 (IRQ) 管脚	68
5.5.3	中断向量、源和本地掩码	69
5.6	低电压检测 (LVD) 系统	71
5.6.1	加电复位操作	71
5.6.2	低压检测 (LVD) 复位操作	71
5.6.3	低压警告 (LVW) 中断操作	71
5.7	MCLK 输出	71
5.8	复位、中断及系统控制寄存器和控制位	71
5.8.1	中断管脚请求状态和控制寄存器 (IRQSC)	72
5.8.2	系统复位状态寄存器 (SRS)	72
5.8.3	系统后台调试强制复位寄存器 (SBDFR)	74
5.8.4	系统选项寄存器 1 (SOPT1)	74
5.8.5	系统选项寄存器 2 (SOPT2)	75
5.8.6	系统器件识别寄存器 (SDIDH, SDIDL)	76
5.8.7	系统电源管理状态和控制寄存器 1 (SPMSC1)	77
5.8.8	系统电源管理状态和控制寄存器 2 (SPMSC2)	78

第 6 章 并行输入 / 输出控制

6.1	端口数据和数据方向	81
6.2	上拉、斜率和驱动强度	82
6.3	管脚中断	83
6.3.1	仅边沿敏感度	83

章节号	标题	页码
8.2.2	运行模式	131
8.3	外部信号描述	131
8.4	寄存器定义	131
8.4.1	MCG 控制寄存器 1 (MCGC1)	131
8.4.2	MCG 控制寄存器 2 (MCGC2)	132
8.4.3	MCG 修正寄存器 (MCGTRM)	133
8.4.4	MCG 状态和控制寄存器 (MCGSC)	134
8.4.5	MCG Control Register 3 (MCGC3)	135
8.5	特性描述	136
8.5.1	运行模式	136
8.5.2	模式切换	140
8.5.3	总线分频器	140
8.5.4	低功率位使用	140
8.5.5	内部参考时钟	141
8.5.6	外部参考时钟	141
8.5.7	固定频率时钟	141
8.6	初始化 / 应用报文	141
8.6.1	MCG 模块初始化顺序	142
8.6.2	MCG 模式切换	143
8.6.3	校准内部参考时钟 (IRC)	154

第 9 章 模拟比较器 (S08ACMPV3)

9.1	介绍	157
9.1.1	ACMP 配置报文	157
9.1.2	特性	159
9.1.3	运行模式	159
9.1.4	结构图	160
9.2	外部信号描述	160
9.3	存储器映射 / 寄存器定义	161
9.3.1	ACMPx 状态和控制寄存器 (ACMPxSC)	161
9.4	功能描述	162

第 10 章 数模转换器 (S08ADC12V1)

10.1	介绍	163
10.1.1	模拟功率和接地信号名称	163
10.1.2	信道分配	163
10.1.3	替代时钟	164
10.1.4	硬件触发	165
10.1.5	温度传感器	165
10.2.6	特性	167

4.5.11.3 Flash 和 EEPROM 配置寄存器 (FCNFG)

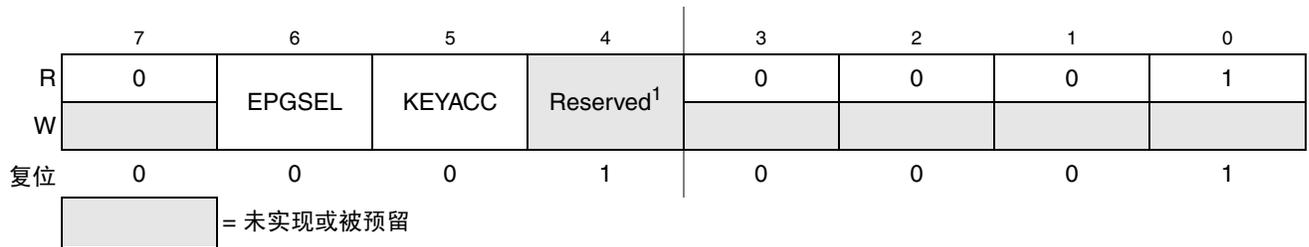


图 4-7. Flash Configuration Register (FCNFG)

¹ 用户必须在该位上写入一个 1。否则可能会导致意外的行为。

表 4-11. FCNFG 寄存器字段描述

字段	描述
6 EPGSEL	页面选择 — 该位选择存储器映象中的哪个 EEPROM 页面可以访问。 0 页面 0 在存储器映象的前台。页面 1 在后台，而且不能访问。 1 页面 1 在存储器映象的前台。页面 0 在后台，而且不能访问。
5 KEYACC	启用访问密钥的写入 — 该位启用后门对比密钥的写入。若欲了解有关后门密钥机制的更详尽信息，请参见 4.5.9, “安全性”。 0 写入 0xFFB0–0xFFB7 被解释为 Flash 编程或擦除命令的开始。 1 写入 NVBACKKEY (0xFFB0–0xFFB7) 解释为对比密钥写入。

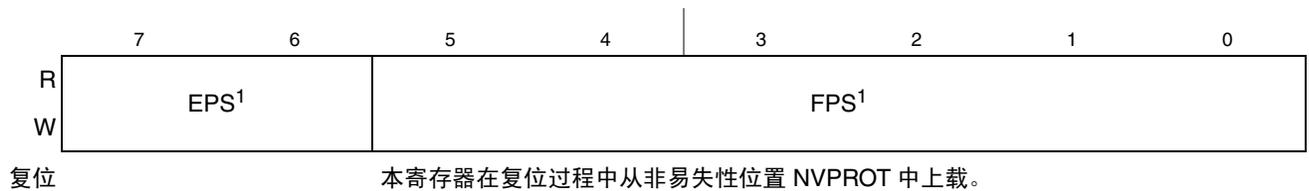
4.5.11.4 Flash 和 EEPROM 保护寄存器 (FPROT and NVPROT)

FPROT 寄存器定义不受编程和擦除操作的影响 Flash 和 EEPROM 分区。

在复位顺序中，FPROT 寄存器从非易失性位置 NVPROT 中上载。若想改变复位序列中将上载的保护，包含 NVPROT 的分区必须不受保护并被擦除，然后才可以对 NVPROT 进行重新编程。

FPROT 位任何时候都可以读取，但只能在受保护区域的范围增加时才可以写入。任何企图缩小受保护内存的 FPROT 写入操作都会被忽略。

尝试修改任何受保护区域的数据将导致保护违反错误，FSTAT 寄存器中将设置 FPVIOL 标记。如果有任何一个分区被保护，就不能进行整体擦除。



¹ 后台命令可用于修改 FPROT 中的这些位的内容。

图 4-8. Flash 和 EEPROM 保护寄存器 (FPROT)

表 4-12. FPROT 寄存器字段描述

字段	描述
7:6 EPS	EEPROM 保护选择位 — 这个 2 位字段决定不能被擦除或编程的受保护 EEPROM 位置。参见表 4-13.
5:0 FPS	Flash 保护选择位 — 这个 6 位字段决定不能被擦除或编程的受保护 Flash 位置。参见表 4-14.

表 4-13. EEPROM 块保护

EPS	受保护的地址域	受保护的内存大小 (字节)	受保护的扇区数量
0x3	N/A	0	0
0x2	0x17F0 - 0x17FF	32	4
0x1	0x17E0 - 0x17FF	64	8
0x0	0x17C0-0x17FF	128	16

表 4-14. Flash 块保护

FPS	受保护的地址域	受保护的内存大小 (字节)	受保护的扇区数量
0x3F	N/A	0	0
0x3E	0xFA00-0xFFFF	1.5K	2
0x3D	0xF400-0xFFFF	3K	4
0x3C	0xEE00-0xFFFF	4.5K	6
0x3B	0xE800-0xFFFF	6K	8
...
0x37	0xD000-0xFFFF	12K	16
0x36	0xCA00-0xFFFF	13.5K	18
0x35	0xC400-0xFFFF	15K	20
0x34	0xBE00-0xFFFF	16.5K	22
...
0x2C	0x8E00-0xFFFF	28.5K	38
0x2B	0x8800-0xFFFF	30K	40
0x2A	0x8200-0xFFFF	31.5K	42
0x29	0x7C00-0xFFFF	33K	44
...
0x22	0x5200-0xFFFF	43.5K	58
0x21	0x4C00-0xFFFF	45K	60
0x20	0x4600-0xFFFF	46.5K	62
0x19	0x4000-0xFFFF	48K	64
...

表 4-15. FSTAT 寄存器字段描述 (continued)

字段	描述
4 FACCERR	<p>访问错误标记 — FACCERR 在以下情况下自动设置：正确的命令顺序没有严格遵守（错误的命令将被忽略），FCDIV 寄存器初始化之前尝试进行编程或擦除操作，或在命令正在执行时 MCU 进入停止模式。若欲了解会被认为是访问错误的具体操作的更详尽信息，请参见 4.5.6，“访问错误”。</p> <p>FACCERR 通过向 FACCERR 中写入一个 1 来清除。向 FACCERR 中写入 0 没有任何意义或效果。</p> <p>0 没有访问错误。 1 发生了访问错误。</p>
2 FBLANK	<p>验证为全空（被擦除）标记 — FBLANK 在空白检查命令完成后自动设置为 1（如果整个 Flash 或 EEPROM 阵列被确认已擦除）。FBLANK 通过清除 FCBEF 以写入新的有效命令来清除。向 FBLANK 中写入没有任何意义或效果。</p> <p>0 在空白检查命令执行完成而且 FCCF = 1 的情况下，FBLANK = 0 表示 Flash 或 EEPROM 阵列未被完全擦除。 1 在空白检查命令执行完成而且 FCCF = 1 的情况下，FBLANK = 1 表示 Flash 或 EEPROM 阵列已完全擦除（全部为 0xFFFF）。</p>

4.5.11.6 Flash 和 EEPROM 命令寄存器 (FCMD)

如表 4-16 所示，正常用户模式下只能识别 6 种命令代码。所有其他命令代码都是非法的，会产生访问错误。请参见 4.5.3，“编程和擦除命令的执行”来了解对 Flash 和 EEPROM 编程及擦除操作的详细描述。

	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	0	0
W	FCMD							
复位	0	0	0	0	0	0	0	0

图 4-10. Flash 和 EEPROM 命令寄存器 (FCMD)

表 4-16. Flash 和 EEPROM 命令

命令	FCMD	等同文件标签
空白检查	0x05	mBlank
字节编程	0x20	mByteProg
突发编程	0x25	mBurstProg
分区擦除	0x40	mSectorErase
整体擦除	0x41	mMassErase
分区擦除终止	0x47	mEraseAbort

进行整体擦除操作后没有必要再执行空白检查命令。空白检查只是安全解锁机制的一部分。

5.8.1 中断管脚请求状态和控制寄存器 (IRQSC)

该直接页面寄存器包括用来配置 IRQ 功能、报告状态和确认 IRQ 事件的状态和控制位。

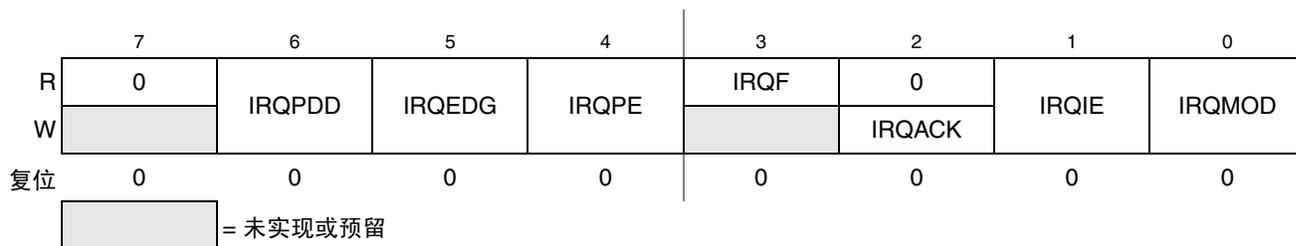


图 5-2. 中断请求状态和控制寄存器 (IRQSC)

表 5-2. IRQSC 寄存器字段描述

字段	描述
6 IRQPDD	中断请求 (IRQ) 上拉器件禁止 — IRQ 管脚激活时 (IRQPE = 1)，这个读 / 写控制位用来禁止内部上拉 / 下拉器件，从而允许使用外部器件。 0 如果 IRQPE = 1，IRQ 上拉器件激活； 1 如果 IRQPE = 1，IRQ 上拉器件禁止。
5 IRQEDG	
4 IRQPE	IRQ 管脚使能 — 这个读写控制位使能 IRQ 管脚。当设置了该位时，IRQ 管脚可以用作中断请求。 0 IRQ 管脚禁止； 1 IRQ 管脚使能。
3 IRQF	IRQ 标志 — 该只读状态位显示中断请求事件发生的时间。 0 无 IRQ 请求； 1 检测到 IRQ 事件。
2 IRQACK	IRQ 确认 — 这个只写位用来确认中断请求事件（写 1 来清除 IRQF）。写入 0 则没有任何意义或影响。读总是返回 0。如果选择了边沿和电平检测 (IRQMOD = 1)，则不能清除 IRQF，并且 IRQ 管脚位于断言级。
1 IRQIE	IRQ 中断使能 — 这个读 / 写控制位决定 IRQ 事件是否生成中断请求。 0 当 IRQF = 1 时不产生中断请求（使用轮询）； 1 当 IRQF = 1 时产生中断请求。
0 IRQMOD	IRQ 检测模式 — 这个读 / 写控制位选择只边沿检测还是边沿和电平检测。IRQEDG 控制位决定检测为中断请求事件的边沿和电平极性。如需了解更多信息，请参见 5.5.2.2，“边沿和电平敏感度”。 0 只下降边沿或上升边沿的 IRQ 事件； 1 下降边沿和低电平 IRQ 事件或上升边沿和高电平 IRQ 事件。

5.8.2 系统复位状态寄存器 (SRS)

该高页寄存器包括只读状态标记，以显示最近复位的源。将 1 写入 SBDFR 寄存器的 BDFR 时，调试主机强制完成复位，SRS 中不设置任何状态位。COP 使能时，在寄存器地址中写入任意值

第 6 章

并行输入 / 输出控制

本小节解释了与并行输入 / 输出和管脚控制相关的软件控制。MC9S08DZ60 系列有 7 个并行输入 / 输出端口，这 7 个端口总共包含 53 个输入 / 输出管脚和 1 个仅输入管脚。如需了解这些管脚的管脚分配和外部硬件注意事项的更多信息，请参见第 2 章，“管脚和连接”。

这些管脚中的很多都在片上外围设备中共用，如定时器系统、通信系统和管脚中断，如表 2-1 所示。外围设备模块的优先级把通用输入 / 输出功能的优先级高，因此当使能某个外围设备时，与该共用管脚相关的输入 / 输出功能被禁止。

复位后，共用外围设备功能被禁止，管脚被配置为输入（ $PTxDDn = 0$ ）。每个管脚的管脚控制功能都配置如下：斜率控制使能（ $PTxSEn = 1$ ）、低驱动强度选定（ $PTxDSn = 0$ ）、内部上拉被禁止（ $PTxPEn = 0$ ）。

注意

不是所有封装都提供通用输入 / 输出管脚。为了避免从输入引脚浮接抽取过多电流，应用程序中的用户复位初始化程序必须要么使能片上拉器件，要么将未连接管脚的方向更改为输出，使管脚不会浮接。

6.1 端口数据和数据方向

通过端口数据寄存器执行并行输入 / 输出读取 / 写入。不管是输入还是输出方向，都由端口数据方向寄存器控制。图 6-1 中的块状示意图介绍了单个管脚的并行输入 / 输出端口功能。

数据方向控制位（ $PTxDDn$ ）决定是否启动相关管脚使用的输出缓冲器，同时控制端口数据寄存器读取的源。相关管脚的输入缓冲器总是处于使能状态，除非管脚用作模拟功能或输出管脚。

当为管脚使能共用数字功能时，输出缓冲器由共用功能控制。但是，数据方向寄存器位将继续控制端口数据寄存器读取的源。

当为管脚使能共用模拟功能时，输出和输出缓冲器都被禁止。当该位为输入位（ $PTxDDn = 0$ ），输入缓冲器禁止时，任意端口数据位的读数均为 0。总体来说，每当数字功能和模拟功能共用一个管脚时，模拟功能都优先。因此数字和模拟功能同时使能时，管脚由模拟功能控制。

一个不错的编程习惯是在把端口管脚方向修改为输出前就写入端口数据寄存器，这确保不会用在端口数据寄存器内的旧数据值来临时驱动管脚。

6.5.1.1 A 端口数据寄存器 (PTAD)

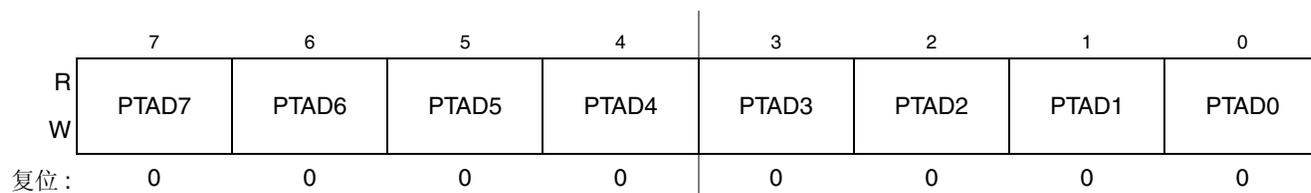


图 6-3. A 端口数据寄存器 (PTAD)

表 6-1. PTAD 寄存器字段描述

字段	描述
7:0 PTAD[7:0]	A 端口数据寄存器位 — 对于配置为输入的 A 端口管脚，读数返回管脚上的逻辑电平。对于配置为输出的 A 端口管脚，读数返回写入寄存器的最后一个值。 写入值被锁定在本寄存器的所有位中。对于配置为输出的 A 端口管脚，逻辑电平驱动相应的 MCU 管脚。 复位强制 PTAD 都为 0，但是这些 0 未被驱出相应的管脚，因为复位还会将所有端口管脚配置为上拉 / 下拉被禁止的高阻抗输入。

6.5.1.2 A 端口数据方向寄存器 (PTADD)

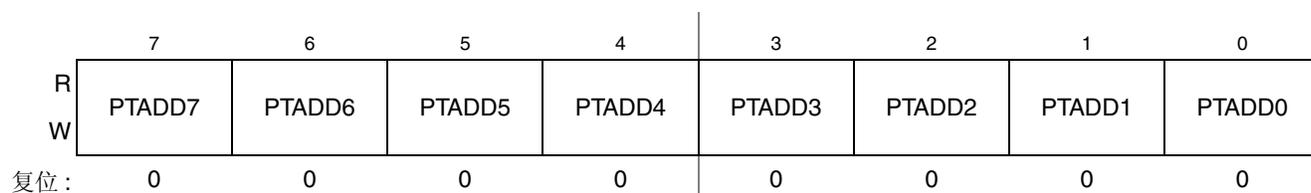


图 6-4. 端口数据方向寄存器 (PTADD)

表 6-2. PTADD 寄存器字段描述

字段	描述
7:0 PTADD[7:0]	A 端口位的数据方向 — 这些读 / 写位控制着 A 端口管脚的方向以及为 PTAD 读数读取的内容。 0 输入 (输出驱动被禁止)，读数返回管脚值。 1 A 端口位 - 输出驱动使能，PTAD 读数返回 PTADn 内容。

6.5.2.1 B 端口数据寄存器 (PTBD)

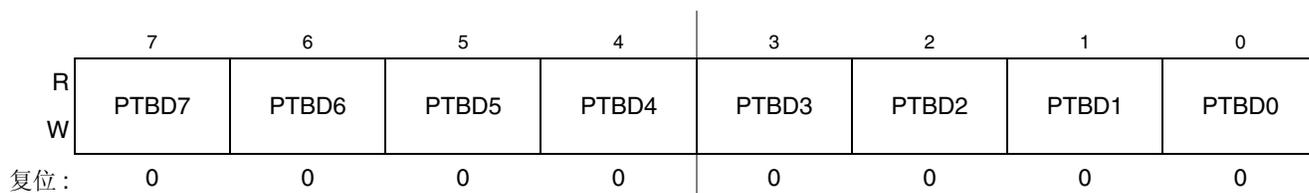


图 6-11. B 端口数据寄存器 (PTBD)

表 6-9. PTBD 寄存器字段描述

字段	描述
7:0 PTBD[7:0]	B 端口数据寄存器位 — 对于配置为输入的 B 端口管脚，读数返回管脚上的逻辑电平。对于配置为输出的 B 端口管脚，读数返回写入寄存器的最后一个值。 写入值被锁定在本寄存器的所有位中。对于配置为输出的 B 端口管脚，逻辑电平被输出到相应的 MCU 管脚。 复位强制 PTBD 都为 0，但是这些 0 未被输出到相应的管脚，因为复位还会将所有端口管脚配置为上拉 / 下拉被禁止的高阻抗输入。

6.5.2.2 B 端口数据方向寄存器 (PTBDD)

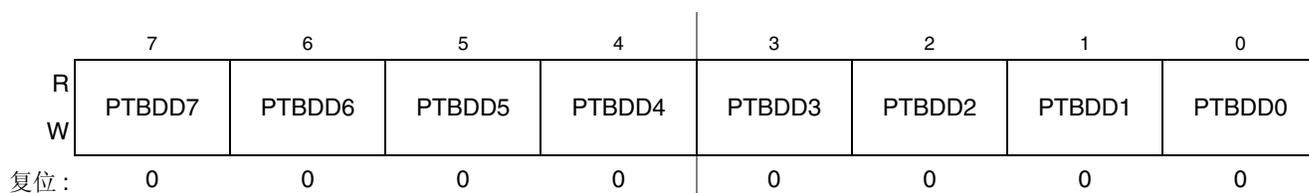


图 6-12. B 端口数据方向寄存器 (PTBDD)

表 6-10. PTBDD 寄存器字段描述

字段	描述
7:0 PTBDD[7:0]	B 端口位的数据方向 — 这些读 / 写位控制着 B 端口管脚的方向以及为 PTBD 读数读取的内容。 0 输入（输出驱动被禁止），读数返回管脚值。 1 B 端口位 - 输出驱动使能，PTBD 读数返回 PTBDn 内容。

4. 最后, FBI 转换到 FBILP 模式。
 - a) MCGC2 = 0x08 (%00001000)
 - LP 中的 LP (位 3) 是 1。

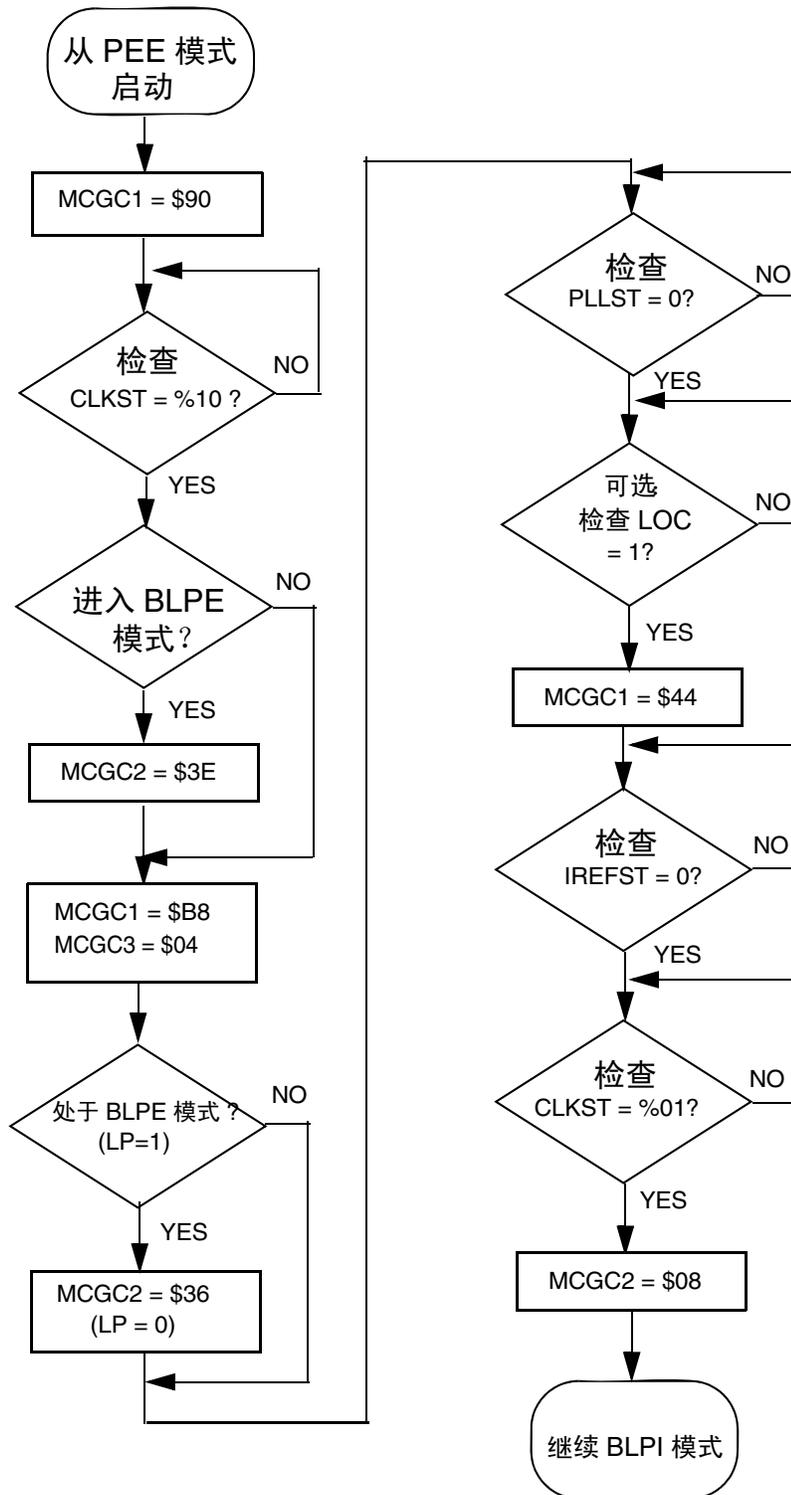


图 8-10. 使用 4 MHz 晶体从 PEE 转换到 BLPI 模式的流程图

表 10-9. APCTL1 寄存器字段描述

字段	描述
7 ADPC7	ADC 管脚控制 7 — ADPC7 用来控制与通道 AD7 连接的管脚。 0 AD7 管脚 I/O 控制使能 1 AD7 管脚 I/O 控制禁止
6 ADPC6	ADC 管脚控制 6 — ADPC6 用来控制与通道 AD6 连接的管脚。 0 AD6 管脚 I/O 控制使能 1 AD6 管脚 I/O 控制禁止
5 ADPC5	ADC 管脚控制 5 — ADPC5 用来控制与通道 AD5 连接的管脚。 0 AD5 管脚 I/O 控制使能 1 AD5 管脚 I/O 控制禁止
4 ADPC4	ADC 管脚控制 4 — ADPC4 用来控制与通道 AD4 连接的管脚。 0 AD4 管脚 I/O 控制使能 1 AD4 管脚 I/O 控制禁止
3 ADPC3	ADC 管脚控制 3 — ADPC3 用来控制与通道 AD3 连接的管脚。 0 AD3 管脚 I/O 控制使能 1 AD3 管脚 I/O 控制禁止
2 ADPC2	ADC 管脚控制 2 — ADPC2 用来控制与通道 AD2 连接的管脚。 0 AD2 管脚 I/O 控制使能 1 AD2 管脚 I/O 控制禁止
1 ADPC1	ADC 管脚控制 1 — ADPC1 用来控制与通道 AD1 连接的管脚。 0 AD1 管脚 I/O 控制使能 1 AD1 管脚 I/O 控制禁止
0 ADPC0	ADC 管脚控制 0 — ADPC0 用来控制与通道 AD0 连接的管脚。 0 AD0 管脚 I/O 控制使能 1 AD0 管脚 I/O 控制禁止

10.4.9 管脚控制寄存器 2 (APCTL2)

APCTL2 用来控制 ADC 模块的通道 8-15。

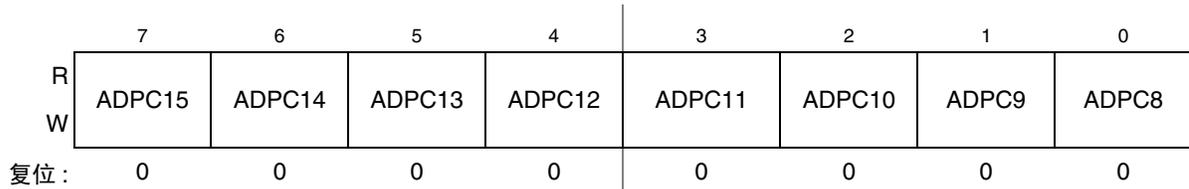


图 10-12. 管脚控制寄存器 2 (APCTL2)

10.7.2.6 代码抖动、非单调性和丢码

数模转换器容易受三种特殊形式的错误影响，它们是代码抖动、非单一性和丢码。

代码抖动是把某些点的给定输入电压在重复采样时的转换出两个值。在理想情况下，当输入电压低于转换电压时，转换器会产生更低代码（反之亦然）。但是，对于转换电压附近的一系列输入电压来说，即使非常小的系统噪音也可能造成转换器的抖动（两个代码之间）。在 8 位或 10 位模式中，这个范围通常是 $1/2 \text{ lsb}$ ；在 12 位模式中，这个范围通常是 2 lsb ，并会随着噪音的提高而提高。

通过重复进行输入采样和算术平均，这个错误可能会减小。此外，11.6.2.3 节中也讨论了一些减小这一错误的技巧。

非单调性的定义是转换器将高的输入电压转换到低的代码（代码抖动除外）。丢码是那些没有任何输入值进行转换的值。

在 8 位或 10 位模式中，ADC 保证具有单调性，并且没有丢码。

表 12-17. 标识符接收模式设置

IDAM1	IDAM0	标识符接收模式
0	0	2 个 32 位接收 滤波器
0	1	4 个 16 位接收 滤波器
1	0	8 个 8 位接收 滤波器
1	1	滤波器关闭

表 12-18. 标识符接收有效标志指示器

IDHIT2	IDHIT1	IDHIT0	标识符接收有效标志
0	0	0	滤波器 0 有效标志
0	0	1	滤波器 1 有效标志
0	1	0	滤波器 2 有效标志
0	1	1	滤波器 3 有效标志
1	0	0	滤波器 4 有效标志
1	0	1	滤波器 5 有效标志
1	1	0	滤波器 6 有效标志
1	1	1	滤波器 7 有效标志

IDHITx 指示器总是与前景缓冲器 (RxFG) 中的报文有关。当报文被转移到接收器 FIFO 的前景缓冲器时, 指示器也相应更新。

12.3.12 MSCAN 其他寄存器 (CANMISC)

这种寄存器提供了一些其他功能。

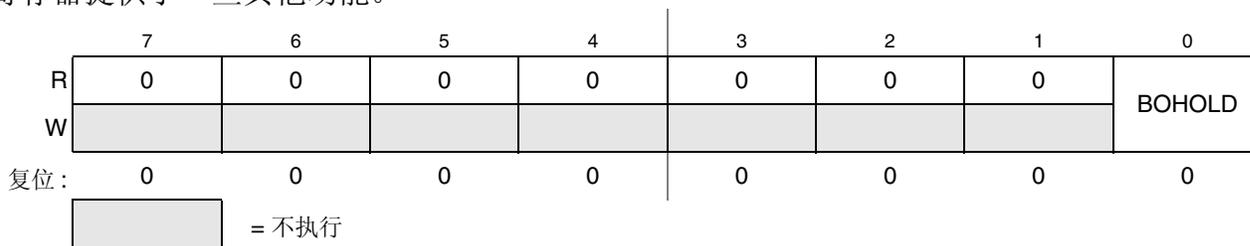


图 12-16. MSCAN 其他寄存器 (CANMISC)

读取: 任何时间

写入: 任何时间; 写入 '1' 清除标志, 写入 '0' 忽略标志

表 12-19. CANMISC 寄存器字段描

字段	描述
0 BOHOLD	总线脱离状态持续到用户请求 —12.3.2, “控制寄存器 1 (CANCTL1)” “MSCAN 控制寄存器 1 (CANCTL1)” 中设置了 BORM, 此标志位显示模块是否已经进入总线脱离状态。清除该位则请求从总线脱离恢复。如需了解详细报文, 12.6.2, “总线脱离恢复”。 0 模块未总线脱离, 或在总线脱离状态并已请求恢复 1 模块总线脱离, 并保持该状态直到用户请求

表 14-3. SCiXBDL 字段描述

字段	描述
7:0 SBR[7:0]	波特率模数系数 — SBR[12:0] 中的这 13 个位统称为 BR，它们为 SCI 波特率发生器设置模数除数系数。当 BR = 0，SCI 波特率发生器禁止，以降低电源电流。当 BR = 1~8191 时，SCI 波特率 = BUSCLK / (16xBR)。也可参见表 14-2. 中的 BR 位。

14.2.2 SCI 控制寄存器 1(SCiXC1)

该读 / 写寄存器用于控制 SCI 系统的各种可选功能。

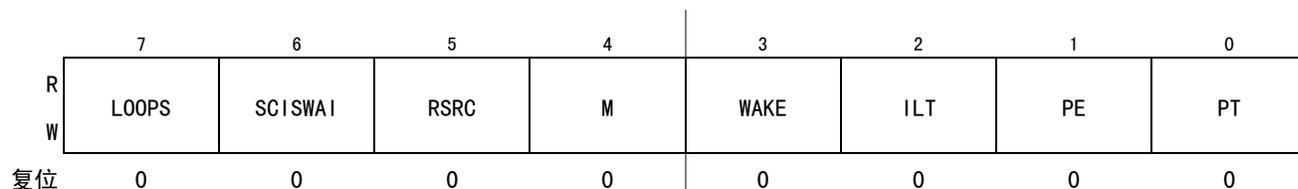


图 14-6. SCI 控制寄存器 1 (SCiXC1)

表 14-4. SCiXC1 字段描述

字段	描述
7 LOOPS	循环模式选择 — 在环回模式和正常的 2 管脚全双工模式之间选择。当 LOOPS = 1，发射器输出内部连接到接收器输入。 0 正常运行 — RxD 和 TxD 使用独立管脚。 1 循环模式或单线模式，发射器输出内部连接到接收器输入（见 <st-blue>RSRC 位）。SCI 不使用 RxD 管脚。
6 SCISWAI	等待模式中的 SCI 停止 0 SCI 时钟继续在等待模式中运行，因此 SCI 可以是唤醒 CPU 的中断源。 1 SCI 时钟在 CPU 处于等待模式时冻结。
5 RSRC	接收器源选择 — 该位没有任何意义或影响，除非 LOOPS 位设置为 1。当 LOOPS = 1 时，接收器输入内部连接到 TxD 管脚，RSRC 决定该连接是否也连接到发射器输出。 0 假设 LOOPS = 1，RSRC = 0 选择内部环回模式，SCI 不使用 RxD 管脚。 1 单线 SCI 模式，其中 TxD 管脚连接到发射器输出和接收器输入。
4 M	9 位或 8 位模式选择 0 正常 — 启动 + 8 个数据位（LSB 先发）+ 停止 1 接收器和发射器使用 9 位数据字符 启动 + 8 个数据位（LSB 先发）+ 第 9 个数据位 + 停止
3 WAKE	接收器唤醒方法选择 — 详情请 14.3.3.2，“接收器唤醒操作” 0 闲置线路唤醒 1 地址标记唤醒
2 ILT	闲置线路类型选择 — 将该位设置为 1，确保字符末端的停止位和逻辑 1 位不会计数闲置线路检测逻辑所需的逻辑高电平的 10 或 11 个位时间。如需了解更多信息，14.3.3.2.1，“闲置线路唤醒” 0 开始位后闲置字符位计数开始。 1 停止位后闲置字符位计数开始。

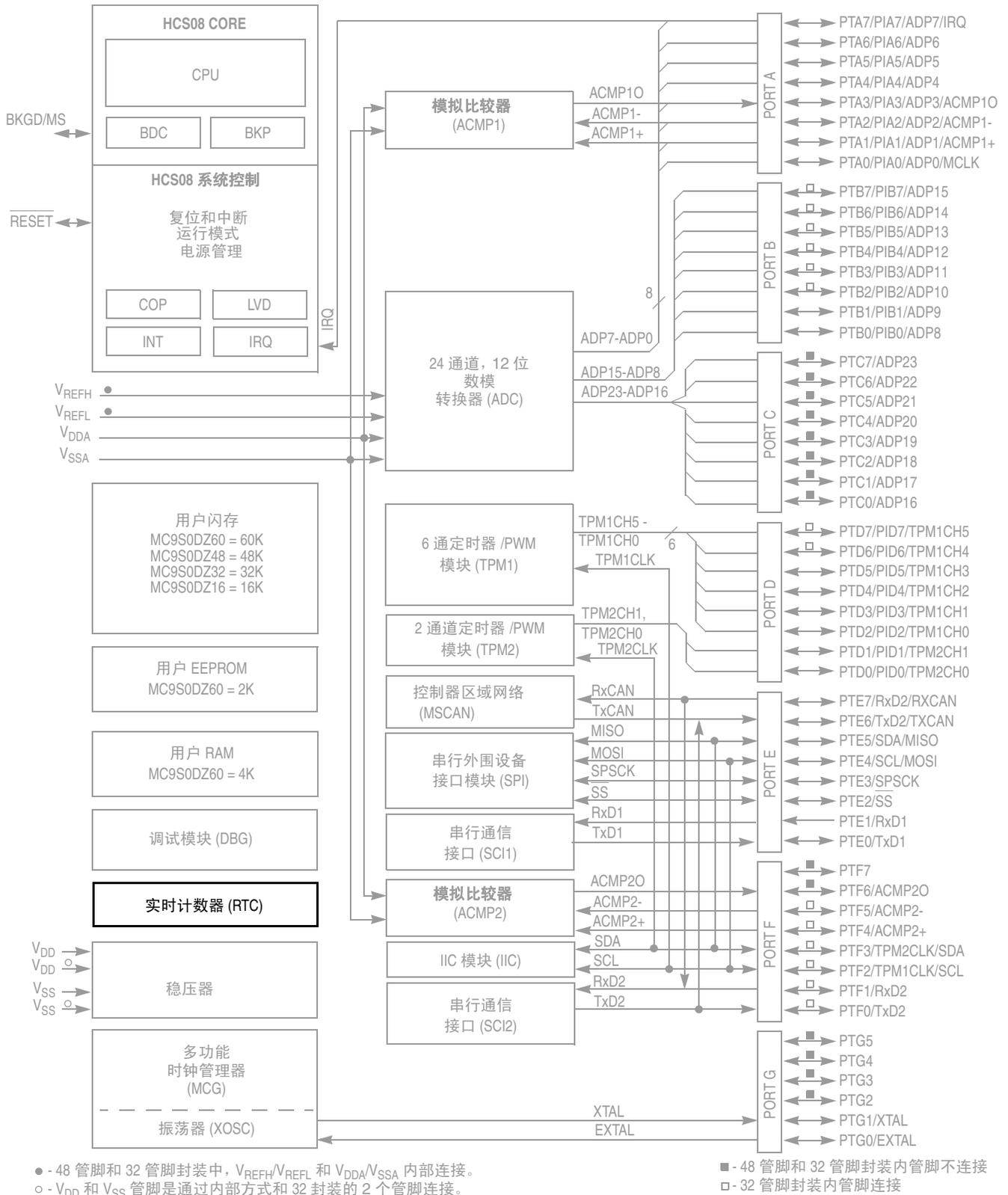


图 15-1. MC9S08DZ60 结构图

作为输入捕捉、输出比较或边缘对齐的 TPM 通道，PWM 通道是可独立编程的。或者，TPM 也可配置用于在所有通道上产生 CPWM 输出。当 TPM 被配置用于 CPWM 时，计数器作为向上 / 向下计数器运行；这种情况下输入捕捉、输出比较和 EPWM 功能是不可用的。

如果一个通道被配置为输入捕捉，那个该通道的内部上拉器件可以被使能。一个模块如何与管脚控制交互的细节取决于芯片实施，因为输入 / 输出管脚和相关通用输入 / 输出控制不是 PWM 模块的一部分。请参考全芯片规范中有关输入 / 输出端口逻辑的讨论。

因为中央对齐 PWM 通常用于驱动 3 相交流感应电机和无刷直流电机，它们一般用在 3 个或 6 个通道组中。

16.2 信号描述

表 16-1 显示了 TPM 的用户可接入信号。通道数目可从 1 到 8 之间变化。包含外部时钟时，它可与任何 TPM 通道一样通过相同的管脚共享；然而，它可以连接到独立的输入管脚。请参考全芯片规范中的输入 / 输出管脚介绍，了解具体的芯片执行。

表 16-1. 信号属性

名称	功能
EXTCLK ¹	可选择用于驱动 TPM 计数器的外部时钟源。
TPMxCHn ²	与 TPM 通道 n 相关的输入 / 输出管脚

¹ 预设后，该信号可分享任何通道管脚；然而根据全芯片实施，这个信号可以连接到独立的外部管脚。

² n= 通道数目 (1 至 8)

请参考全芯片文档，了解关于复位状态、端口连接的详细信息，以及这些管脚上是否有上拉器件。

当 TPM 或通用输入 / 输出控制将关联管脚配置为输入时，TPM 通道管脚可与通用输入 / 输出管脚相关，并且可以使用可通过控制位使能的被动上拉器件。当没有 TPM 功能被使能以使用关联的管脚时，管脚恢复到由通用输入 / 输出控制的状态，包括端口数据和数据方向寄存器。复位后不会有 TPM 功能立即使能，因此所有相关管脚都恢复到通用输入 / 输出控制。

16.2.1 详细信号描述

本小节详细介绍了每种用户可接入的管脚信号。虽然表 16-1 对所有通道管脚进行了分组，但任何 TPM 管脚都可以和外部时钟源信号共享。由于输入 / 输出管脚逻辑不是 TPM 的一部分，请参考全芯片文档的具体描述来了解有关 TPM 管脚功能和包括端口数据、数据方向和上拉控制的通用输入 / 输出控制交互的更多详情。

16.2.1.1 EXTCLK — 外部时钟源

通过定时器状态和控制寄存器中的控制位，用户可以选择无（定时器关闭）、总线速率时钟（正常默认源）、晶振相关时钟或外部时钟作为驱动 TPM 预分频器和随后的 16 位 TPM 计数器的时钟。外部时钟源在 TPM 中实现同步。总线时钟对同步器进行定时；外部源的频率必须不能超过总线速率时钟频率的四分之一，以满足 Nyquist 标准并允许抖动。

附录 B

定时器脉宽调制器 (TPMV2)

注意

本章节参考 S08TPM 第二版本，它适用于该器件的 3M05C 及更旧的掩膜版本。0M74K 和更新的掩膜版本采用 S08TPM 第三版本。如果你的器件采用 0M74K 或更新的掩膜，请参见 299 页上的第 16 章，“定时器脉冲宽度调节器（S08TPMV3）”，了解该模块的信息。

B.1 介绍

TPM 采用每通道一个 I/O 管脚，TPMxCHn，其中 x 是 TPM 数量（如 1 或 2），n 是通道的数量（如 0 - 4）。TPM 与通用 I/O 端口管脚共享其 I/O 管脚（参见 Pins and Connections 章节，了解更多信息）。

B.2 特性

TPM 提供以下特性：

- 每个 TPM 可以配置为所有通道上缓冲的且中央对齐的脉宽调制 (CPWM)
- 可以为每个 TPM 独立选择时钟源（多个 TPM 器件）
- 时钟源可选择（根据器件选择）：总线时钟、固定系统时钟、外部管脚
- 时钟预分频点按 1, 2, 4, 8, 16, 32, 64, 或 128 分
- 16- 位自由运行或上 / 下 (CPWM) 计数操作
- 16- 位模量寄存器控制计数器范围
- 定时器系统使能
- 每个通道一个中断加上每个 TPM 模块的终端计数中断（多个 TPM 器件）
- 通道特性：
 - 每个通道可以是输入捕捉，输出比较，或缓冲边沿对齐的 PWM
 - 上升边，下降边或任意边输入捕捉触发器
 - 设置、清除或固定输出比较行动
 - 在 PWM 输出上可选择极性

中断标记和启动与 16 位主计数器相关。定时器溢出标记 (TOF) 是一种显示定时器计数器溢出的软件可接入指示。TOF 标记等于 1 时自动生成静态硬件中断的情况下, 启动信号都在软件轮询 (TOIE=0) (无硬件中断生成) 或中断驱动操作 (TOIE=1) 之间选择。

导致 TOF 被设置的条件取决于 (向上或向上 / 向下) 计数模式。在向上计数模式中, 16 位主计数器从 0x0000 计数到 0xFFFF, 并且在下一次计数时钟中溢出到 0x0000。在从 0xFFFF 向 0x0000 过渡时, TOF 被设置。设置了模数限制时, TOF 会在从模数寄存器中设置的值向 0x0000 过渡时设置。当 16 位主计数器以向上 / 向下模式运行的情况下, 计数器在从模数寄存器中设置的值和下一个更低的计数值过渡而改变方向时 TOF 标记被设置。这对应 PWM 周期的结束。(0x0000 计算值对应周期的中央。)

因为 HCS08 MCU 是一种 8 位的架构, 所以一致性机制被设计到定时器计数器中以进行读取操作。当计数器的任何一个字节 (TPMxCNTH or TPMxCNTL) 被读取时, 两个字节都被捕获到缓冲器中, 这样当另一个字节被读取时, 值会显示读取第一个字节时计数的另一个字节。计数器继续正常计数, 但是没有新的值从任意字节中读取, 直到旧的计数的两个字节都被读取。

主定时器的计数器可随时通过将任何值写入 TPMxCNTH 或 TPMxCNTL 计数的任一比特来手动复位。如果在复位计数前只有计数器的一个字节被读取, 那么这种计数器复位方式还会复位一致性机制。

B.6.2 通道模式选择

如果 CPWMS=0 (未规定中央对齐的 PWM 操作), 那么通道 n 状态和控制寄存器中 MSnB 和 MSnA 控制位为相应通道确定基本运行模式。选择包括输入捕获、输出对比或缓冲的边缘对齐 PWM。

B.6.2.1 输入捕获模式

利用输入捕获功能, TPM 可捕获外部事件发生的时间。当输入捕获通道的管脚上发生激活边时, TPM 会将 TPM 计数器的内容锁入到通道值寄存器中 (TPMxCnVH:TPMxCnVL)。上升边、下降边或任何边可被选为触发输入捕获的活动边。

当 16 位捕获寄存器的任何一个字节被读取时, 两个字节都被锁入到缓冲器中, 以支持连贯的 16 位接入而不受顺序的影响。一致性序列可通过向通道状态 / 控制寄存器 (TPMxCnSC) 中写入值来手动复位。

输入捕获事件会设置标记位 (CHnF), 该标记可选择生成一个 CPU 中断请求。

B.6.2.2 输出比较模式

通过输出比较功能, TPM 可生成具有可编程位置、极性、持续时间和频率的定时脉冲。当定时器达到输出对比通道的通道值寄存器中的值时, TPM 可以置 1, 置 0, 翻转引脚状态通道。

在输出比较模式中, 值只有在 16 位寄存器的两个 8 位字节都被写入后被传输到相应定时器的通道寄存器中。这种一致性序列可通过向通道状态 / 控制寄存器 (TPMxCnSC) 中写入值来手动复位。

输出比较事件会设置标记位 (CHnF), 该标记可选择产生 CPU 中断请求。