



Welcome to [E-XFL.COM](#)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	39
Program Memory Size	48KB (48K x 8)
Program Memory Type	FLASH
EEPROM Size	1.5K x 8
RAM Size	3K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 16x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	48-LQFP
Supplier Device Package	48-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz48mlf

6.5.7.4 G 端口斜率使能寄存器 (PTGSE)

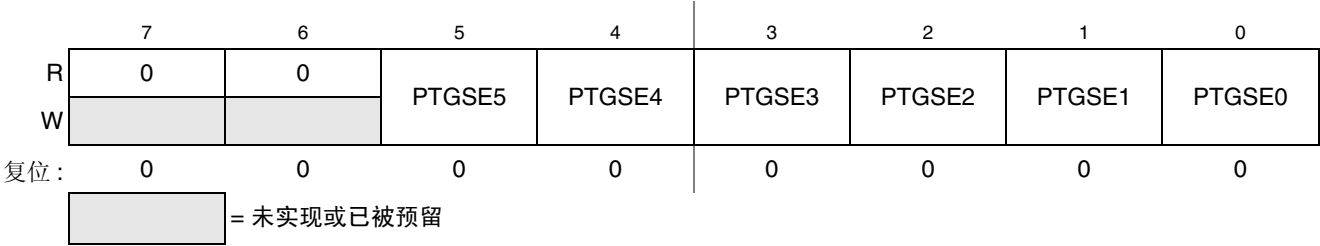


图 6-45. G 端口寄存器斜率使能 (PTGSE)

表 6-43. PTGSE 寄存器字段描述

字段	描述
5:0 PTGSE[5:0]	G 端口位的输出斜率使能 — 这些控制位决定是否为相关的 PTG 管脚使能输出斜率控制。对于配置为输入的 G 端口管脚，这些位不会产生任何影响。 0 G 端口位 - 输出斜率控制禁止。 1 G 端口位 - 输出斜率控制使能。

注意: 工程样品和最终成品的斜率复位默认值可能不同。一定要将斜率控制初始化为所需的值，以确保正确的操作。

6.5.7.5 G 端口驱动强度选择寄存器 (PTGDS)

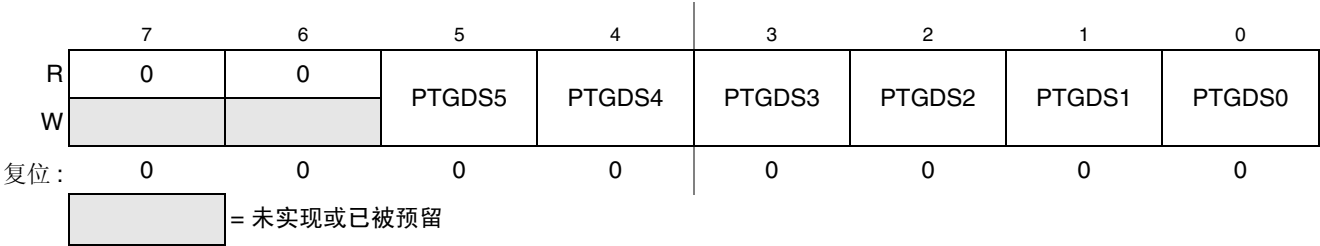


图 6-46. G 端口寄存器的驱动强度选择 (PTGDS)

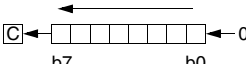
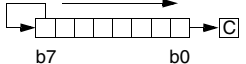
表 6-44. PTGDS 寄存器字段描述

字段	描述
5:0 PTGDS[5:0]	G 端口位的输出驱动强度选择 — 这些控制位为相关的 PTG 选择低输出驱动和高输出驱动。对于配置为输入的 G 端口管脚，这些位不会产生任何影响。 0 G 端口位 - 选择的低输出驱动强度。 1 G 端口位 - 选择的高输出驱动强度。

7.5 HCS08 指令集小结

表 7-2 概括地介绍了所有可能的寻址模式中的 HCS08 指令集。表中显示了各个指令的每个寻址模式变种的操作数构造、内部总线时钟周期的执行时间和逐周期详情。

表 7-2. 指令集小结 (第 1 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR					
						V	I	H	N	Z	C
ADC #opr8i ADC opr8a ADC opr16a ADC oprx16,X ADC oprx8,X ADC ,X ADC oprx16,SP ADC oprx8,SP	进位添加 A ← (A) + (M) + (C)	IMM DIR EXT IX2 IX1 IX SP2 SP1	A9 ii B9 dd C9 hh ll D9 ee ff E9 ff F9 9E D9 ee ff 9E E9 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	↑ 1 1 ↑	-	↑	↑	↑	
ADD #opr8i ADD opr8a ADD opr16a ADD oprx16,X ADD oprx8,X ADD ,X ADD oprx16,SP ADD oprx8,SP	无进位添加 A ← (A) + (M)	IMM DIR EXT IX2 IX1 IX SP2 SP1	AB ii BB dd CB hh ll DB ee ff EB ff FB 9E DB ee ff 9E EB ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	↑ 1 1 ↑	-	↑	↑	↑	
AIS #opr8i	在堆栈指针上添加立即值 (带符号) SP ← (SP) + (M)	IMM	A7 ii	2	pp	- 1 1 -	-	-	-	-	
AIX #opr8i	在索引寄存器 (H:X) 上添加立即值 (带符号) H:X ← (H:X) + (M)	IMM	AF ii	2	pp	- 1 1 -	-	-	-	-	
AND #opr8i AND opr8a AND opr16a AND oprx16,X AND oprx8,X AND ,X AND oprx16,SP AND oprx8,SP	逻辑 AND A ← (A) & (M)	IMM DIR EXT IX2 IX1 IX SP2 SP1	A4 ii B4 dd C4 hh ll D4 ee ff E4 ff F4 9E D4 ee ff 9E E4 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	-	↑	↑	-	
ASL opr8a ASLA ASLX ASL oprx8,X ASL ,X ASL oprx8,SP	算术左移位 t  (同 LSL)	DIR INH INH IX1 IX SP1	38 dd 48 58 68 ff 78 9E 68 ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↑ 1 1 -	-	↑	↑	↑	
ASR opr8a ASRA ASRX ASR oprx8,X ASR ,X ASR oprx8,SP	算术右移位 t 	DIR INH INH IX1 IX SP1	37 dd 47 57 67 ff 77 9E 67 ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↑ 1 1 -	-	↑	↑	↑	
BCC rel	如果进位位清除, 分支 (如果 C = 0)	REL	24 rr	3	ppp	- 1 1 -	-	-	-	-	

8.5.1.9 Stop

每当 MCU 进入 STOP 状态就进入 STOP 模式。在该模式中，FLL 和 PLL 被禁止，所有 MCG 时钟信号静止，但下列情况除外：

当满足下列条件时，MCGIRCLK 将在停止模式中使能：

- IRCLKEN = 1
- IREFSTEN = 1

当满足下列条件时，MCGERCLK 将在停止模式中使能：

- ERCLKEN = 1
- EREFSTEN = 1

8.5.2 模式切换

当在 Engaged Internal 和 Engaged External 间进行模式切换时，IREFS 位可以随时修改，但必须同时修改 RDIV 位，这样参考频率处于 PLLS 位状态所要求的范围内（如果选择 FLL，则介于 31.25 kHz -39.0625 kHz 之间；如果选择 PLL，则介于 1 MHz -2 MHz 之间）。在 IREFS 值更改后，FLL 或 PLL 在切换完成后会被再次锁定。切换完成由 IREFST 位标志。

对于切换到 FBE 模式后立即进入停止模式的特殊情况，如果外部时钟和内部时钟在停止模式中被禁止（EREFSTEN = 0，IREFSTEN = 0），在清除 IREFST 位后必须允许 100us 来切断内部参考。在大多数情况下，由于指令执行次数造成的延迟都足够用。

CLKS 位也可以随时修改，但为了正确配置 MCGLCLK，必须同时修改 RDIV 位，这样参考频率就处于 PLLS 位状态所要求的范围内（如果选择 FLL，则介于 31.25 kHz -39.0625 kHz 之间；如果选择 PLL，则介于 1 MHz -2 MHz 之间）。实际切换到刚选择的时钟由 CLKST 位表示。如果刚选择的时钟不可用，则仍选择原来的时钟。

如需了解更多信息，请参见图 8-8。

8.5.3 总线分频器

BDIV 位可以随时修改，实际切换到新频率将立即进行。

8.5.4 低功率位使用

提供低功率位（LP）的目的是为了在不需要使用 FLL 或 PLL 时禁止它们，从而达到节电目的。然而，在有些应用中可能需要使能 FLL 或 PLL，使它在切换到下一个 Engaged 模式前锁定，以实现最大精确度，只需向 LP 位写入 0，即可完成该操作。

- d) BLPE: 如果通过 BLPE 模式转换, 将 MCGC2 的 LP (位 3) 转换到 0, 切换到 PBE 模式。
 - e) PBE: 循环检测, 直到 MCGSC 中的 PLLST (位 5) 已经设置, 表明 PLLS 时钟的当前源是 PLL。
 - f) PBE: 循环检测, 直到 MCGSC 中的 LOCK (位 6) 已经设置, 表明 PLL 已经获得锁定。
3. 最后, PBE 模式转换到 PEE 模式:
- a) MCGC1 = 0x10 (%00010000)
 - MCGSC1 中的 CLKS (位 7 和 6) 设置为 %00, 以便将 PLL 输出选择为系统时钟源。
 - b) 循环检测, 直到 MCGSC 中的 CLKST (位 3 和 2) 是 %11, 表明已经选择 PLL 输出为当前时钟模式的 MCGOUT 馈电。
 - 这样, RDIV 除以 4、BDIV 除以 1、VDIV 乘以 16, $MCGOUT = [(4 \text{ MHz} / 4) * 16] / 1 = 16 \text{ MHz}$, 总线频率是 MCGOUT / 2 或 8 MHz

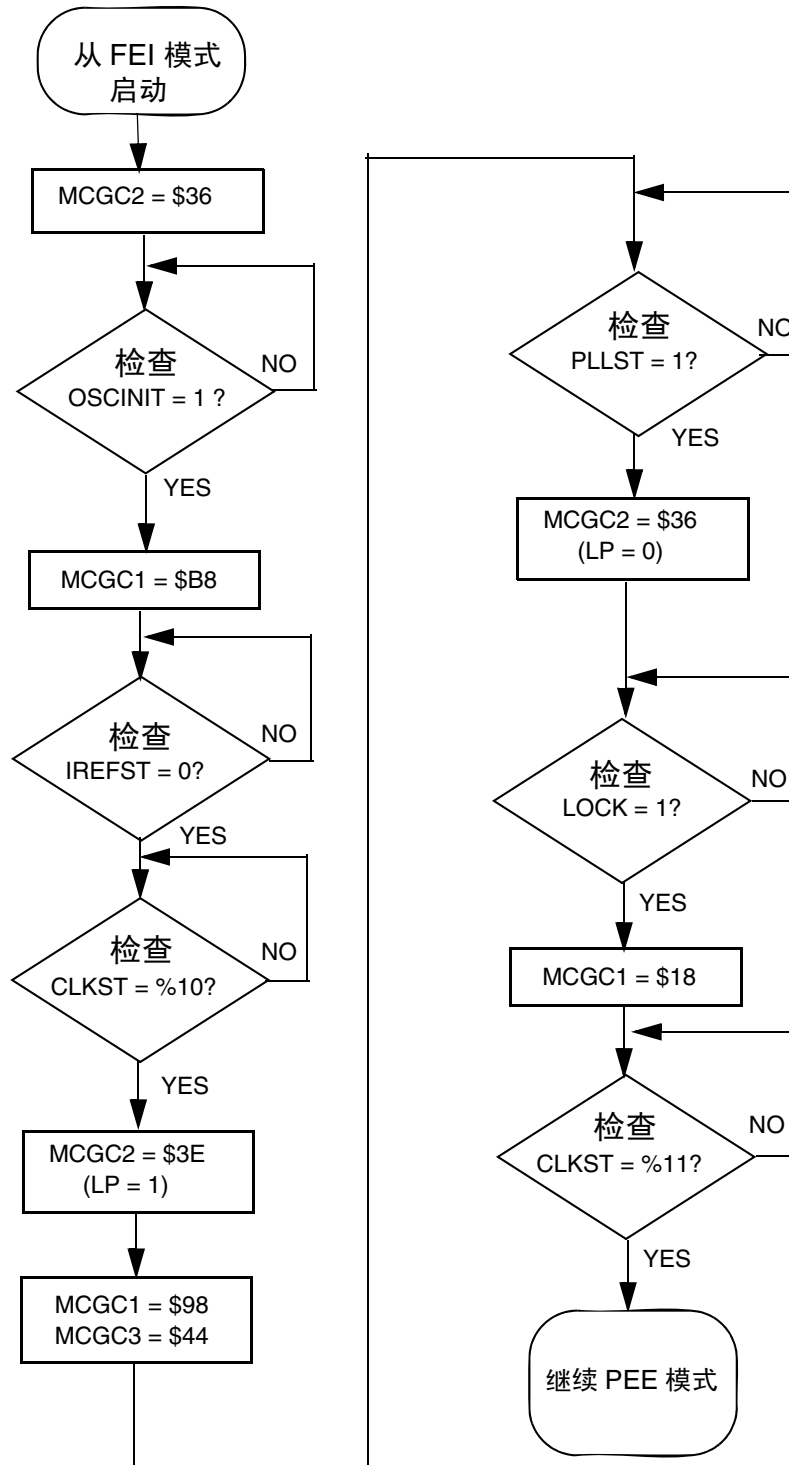


图 8-12. 使用 8 MHz 晶体从 FEI 转换到 PEE 模式的流程图

第 9 章

模拟比较器 (S08ACMPV3)

9.1 介绍

模拟比较器模块（ACMP）提供用来比较两个模拟输入电压，或者一个输入电压和一个内部参考电压的电路。比较器电路能够在整个电源电压范围内操作（轨到轨操作）。

MC9S08DZ60 系列的所有 MCU 都能在 64 管脚的封装中提供两个全功能 ACMP。48 管脚封装的 MCU 有两个 ACMP，但 ACMP2 的输出管脚没有引出。32 管脚封装的 MCU 只有一个全功能 ACMP。

NOTE

MC9S08DZ60 系列器件的工作电压范围较高（2.7 V --5.5 V），不支持 STOP1 模式。请忽略 STOP1 的参考。

9.1.1 ACMP 配置报文

当使用带死区参考电压为 ACMP+ 输入时，用户必须通过在 SPMSC1 中设置 BGBE =1，使能死区缓冲，详细内容 5.8.7，“系统电源管理状态和控制寄存器 1 (SPMSC1)”。如需了解死区电压参考报文 A.6，“DC 特性”。

10.3 外部信号描述

ADC 模块最多可支持 28 个独立模拟输入。它还需要 4 个电源 / 参考 / 接地连接。

表 10-2. 信号属性

名称	功能
AD27-AD0	模拟通道输入
V_{REFH}	高参考电压
V_{REFL}	低参考电压
V_{DDAD}	模拟电源
V_{SSAD}	模拟接地

10.3.1 模拟电源 (V_{DDAD})

ADC 模拟部分使用 V_{DDAD} 作为其电源连接。在有些封装中, V_{DDAD} 与 V_{DD} 是内部连接。如果是外部连接, 将 V_{DDAD} 管脚连到与 V_{DD} 相同的电平。为了确保干净的 V_{DDAD} 信号, 可能还需要外部滤波。

10.3.2 模拟接地 (V_{SSAD})

ADC 模拟部分使用 V_{SSAD} 作为其接地连接。在有些封装中, V_{SSAD} 与 V_{SS} 是内部连接。如果是外部连接, 将 V_{SSAD} 管脚连到与 V_{SS} 相同的电平。

10.3.3 参考电压高 (V_{REFH})

V_{REFH} 是转换器的高参考电压。在有些封装中, V_{REFH} 与 V_{DDAD} 是内部连接。如果是外部连接, V_{REFH} 可以连接到与 V_{DDAD} 相同的电平, 或者由介于 V_{DDAD} 最低限值和 V_{DDAD} 电平之间的外部源驱动 (V_{REFH} 必须不能超过 V_{DDAD})。

10.3.4 参考电压低 (V_{REFL})

V_{REFL} 是转换器的低参考电压。在有些封装中, V_{REFL} 与 V_{SSAD} 是内部连接。如果是外部连接, 将 V_{REFL} 管脚连到和 V_{SSAD} 相同的电平。

10.3.5 模拟通道输入 (ADx)

ADC 模块最多可支持 28 个独立的模拟输入。通过 $ADCH$ 通道选择位选择转换。

12.3.2 控制寄存器 1 (CANCTL1)

CANCTL1 寄存器如下所述提供了 MSCAN 模块的各种控制位和握手状态报文。

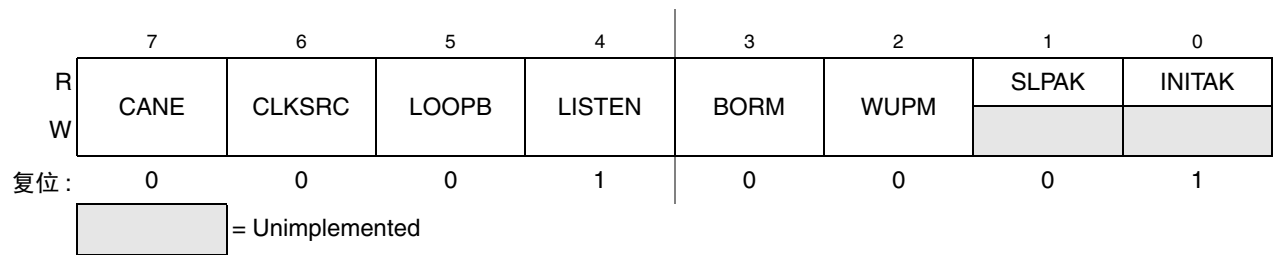


图 12-5. 控制寄存器 1(CANCTL1)

读取: 任何时间
写入: 当 INITRQ = 1 和 INITAK = 1 时的任何时间, CANE 例外, 可以在正常情况下写入一次, 以及当 MSCAN 处于初始化模式 (INITRQ = 1, NITAK = 1) 的特殊系统运行模式时任何时间写入。

表 12-2. 寄存器字段描述

字段	描述
7 CANE	MSCAN 使能 0 MSCAN 模块禁止 1 MSCAN 模块使能
6 CLKSRC	MSCAN 时钟源 — 该位定义 MSCAN 模块的时钟源 (仅适用于具有时钟发生模块的系统: 12.5.3.3, “时钟系统”和图 12-42, “MSCAN 时钟机制”). 0 MSCAN 时钟源是振荡器时 1 MSCAN 时钟源是总线时钟
5 LOOPB	环回自测模式 — 当设置了该位时, MSCAN 执行可用于自测操作的内部环回。T 发送器的位流输出从内部流回接收器。12.5.4.6, “环回自测模式”。 0 环回自测禁止 1 环回自测使能
4 LISTEN	监听模式 — 该位把 SCAN 配置为 CAN 总线监控器。当设置了 LISTEN 时, 会收到带有匹配 ID 的所有有效 CAN, 但不发出确认或错误帧 (参见 12.5.4.4, “监听模式”)。此外, 错误计数器停止计数。监听模式可以支持需要 “热插拔” 或 “吞吐量分析” 的应用。当监听模式处于有效状态时, MSCAN 不能发送任何报文。 0 正常运行 1 监听模式使能 d
3 BORM	总线脱离恢复模式 — 该位配置 MSCAN 的总线关断恢复模式。更多报文总线脱离恢复模式 — 该位配置 MSCAN 的总线关断恢复模式。更多报文 12.6.2, “总线脱离恢复”。 0 自动总线脱离恢复 (参见 Bosch CAN 2.0A/B 协议规范) 1 用户请求的总线脱离恢复
2 WUPM	唤醒模式 — 如果 CANCTL0 中的 WUPE 被使能, 该位决定是否应用集成低通滤波器来防止 MSCAN 出现假唤醒 (参见 12.5.5.4, “MSCAN 睡眠模式”)。 0 MSCAN 被 CAN 总线上的任意显性信号唤醒 1 MSCAN 只有在 CAN 总线上的显性脉冲长度为 Twup 时才唤醒。

表 12-12. CANTIER 寄存器字段描述

字段	描述
2:0 TXEIE[2:0]	发送器空中断使能 0 无中断请求从该事件中生成。 1 发送器空（发送缓冲器可用于发送）事件引起发送器空中断请求。更多报文参见 12.5.2.2，“发送结构”。

12.3.8 MSCAN Transmitter 发送器报文中止请求寄存器 (CANTARQ)

The CANTARQ 寄存器中止报文发送队列的请求。

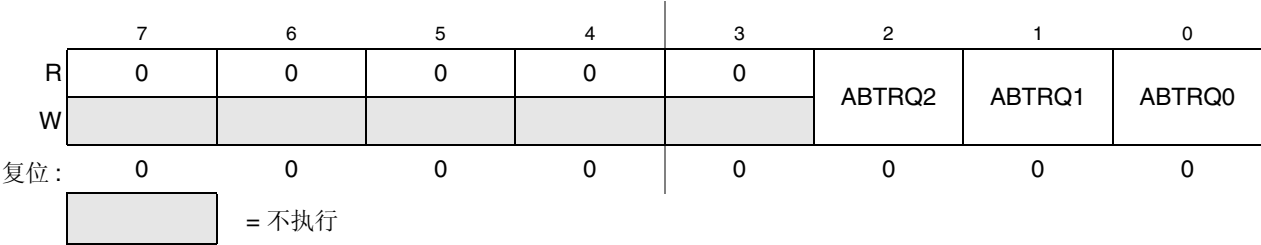


图 12-12. MSCAN 发送器报文中止请求寄存器 (CANTARQ)

注意

当初始化模式处于有效状态时，CANTARQ 寄存器保持复位状态（INITRQ=1，INITAK=1）。
当未处于初始化模式时，该寄存器可以写入（INITRQ=0，INITAK=0）。

读取：任何时间
写入：未处于初始化模式的任何时间

表 12-13. CANTARQ 寄存器字段描述

字段	描述
2:0 ABTRQ[2:0]	中止请求 —CPU 设置 ABTRQ _x 位，请求中止预定的报文缓冲器（TXE _x = 0）。如果报文还没有开始发送，或者如果发送没有成功（仲裁丢失或错误），MSCAN 就同意请求。当报文被中止时，相关 TXE（参见 12.3.6，“MSCAN 发送器标志寄存器（CANTFLG）”）和中止确认标志（ABTAK，参见 12.3.9，“MSCAN 发送器报文中止确认寄存器（CANTAACK）”）被设置，且若使能就触发发送中断。CPU 不能复位 ABTRQ _x 。每当设置了相关的 TXE 标志时，ABTRQ _x 就被复位。 0 无中止请求 1 中止请求产生

12.5.2 报文存储

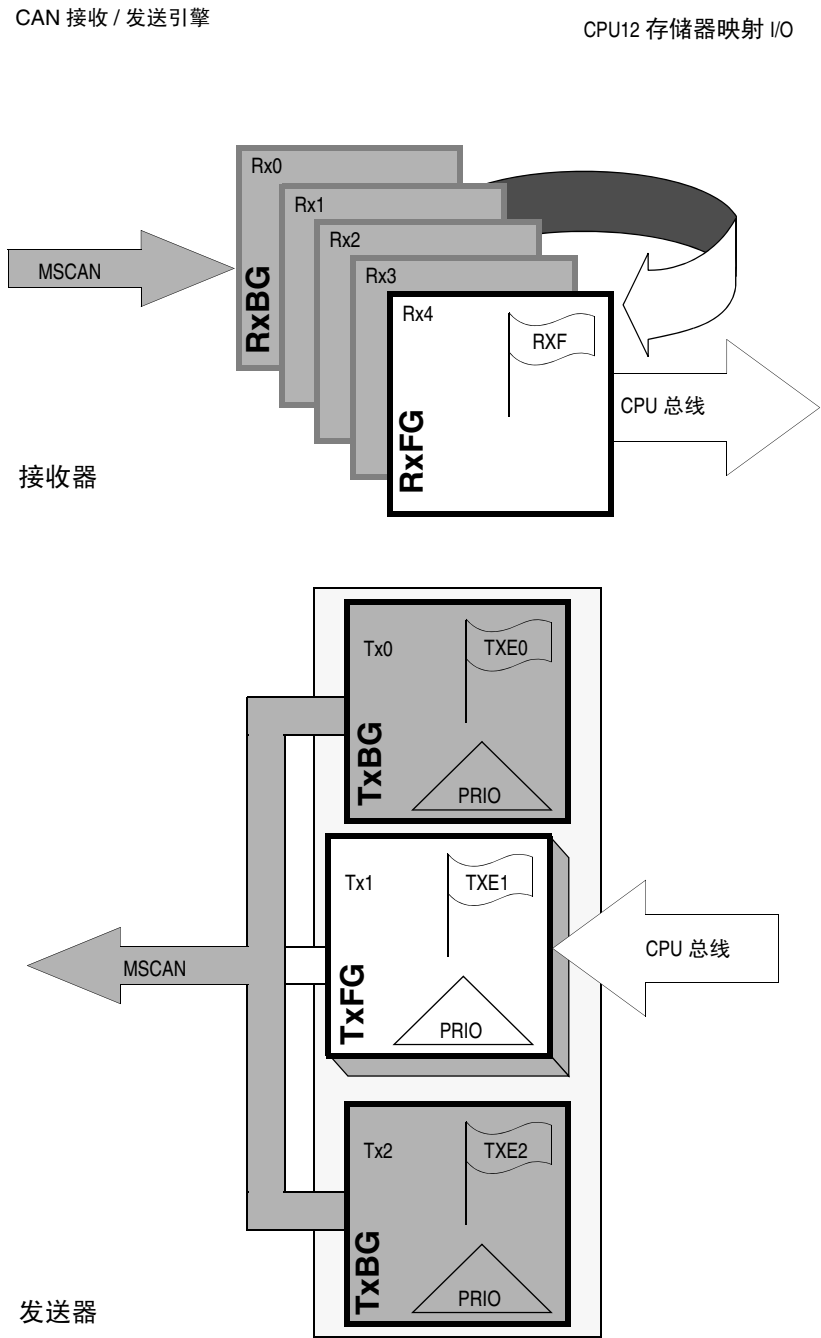


图 12-38. 报文缓冲器结构的用户模型

MSCAN 促进了一个能够满足一系列网络应用需求的先进报文存储系统。

12.5.2.1 报文发送基础

现代应用层软件的建立基于两个基本假设：

- 任何 CAN 节点都能够发送出安排好的报文流，而不需要在两条报文间释放 CAN 总线。这些节点在发送上一条报文后立即仲裁 CAN 总线，只当仲裁丢失时释放 CAN 总线。
- 安排 CAN 节点内的内部报文队列，这样，如果有多条报文准备发送时，最高优先级报文首先发出。

以上中描述的行为不能用单个发送缓冲器来实现。该缓冲器在上一条报文发送后必须立即重新加载。加载流程的持续时间有限，必须在帧间顺序（IFS）内完成，以便能够发送不中断报文流。即便这对于有限总线速度的 CAN 来说可行，但它要求 CPU 有最短的发送中断延迟时间。

双缓冲器机制能够把发送缓冲器的重新加载和实际的报文发送分开，因此降低了 CPU 的响应要求。问题可能出在完成报文的发送时 CPU 正重新加载第二个缓冲器，这时没有缓冲器做好发送准备，CAN 总线会被释放。

无论在什么情况下，至少需要三个发送缓冲器来满足上述第一个要求。MSCAN 有三个发送缓冲器。

第二个要求需要某些类型的内部优先排队，MSCAN 用 12.5.2.2，“发送结构”中描述的“本地优先级”来执行该优先排队。

12.5.2.2 发送结构

MSCAN 三重发送缓冲器机制允许提前建立多条报文，从而优化了实时性能。这三个缓冲器的安排如图 12-38 所示。

这三个缓冲器都具有类似接收缓冲器的 13 字节数据结构（参见 12.4，“报文存储模式”）。

12.4.5，“发送缓冲器优先寄存器 (TBPR)”包含 8 位本地优先级字段（PRIO）（参见 12.4.5，“发送缓冲器优先寄存器 (TBPR)”）。剩下的两个字节用于报文的时间标签，如果需要的话（参见 12.4.6，“时间标签寄存器 (TSRH - TSRL)”）。

要发送报文，CPU 必须确定可用的发送缓冲器，这由置位的发送器缓冲器空（TXEx）标志（参见 12.3.6，“MSCAN 发送器标志寄存器 (CANTFLG)”）表示。如果发送缓冲器可用，CPU 必须通过写入 CANTBSEL 寄存器（参见 12.3.10，“MSCAN 发送缓冲器选择寄存器 (CANTBSEL)”），为该缓冲器设置一个指针。这使得各自的缓冲器能够在 CANTXFG 地址空间内访问（参见 12.4，“报文存储模式”）。与 CANTBSEL 寄存器有关的算法功能简化了发送缓冲器选择。此外，这种机制使程序软件处理更为简单，因为发送流程只需访问一个地址，节省所需地址空间。

然后，CPU 将标识符、控制位和数据内容保存到一个发送缓冲器。最后，通过清除相关 TXE 标志，缓冲器标志为发送准备就绪。

MSCAN 然后安排报文发送，并通过设置相关 TXE 标志，通知缓冲器成功发送。当设置了 TXEx，可触发发送中断（参见 12.5.7.2，“发送中断”）¹，能够用来使应用软件重新加载缓冲器。

1. 只有当未屏蔽时才会发生发送中断。轮询机制也可应用于 TXEx。

13.2 外部信号描述

SPI 共享 4 个端口管脚。这些管脚的功能取决于 SPI 控制位的设置。当 SPI 禁止 ($SPE = 0$) 时, 这 4 个管脚恢复为不受 SPI 控制的通用端口 I/O 管脚。

13.2.1 SPSCK — SPI 串行时钟

当 SPI 作为从 SPI 被使能时, 该管脚是串行时钟输入。当 SPI 作为主 SPI 被使能时, 该管脚是串行时钟输出。

13.2.2 MOSI — Master Data Out, Slave Data In

当 SPI 作为主 SPI 被使能且 SPI 管脚控制零 ($SPC0$) 为 0 (不是双向模式) 时, 该管脚是串行数据输出。当 SPI 作为从 SPI 被使能且 $SPC0 = 0$ 时, 该管脚为串行数据输入。如果 $SPC0 = 1$, 选择单线双向模式并选择了主模式, 该管脚就成为双向数据 I/O 管脚 ($MOMI$)。同样, 双向模式输出使能位决定该管脚作为输入 ($BIDIROE = 0$) 管脚还是输出管脚 ($BIDIROE = 1$)。如果 $SPC0 = 1$ 且选择了辅模式, 该管脚不会被 SPI 使用, 并恢复为通用端口 I/O 管脚。

13.2.3 MISO — Master Data In, Slave Data Out

当 SPI 作为主 SPI 被使能且 SPI 管脚控制零 ($SPC0$) 为 0 (不是双向模式) 时, 该管脚是串行数据输入。当 SPI 作为从 SPI 被使能且 $SPC0 = 0$ 时, 该管脚是串行数据输出。如果 $SPC0 = 1$, 选择单线双向模式并选择了辅模式, 该管脚变成双向数据 I/O 管脚 ($SISO$)。双向模式输出使能位决定该管脚作为输入 ($BIDIROE = 0$) 管脚还是输出管脚 ($BIDIROE = 1$)。如果 $SPC0 = 1$ 且选择了辅模式, 该管脚不会被 SPI 使用, 并恢复为通用端口 I/O 管脚。

13.2.4 $\overline{SS}$ — 从选择

当 SPI 作为从 SPI 被使能时, 该管脚是低电平有效的从选择输入。当 SPI 作为主 SPI 被使能且模式默认使能关闭 ($MODFEN = 0$) 时, 该管脚不被 SPI 使用, 并恢复为通用端口 I/O 管脚。当 SPI 作为主 SPI 被使能时, $MODFEN = 1$, 辅选择输出使能位决定该管脚是作为模式默认输入 ($SSOE = 0$) 还是辅选择输出 ($SSOE = 1$)。

13.3 运行模式

13.3.1 处于停止模式的 SPI

SPI 在所有停止模式禁止, 无论在执行 STOP 指令前的设置如何。在 STOP1 或 STOP2 模式期间, SPI 模块将完全关闭。一旦从 STOP1 或 STOP2 模式唤醒, SPI 模块将进入复位状态。在 STOP3 模式期间, SPI 模块的时钟暂停。寄存器没受到影响。如果通过复位退出 STOP3, SPI 被置复位状态。如果通过中断退出 STOP3, SPI 继续保持其进入 STOP3 时所处的状态。

表 14-4. SCIxC1 字段描述

字段	描述
1 PE	奇偶效验使能 — 使能硬件奇偶效验生成和检查。当使能奇偶效验时，数据字符（第 8 或第 9 数据位）的最高位（MSB）视为奇偶校验位。 0 无硬件奇偶效验生成或检查。 1 奇偶效验使能。
0 PT	奇偶效验类型 — 如果使能奇偶效验（PE = 1），该位选择奇或偶效验。奇效验表示数据字符中 1 的总数（包括奇偶校验位）是奇数。偶数表示数据字符中 1 的总数（包括奇偶校验位）是偶数。 0 偶效验 1 奇效验

14.2.3 SCI 控制寄存器 2 (SCIxC2)

该寄存器可以随时读取或写入。

	7	6	5	4	3	2	1	0
R	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK
W								
复位	0	0	0	0	0	0	0	0

图 14-7. SCI 控制寄存器 2 (SCIxC2)

表 14-5. SCIxC2 字段说明

字段	描述
7 TIE	发送中断使能（用于 TDRE） 0 来自 TDRE 的硬件中断禁止（使用轮询）。 1 当 TDRE 标记为 1 时允许硬件中断。
6 TCIE	发送完成中断使能（用于 TC） 0 来自 TC 的硬件中断禁止（使用轮询）。 1 当 TC 标记为 1 时允许硬件中断。
5 RIE	接收器中断使能（用于 RDRF） 0 来自 RDRF 的硬件中断禁止（使用轮询）。 1 当 RDRF 标记为 1 时允许硬件中断。
4 ILIE	闲置线路中断使能（用于 IDLE） 0 来自 IDLE 的硬件中断禁止（使用轮询）。 1 当 IDLE 标记为 1 时允许硬件中断。
3 TE	发射器使能 0 发射器关闭。 1 发射器打开。 要使用 SCI 发射器，TE 必须是 1。当 TE = 1 时，SCI 强制 TxD 管脚作为 SCI 系统的输出。 当 SCI 配置用于单线运行（LOOPS = RSRC = 1）时，TXDIR 控制单 SCI 通信线路（TxD 管脚）上的流量方向。 当正在进行发送时通过写 TE = 0，然后写 TE=1，TE 也可以用来排队闲置字符。详情请 14.3.2.1，“发送中断和排队闲置”。 当 TE 写入 0，发射器保持对端口 TxD 管脚的控制，直到任何数据、队列闲置或队列中止字符在允许管脚恢复为通用 I/O 管脚前完成传输。

14.3.2 发射器功能描述

本小节描述 SCI 发射器的整体结构图，以及发送中断和闲置字符的一些专用功能。发射器结构图如图 14-2。

发射器输出 (TxD) 闲置状态默认为逻辑高态 (复位后 TXINV = 0)。如果 TXINV = 1，发射器输出就被颠倒。通过在 SCIC2 中设置 TE 位，发射器被使能。这会排队前导信号字符，前导信号字符是闲置状态的一个完整字符帧。发射器然后保持闲置状态，直到发送数据缓冲器中出现数据。通过把数据写入 SCI 数据寄存器 (SCID)，程序把数据保存到发送数据缓冲器。

SCI 发射器的中心元件是长度为 10 或 11 位 (取决于 M 控制位中的设置) 的发送移位寄存器。对于本小节的剩余部分，我们假设 M = 0，选择正常的 8 位数据模式。在 8 位数据模式中，移位寄存器中有 1 个起始位、8 个数据位和 1 个停止位。当发送移位寄存器可以用于新 SCI 字符时，在发送数据寄存器中等待的值被传输到移位寄存器 (与波特率时钟同步)，同时设置发送数据寄存器空 (TDRE) 状态标记，显示另外一个字符可以写入 SCID 的发送数据缓冲器。

如果停止位移出 TxD 管脚后发送数据缓冲器中没有新字符在等待，发射器设置发送完成标记，进入闲置模式，TxD 处于高态，等待发送更多字符。

将 0 写入 TE 不会立即释放管脚使其成为通用 I/O 管脚。正在进行的任何发送活动必须首先完成，这包括正在发送的数据字符、已进入队列的闲置字符和已进入队列的中止字符。

14.3.2.1 发送中断和排队闲置

SCIC2 中的 SBK 控制位用来发送中止字符，中止字符最初用来引起旧式电传打字接收器的注意。中止字符是逻辑 0 (10 位时间，包括启动和停止位) 的全字符时间。13 位时间的较长中止字符可以通过设置 BRK13 = 1 进行使能。一般来说，程序要等待 TDRE 进行设置，以显示信息的最后一个字符已经移动到发送移位器，然后依次把 1 和 0 写入 SBK 位。一旦移位器可用，该操作就立即对将发送的中止字符进行排队。如果当已进入队列的中止符进入移位器 (与波特率时钟同步) 时 SBK 仍然为 1，额外的中止字符会进入队列。如果接收器件是另一个飞思卡尔半导体 SCI，中止字符将作为所有 8 个数据位中的 0 进行接收，并出现成帧错误 (FE = 1)。

当使用闲置线路唤醒时，信息之间就需要闲置 (逻辑 1) 的全字符时间，以唤醒正处于睡眠状态的任何接收器。在正常情况下，程序会等待 TDRE 进行设置，显示信息的最后字符已经移动到发送移位器，然后依次把 0 和 1 写入 TE 位。一旦移位器可用，该操作就立即对将发送的闲置字符进行排队。只要 TE = 0 时移位器中的字符没有完成，SCI 发射器永远不会真正放弃 TxD 管脚的控制。如果移位器在 TE = 0 时有完成的可能，则设置通用 I/O 控制，这样与 TxD 共享的管脚就是驱动逻辑 1 的输出。这确保了 TxD 线路看起来像是正常闲置线路，即便在向 TE 写入 0 和 1 的过程中 SCI 失去对端口管脚的控制。

中止字符的长度受 BRK13 和 M 位的影响，如下表所示。

表 14-9. 中止字符长度

BRK13	M	中止字符长度
0	0	10 位时间
0	1	11 位时间
1	0	13 位时间
1	1	14 位时间

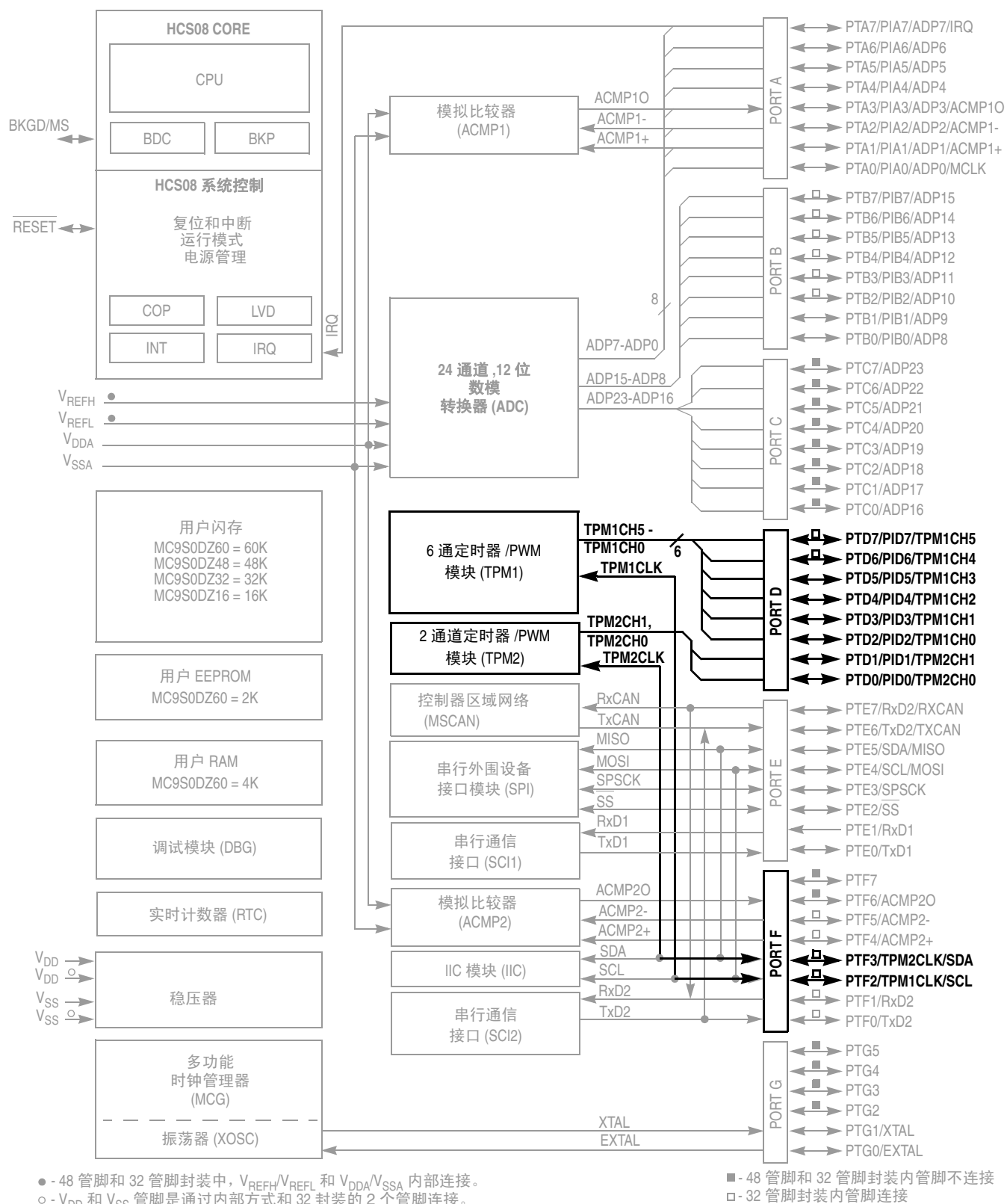


Figure 16-1. MC9S08DZ60 结构图

- 中央对齐 pwm 模式

16 位模数寄存器值的两倍设置 PWM 输出周期，而通道值寄存器设置一半占空比持续时间。定时器计数器向上计数，直到达到模数值，然后向下计数直到达到 0。向下计数的情况下，计数与通道值寄存器匹配时，PWM 输出进入活动状态。向上计数的情况下，计数与通道值寄存器匹配时，PWM 输出进入非活动状态。这类 PWM 信号被称为中央对齐，因为所有通道的活动占空比的中心与计数值 0 对齐。用于小型设备中的发动机类型需要这类 PWM 应用。

这只是一个简要介绍。运行模式的详细介绍请参见后面的各小节。

16.1.3 结构图

TPM 为每个通道使用一个输入 / 输出 (I/O) 管脚，即 TPMxCHn (定时器通道 n)，其中 n 为通道编号 (1-8)。TPM 与通用 I/O 端口管脚分享其 I/O 管脚 (请参考全芯片规范中的输入 / 输出管脚描述，了解如何完成具体芯片执行)。

图 16-2 显示了 TPM 结构。TPM 的中心组件是 16 位计数器。该计数器既可作为自由运行的计数器运行，又可作为模数向上 / 向下计数器运行。TPM 计数器 (以正常的向上计数模式运行时) 为输入捕捉、输出比较和边缘对齐 PWM 功能提供定时参考。定时器计数器模数寄存器 TPMxMODH:TPMxMODL 控制计数器的模数值 (0x0000 或 0xFFFF 值有效地使计数器自由运行)。软件可随时读取计数器值而不影响计数序列。向 TPMxCNT 计数器的任何一半写入任何数据值都会复位计数器。



图 16-9. TPM 计数器寄存器低字节 (TPMxCNTL)

当 BDM 处于有效状态，定时器计数器被冻结（这是用户将读取的值）；一致性机制是冻结的，这样当 BDM 处于有效状态时，缓冲器中锁定的内容仍将保持锁定状态，即使计数器的一半或两个一半都在 BDM 处于有效状态时被读取。这确保了如果 BDM 处于有效状态时用户正在读取 16 位寄存器，那么返回到正常操作后将从 16 位值的另一半中读取适当值。

在 BDM 模式下，向 TPMxSC, TPMxCNTH 或 TPMxCNTL 寄存器写入任何值可复位 TPMxCNTH:L 寄存器的读取一致性机制而不受写入涉及的数据影响。

16.3.3 TPM 计数器模数寄存器 (TPMxMODH:TPMxMODL)

这个读 / 写 TPM 模数寄存器包含 TPM 计数器的模数值。TPM 计数器达到模数值后，TPM 计数器在下一个时钟周期内又从 0x0000 开始计数，同时会设置一个溢出标记（TOF）。向 TPMxMODH 或 TPMxMODL 中写入一个值可禁止 TOF 位和溢出中断，直到另一个字节也被写入。复位操作将 TPM 计数器的模数寄存器设置为 0x0000，进而导致自由运行的定时器计数器（模数被关闭）。

写入任何一个字节（无论是 TPMxMODH 还是 TPMxMODL）都会使值锁入到缓冲器中，同时寄存器会根据 CLKSb:CLKSa bits, so 位的值以它们的写入缓冲器的值得到更新，因此：

- 如果（clksb:clksa = 0:0），那么寄存器在第二个字节被写入时更新。
- 如果（clksb:clksa not = 0:0），那么寄存器在两个字节都被写入后更新，计数器从（tpmxmodh:tpmxmodl - 1）变为（tpmxmodh:tpmxmodl）。如果 tpm 计数器为自由运行的计数器，那么 tpm 计数器从 0xfffe 变为 0xffff 时会进行更新。

锁定机制可通过向 TPMxSC 地址（无论 BDM 是否活动）中写入一个值来手动复位。

当 BDM 处于有效状态时，一致性机制是冻结的（除非通过写入 TPMxSC register 寄存器复位）。这样，当 BDM 处于有效状态时，缓冲器中锁定的内容仍然保持锁定状态，即使模数寄存器的一半或两个一半都在 BDM 处于有效状态时被写入。当 BDM 处于有效状态时，任何向模数寄存器的写入行为都会绕过缓冲器锁定并直接写入到模数寄存器中。

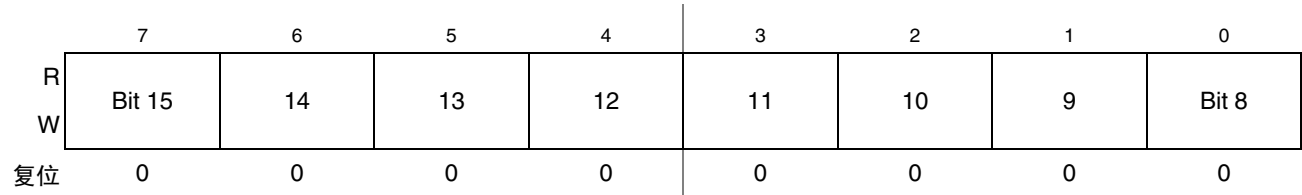


图 16-10. TPM 计数器模数寄存器高字节 (TPMxMODH)

表 16-5. TPMxCnSC 字段描述 (continued)

字段	描述
4 MSnA	TPM 通道 n 的模式 A 选择位。当 CPWMS=0，MSnB=0 时，MSnA 为输入捕捉模式或输出比较模式配置 TPM 通道 n。请参见 表 16-6 中关于通道模式和设置控制的总结。 注意： 如果相关端口管脚在变为输入捕捉模式前至少 2 个总线时钟周期内是不稳定的，则可能获得一个边缘触发的意外指示。
3-2 ELSnB ELSnA	边沿 / 电平选择位。根据 CPWMS:MSnB:MSnA 设置、表 16-6, 中所示的定时器通道的运行模式，这些位选择触发输入捕捉事件的输入边的极性，选择满足输出比较匹配后将驱动的电平，或选择 PWM 输出的极性。 将 ELSnA 设置为 0:0 可将关联的定时器管脚配置为与任何定时器功能无关的通用输入 / 输出管脚。当关联的定时器通道被设置为不请求使用管脚的软件定时器时，本功能常用于临时关闭输入捕捉通道或使定时器管脚可用作通用输入 / 输出管脚。

表 16-6. 模式、边沿和电平选择

CPWMS	MSnB:MSnA	ELSnB:ELSnA	模式	配置
X	XX	00	不用于 TPM 的管脚 - 恢复为通用输入 / 输出或其他外围设备控制	
0	00	01	输入捕捉	仅在上升边沿捕捉
		10		仅在下降边沿捕捉
		11		在上升或下降边沿捕捉
	01	01	输出比较	切换比较输出
		10		清除比较输出
		11		设置比较输出
	1X	10	边缘对齐 PWM	High-true p 脉冲（清除比较输出）
		X1		Low-true p 脉冲（设置比较输出）
1	XX	10	中央对齐 PWM	High-true 脉冲（清除向上比较输出）
		X1		Low-true 脉冲（设置向上比较输出）

16.3.5 TPM 通道值寄存器（TPMxCnVH:TPMxCnVL）

这些读 / 写寄存器包含输入捕捉功能捕捉的 TPM 计数器值，或输出比较或 PWM 功能的输出比较值。该通道寄存器可通过复位清除。

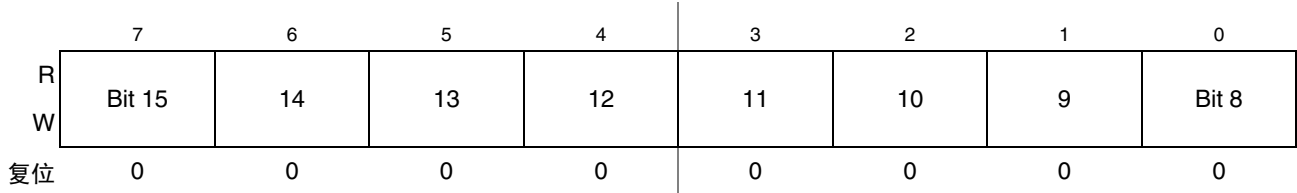


图 16-13. TPM 道值寄存器高字节（TPMxCnVH）

如果通道值寄存器 TPMxCnVH:TPMxCnVL 为零或负数（位 15 被设置），工作周期将是 0%。如果 TPMxCnVH:TPMxCnVL 是正值（位 15 被清除）并大于（非零）模数设置，工作周期将为 100%，因为工作周期比较将不会发生。这意味着模数寄存器设置的可用周期范围为 $0x0001$ 至 $0x7FFE$ （如果不需要 100% 的工作周期，则为 $0x7FFF$ ）。这不是一个重要的限制条件，因为结果周期远远长于正常应用所需的周期。

$\text{TPMxMODH:TPMxMODL} = 0x0000$ 是不应与中央对齐 PWM 模式一同使用的特例。当 $\text{CPWMS}=0$ 时，这一情况与在 $0x0000$ 和 $0xFFFF$ 之间自由运行的计数器对应，然而当 $\text{CPWMS}=1$ 时，计数器需要与 $0x0000$ 以外的某个模数寄存器值有效匹配，以便将方向从向上计数改变为向下计数。

图 B-11 显示了 TPM 通道寄存器（乘以 2）中的输出比较值。该值决定 CPWM 信号的脉冲宽度（工作周期）。如果 $\text{ELSnA}=0$ ，向上计数时的比较匹配会强制 CPWM 输出信号降低；而向下计数时的比较匹配会强制输出升高。计数器向上计数，直到达到中的模数设置，然后向下计数，直到 0。这样就可将周期设置为 TPMxMODH:TPMxMODL 的两倍。

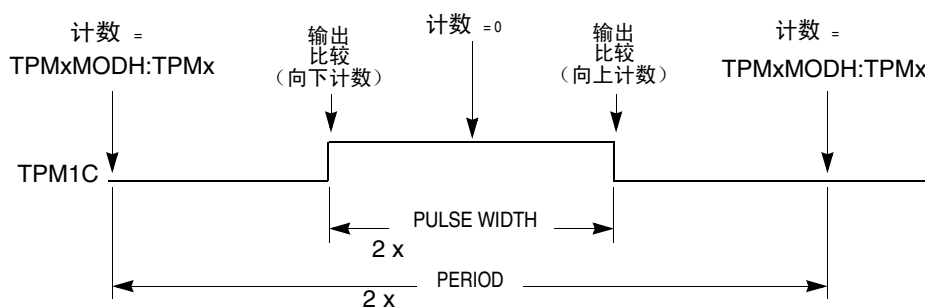


图 B-11. CPWM 周期和脉冲宽度 ($\text{ELSnA} = 0$)

中央对齐 PWM 输出生成的噪音一般比边缘对齐 PWM 小，因为相同系统时钟边上排列的输入 / 输出过渡更少。某些类型的电机也需要这类 PWM。

因为 HCS08 是一个 8 位 MCU 系列。定时器通道寄存器中的设置被缓存，以确保连贯的 16 位更新并避免意外的 PWM 脉冲宽度。写入到任何寄存器，不管是 TPMxMODH 、 TPMxMODL 、 TPMxCnVH 、还是 TPMxCnVL ，实际就是写入到缓冲器寄存器。只有在 16 位寄存器的两个 8 位字节都被写入而且定时器计数器溢出后（在模数寄存器上的终端计数结束后从向上计数改变为向下计数），值才被发送到相应的定时器通道寄存器中。这一 TPMxCNT 溢出要求只适用于 PWM 通道，而不是输出比较。

当 $\text{TPMxCNTH:TPMxCNTL} = \text{TPMxMODH:TPMxMODL}$ 时，TPM 可在计数结束时生成一个 TOF 中断。用户可以选择重新上载任何数量的 PWM 缓冲器，并且它们可以在新的周期开始时同时更新。

TPMxSC 写入操作会取消写入到 TPMxMODH and/or TPMxMODL 中的任何值，并且为模数寄存器复位一致性机制。 TPMxCnSC 写入操作会取消写入到通道值寄存器中的任何值，并且为 TPMxCnVH:TPMxCnVL 复位一致性机制。

B.7.4 PWM 占空比结束事件

对于配置用于 PWM 运行的通道，有两种可能性：

- 当通道配置用于边缘对齐 PWM 时，定时器计数器与标志活动工作周期结束的通道值寄存器匹配时，通道标记被设置。
- 当通道配置用于中央对齐 PWM 时，定时器计数与每个 PWM 周期的通道值寄存器的两倍相匹配。在这种 CPWM 情况下，通道标记会在定时器计数器与通道值寄存器匹配时，即在活动工作周期开始和结束时被设置。

这种标记通过 B.7.1，“清除定时器中断标记”中所述的两步序列清除。