



Welcome to [E-XFL.COM](#)

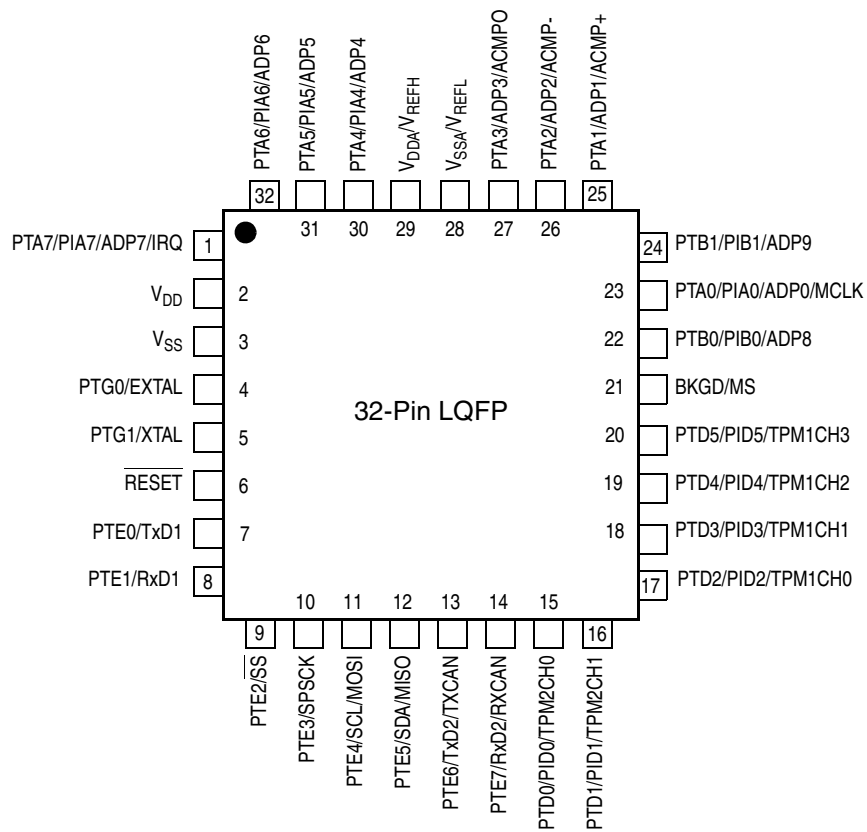
What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	53
Program Memory Size	48KB (48K x 8)
Program Memory Type	FLASH
EEPROM Size	1.5K x 8
RAM Size	3K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 24x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	64-LQFP
Supplier Device Package	64-LQFP (10x10)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz48mlh



VREFH 和 VREFL 在内部分别连接到 VDDA 和 VSSA。

图 2-3. 32 管脚 LQFP

2.2.4 后台调试和模式选择

BKGD/MS 管脚在进行复位的过程中作为模式选择功能管脚。在复位信号上升沿后，该管脚立即用作后台调试管脚而用于后台调试通信。当作为后台调试或模式选择功能管脚时，该管脚包括一个内部上拉器件、输入电压滞后、标准的输出驱动器而没有输出斜率控制功能。

如果没有任何设备连接到该管脚上，MCU 将在复位的上升沿进入正常操作模式。如果有一个调试系统连接到 6 脚标准后台调试头上，它将在复位的上升沿将 BKGD 保持在低位，从而强迫 MCU 进入活动后台调试模式。

BKGD/MS 管脚主要用于后台调试控制器（BDC）通信。这一通信过程中使用一种定制的协议，该协议在每个比特时间周期内使用目标 MCU 的 BDC 时钟的 16 个时钟周期。目标 MCU 的 BDC 时钟可以和总线时钟速率一样快，因此在任何情况下都不应将大电容器件连接到 BKGD/MS 管脚（这样会干扰后台调试串行通信）。

虽然 BKGD/MS 管脚是一种准开漏管脚，但后台调试通信协议可以提供瞬间、主动驱动的高速脉冲来确保快速上升沿。电缆上的小电容和内部上拉器件参数几乎不会影响 BKGD/MS 管脚上的上升和下降沿时间。

2.2.5 ADC 参考管脚 (V_{REFH} , V_{REFL})

V_{REFH} 和 V_{REFL} 管脚分别是 ADC 模块的电压参考高端和电压参考低端的输入管脚。

2.2.6 通用 I/O 和外围设备端口

MC9S08DZ60 系列 MCU 最多可提供 53 个通用 I/O 管脚和 1 个专用输入管脚。这些管脚和片上外围设备（定时器、串行 I/O、ADC、MSCAN 等）共享。

当一个端口管脚被配置为通用输出时，或者某外围设备使用该端口管脚作为输出时，通过软件可以在两个驱动强度中选择一种并同时启用或禁用斜率控制。当一个端口管脚被配置为通用输入或某外围设备使用该端口管脚作为输入时，软件可以选择一个上拉器件。复位完成后，所有这些管脚被立即配置为高阻抗通用输入（内部上拉器件被禁用）。

当一个片上外围系统控制管脚时，即使该外围模块通过控制该管脚的输出缓冲器的启用来控制管脚方向时，仍然由数据方向控制位决定从端口数据寄存器中读取的内容。如何控制这些管脚作为通用 I/O 管脚的详尽信息，请参见第 6 章，“并行输入 / 输出控制”。

注意

为了避免悬空输入管脚消耗额外的电流，应用程序中的复位初始化程序应该启用片内上拉器件或将未使用或未绑定的管脚的方向设置为输出以确保他们不会悬空。

第 4 章 存储器

4.1 MC9S08DZ60 系列产品存储器映射

MC9S08DZ60 系列产品中的片上存储器包括 RAM、EEPROM、用于非易失性数据存储的 Flash 程序存储器、I/O 和控制 / 状态寄存器。这些寄存器可分为以下 3 类：

- 直接页面寄存器 (0x0000 ~ 0x007F)
- 高端页面 (High-page) 寄存器 (0x1800 ~ 0x18FF)
- 非易失性寄存器 (0xFFB0 ~ 0xFFBF)

0x0000 DIRECT PAGE REGISTERS 0x007F 128 BYTES 0x0080 RAM 4096 BYTES 0x107F 0x1080 FLASH 896 BYTES 0x13FF 0x1400 EEPROM¹ 2 x 1024 BYTES 0x17FF 0x1800 HIGH PAGE REGISTERS 256 BYTES 0x18FF 0x1900 FLASH 59136 BYTES 0xFFFF MC9S08DZ60	0x0000 DIRECT PAGE REGISTERS 0x007F 128 BYTES 0x0080 RAM 3072 BYTES 0x0C7F 0x0C80 UNIMPLEMENTED 2176 BYTES 0x14FF 0x1500 EEPROM¹ 2 x 768 BYTES 0x17FF 0x1800 HIGH PAGE REGISTERS 256 BYTES 0x18FF 0x1900 UNIMPLEMENTED 9984 BYTES 0x3FFF 0x4000 FLASH 49152 BYTES 0xFFFF MC9S08DZ48	0x0000 DIRECT PAGE REGISTERS 0x007F 128 BYTES 0x0080 RAM 2048 BYTES 0x087F 0x0880 UNIMPLEMENTED 3456 BYTES 0x15FF 0x1600 EEPROM¹ 2 x 512 BYTES 0x17FF 0x1800 HIGH PAGE REGISTERS 256 BYTES 0x18FF 0x1900 UNIMPLEMENTED 25,344 BYTES 0x7BFF 0x7C00 FLASH 33792 BYTES 0xFFFF MC9S08DZ32	0x0000 DIRECT PAGE REGISTERS 0x007F 128 BYTES 0x0080 RAM 1024 BYTES 0x047F 0x0480 UNIMPLEMENTED 4736 BYTES 0x16FF 0x1700 EEPROM¹ 2 x 256 BYTES 0x1800 HIGH PAGE REGISTERS 256 BYTES 0x18FF 0x1900 UNIMPLEMENTED 42,240 BYTES 0xBDFF 0xBE00 FLASH 16896 BYTES 0xFFFF MC9S08DZ16
---	---	---	--

¹ EEPROM 地址范围显示总 EEPROM 的一半。详尽信息请参见 4.5.10, “EEPROM 映射”。

图 4-1. MC9S08DZ60 存储器图

表 4-2. 直接页面寄存器总结 (第 1 页, 共 3 页)

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0x0052	SPIBR	0	SPPR2	SPPR1	SPPR0	0	SPR2	SPR1	SPR0
0x0053	SPIS	SPRF	0	SPTEF	MODF	0	0	0	0
0x0054	预留	0	0	0	0	0	0	0	0
0x0055	SPID	Bit 7	6	5	4	3	2	1	Bit 0
0x0056– 0x0057	预留	— —	— —	— —	— —	— —	— —	— —	— —
0x0058	IICA	AD7	AD6	AD5	AD4	AD3	AD2	AD1	0
0x0059	IICF	MULT		ICR					
0x005A	IICC1	IICEN	IICIE	MST	TX	TXAK	RSTA	0	0
0x005B	IICS	TCF	IAAS	BUSY	ARBL	0	SRW	IICIF	RXAK
0x005C	IICD	DATA							
0x005D	IICC2	GCAEN	ADEXT	0	0	0	AD10	AD9	AD8
0x005E– 0x005F	预留	— —	— —	— —	— —	— —	— —	— —	— —
0x0060	TPM2SC	TOF	TOIE	CPWMS	CLKSB	CLKSA	PS2	PS1	PS0
0x0061	TPM2CNTH	Bit 15	14	13	12	11	10	9	Bit 8
0x0062	TPM2CNTL	Bit 7	6	5	4	3	2	1	Bit 0
0x0063	TPM2MODH	Bit 15	14	13	12	11	10	9	Bit 8
0x0064	TPM2MODL	Bit 7	6	5	4	3	2	1	Bit 0
0x0065	TPM2C0SC	CH0F	CH0IE	MS0B	MS0A	ELS0B	ELS0A	0	0
0x0066	TPM2C0VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0067	TPM2C0VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0068	TPM2C1SC	CH1F	CH1IE	MS1B	MS1A	ELS1B	ELS1A	0	0
0x0069	TPM2C1VH	Bit 15	14	13	12	11	10	9	Bit 8
0x006A	TPM2C1VL	Bit 7	6	5	4	3	2	1	Bit 0
0x006B	预留	—	—	—	—	—	—	—	—
0x006C	RTCSC	RTIF	RTCLKS		RTIE	RTCPS			
0x006D	RTCCNT	RTCCNT							
0x006E	RTCMOD	RTCMOD							
0x006F	预留	—	—	—	—	—	—	—	—
0x0070– 0x007F	预留	— —	— —	— —	— —	— —	— —	— —	— —

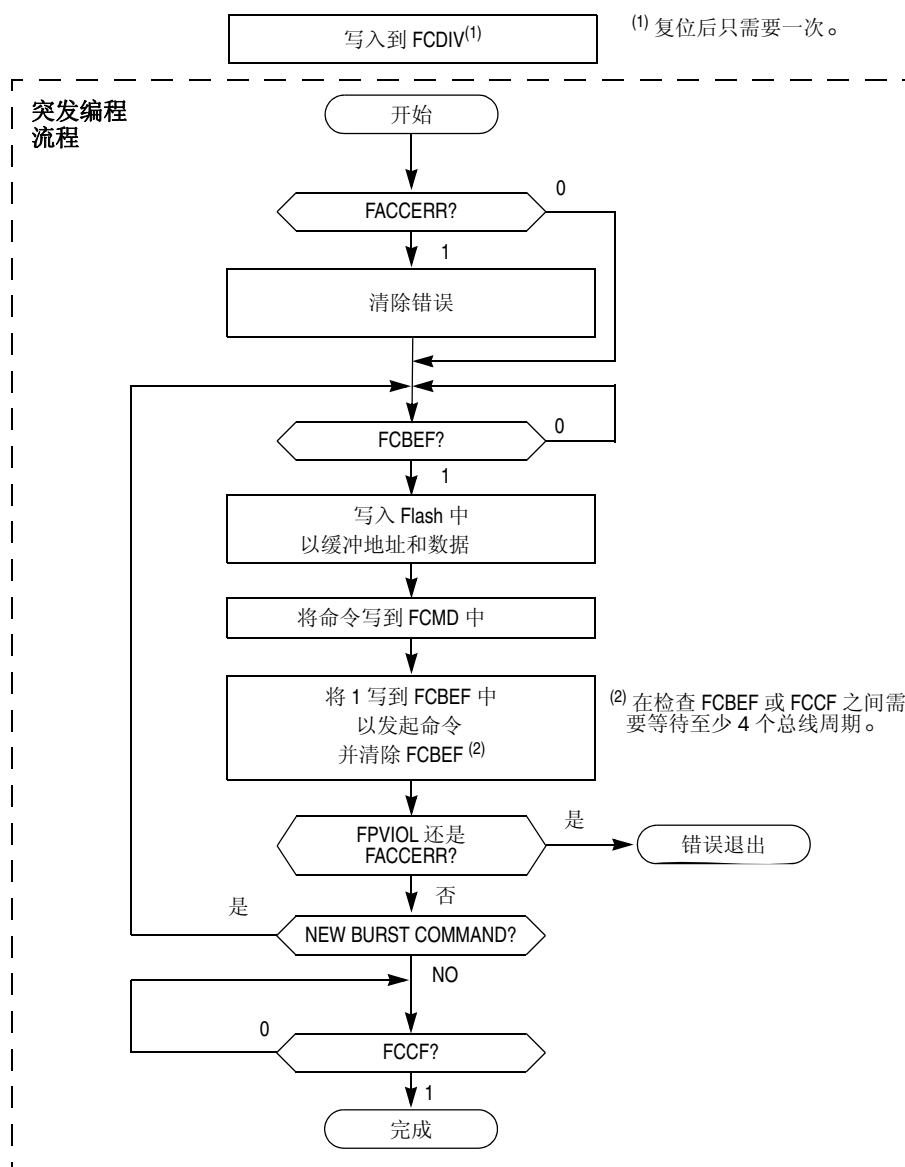


图 4-3. 突发编程流程图

4.5.5 分区擦除终止

分区擦除终止操作用于终止正在进行的分区擦除操作，以便使其他分区可用于读取和编程操作而不需要等待分区擦除完成。

分区擦除终止命令写入顺序如下：

1. 写入任何 Flash 或 EEPROM 地址以开始分区擦除终止命令的命令写入顺序。写入的地址和数据将被忽略。
2. 向 FCMD 寄存器中写入分区擦除终止命令 0x47。
3. 将一个 1 写入到 FCBEF 中来发起分区擦除终止命令以清除 FSTAT 寄存器中的 FCBEF 标记。



图 4-5. Flash 和 EEPROM 时钟分频寄存器 (FCDIV)

表 4-7. FCDIV 寄存器字段描述

字段	描述
7 DIVLD	Divisor 加载状态标识 — 当置 1 时，这个只读状态标记指出 FCDIV 寄存器自从复位后已有写入。复位会清除该位而且第一次写入该寄存器的操作将导致该位被置 1，不管写入什么数据。 0 FCDIV 自复位后没有写入；Flash 和 EEPROM 的擦除和编程操作被禁止。 1 FCDIV 自复位后已写入；Flash 和 EEPROM 的擦除和编程操作已开启。
6 PRDIV8	预分频（分频）Flash 和 EEPROM 时钟除以 8（该位只设置一次。） 0 Flash 和 EEPROM 时钟分频器的时钟输入为总线速率时钟。 1 Flash 和 EEPROM 时钟分频器的时钟输入为总线速率时钟除以 8。
5:0 DIV	Divisor for Flash 和 EEPROM 时钟分频器 — 这些位只写入一次。Flash 和 EEPROM 时钟分频器用 6 位 DIV 字段中的值除总线速率时钟（如果 PRDIV8 = 1，则用总线速率时钟除以 8）再加 1。最后的内部 Flash 和 EEPROM 时钟的频率必须在 200 kHz 到 150 kHz 的范围内，这样才能使 Flash 和 EEPROM 正常运行。编程 / 擦除定时脉冲为这个内部 Flash 和 EEPROM 时钟的一个循环，这相当于 5 ms 到 6.7 ms。自动编程逻辑使用这些脉冲的整数来完成擦除或编程操作。请参见 等式 4-1 和 等式 4-2。

if PRDIV8 = 0 – $f_{FCLK} = f_{Bus} \div (DIV + 1)$ 等式 4-1

if PRDIV8 = 1 – $f_{FCLK} = f_{Bus} \div (8 \times (DIV + 1))$ 等式 4-2

表 4-8 为给定总线频率上 PRDIV8 和 DIV 的相应值。

表 4-8. Flash 和 EEPROM 时钟分频器设置

f_{Bus}	PRDIV8 (二进制)	DIV (十进制)	f_{FCLK}	编程 / 擦除定时脉冲 (最少 5 μ s , 最多 6.7 μ s)
20 MHz	1	12	192.3 kHz	5.2 μ s
10 MHz	0	49	200 kHz	5 μ s
8 MHz	0	39	200 kHz	5 μ s
4 MHz	0	19	200 kHz	5 μ s
2 MHz	0	9	200 kHz	5 μ s
1 MHz	0	4	200 kHz	5 μ s
200 kHz	0	0	200 kHz	5 μ s
150 kHz	0	0	150 kHz	6.7 μ s

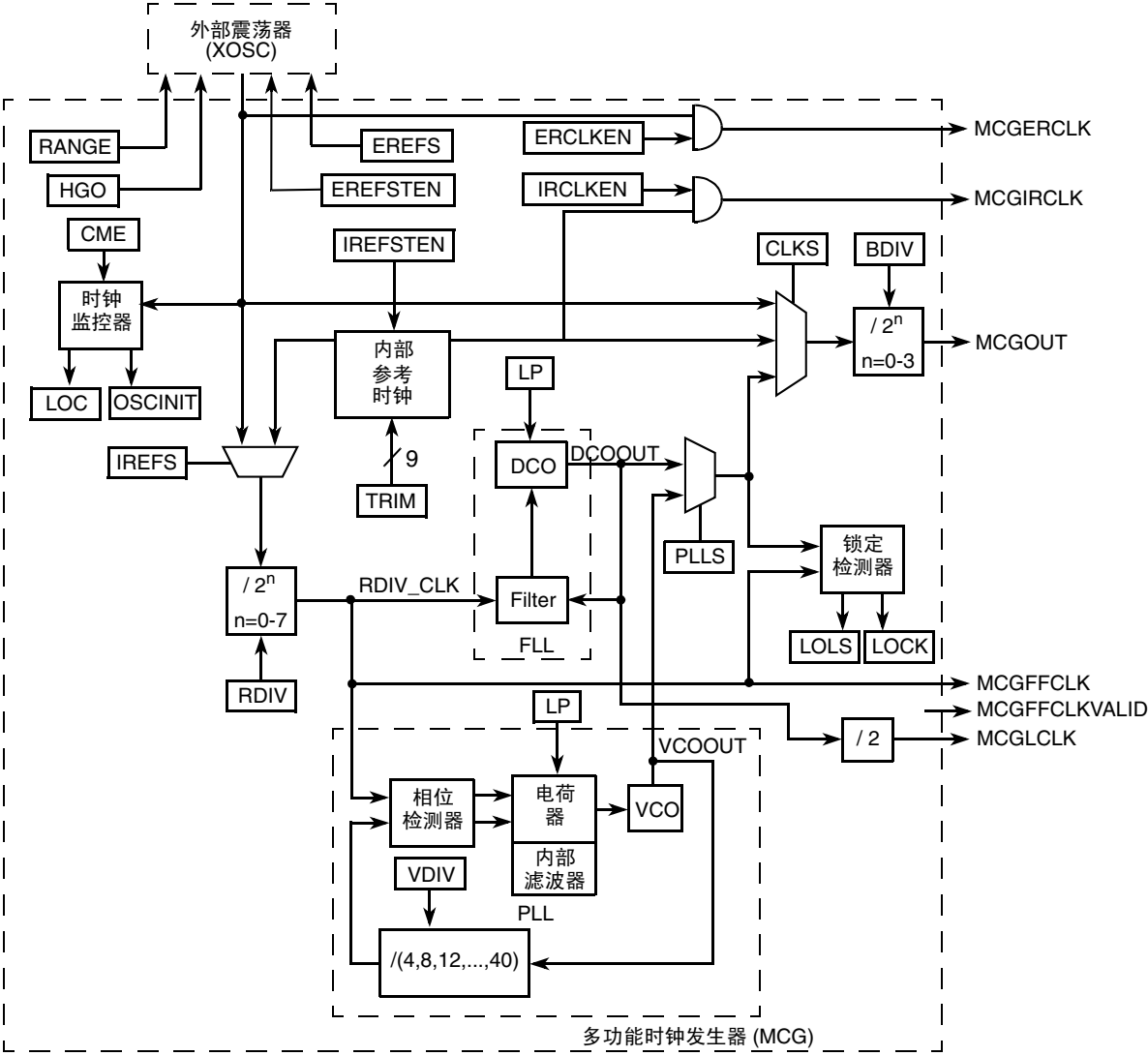


图 8-2. 多功能时钟发生器 (MCG) 结构图

下列代码顺序描述了如何从 FEI 模式转换到 PEE 模式，直到设置 8 MHz 晶体参考频率来获得 8 MHz 总线频率。因为 MCG 复位后处于 FEI 模式，本例还显示了如何初始化 MCG，以实现在复位后进入 PEE 模式。示例中首先介绍了代码序列，然后提供了一个演示该顺序的流程图。

1. 首先，FEI 必须转换到 FBE 模式：

a) MCGC2 = 0x36 (%00110110)

- BDIV 位 7 和 6) 设置为 %00 或除以 1。
 - RANGE (位 5) 设置为 1，因为 8 MHz 的频率属于高频范围。
 - HGO (位 4) 设置为 1，为高增益运行配置外部振荡器。
 - EREFS (位 2) 设置为 1，因为正在使用晶体。
 - ERCLKEN (位 1) 设置为 1，确保外部参考时钟处于活动状态。
- b) 循环检测，直到 MCGSC 中的 OSCINIT (位 1) 是 1，表明 EREFS 位选择的晶体已经完成初始化。
- c) 禁止中断 (如果适用，在 CCR 中设置中断位)。
- d) MCGC1 = 0xB8 (%10111000)
- CLKS (位 7 和 6) 设置为 %10，以便将外部参考时钟选择为系统时钟源。
 - RDIV (位 5-3) 设置为 %111 或除以 128。

注意

$8 \text{ MHz} / 128 = 62.5 \text{ kHz}$ ，这大于 FLL 要求的 $31.25 \text{ kHz} \text{ -- } 39.0625 \text{ kHz}$ 频率范围。因此，当 FBE 的转换完成后，必须通过在软件中设置 MCGC2 中 LP 位，让 MCG 立即进入 BLPE 模式。

- IREFS 位 2) 清除至 0，选择外部参考时钟。

- e) 循环检测，直到 MCGSC 中的 IREFST (位 4) 是 0，表明外部参考是参考时钟的当前源。
- f) 循环检测，直到 MCGSC 中的 CLKST (位 3 和 2) 是 %10，表明已经选择外部参考时钟为 MCGOUT 馈电。

2. 然后，从 FBE 模式转换到 BLPE 模式：

a) MCGC2 = 0x3E (%00111110)

- MCGC2 中的 LP (位 3) 为 1 (已进入 BLPE 模式)

注意

在 1d 和 2a 步骤间没有额外步骤 (包括中断)。

- b) 使能中断 (如果适用，清除 CCR 中的中断位)

c) MCGC1 = 0x98 (%10011000)

- RDIV (位 5-3) 设置为 %011 或除以 8，因为 $8 \text{ MHz} / 8 = 1 \text{ MHz}$ ，这在 PLL 要求的 $1 \text{ MHz} \text{ -- } 2 \text{ MHz}$ 频率范围内。在 BLPE 模式中，RDIV 的配置不重要，因为 FLL 和 PLL 都被禁止。更改它们只会为 PLL 建立在 PBE 模式中使用的分频器。

d) MCGC3 = 0x44 (%01000100)

- PLLS (位 6) 设置为 1，选择 PLL。在 BLPE 模式中，更改该位只会使 MCG 准备在 PBE 模式中的 PLL 使用。

初始条件

- 1) ATE 供应的时钟的占空比为 $500\ \mu\text{s}$ 。
- 2) 配置 MCG 使用内部参考源, 并且总线时钟达到 8MHz。

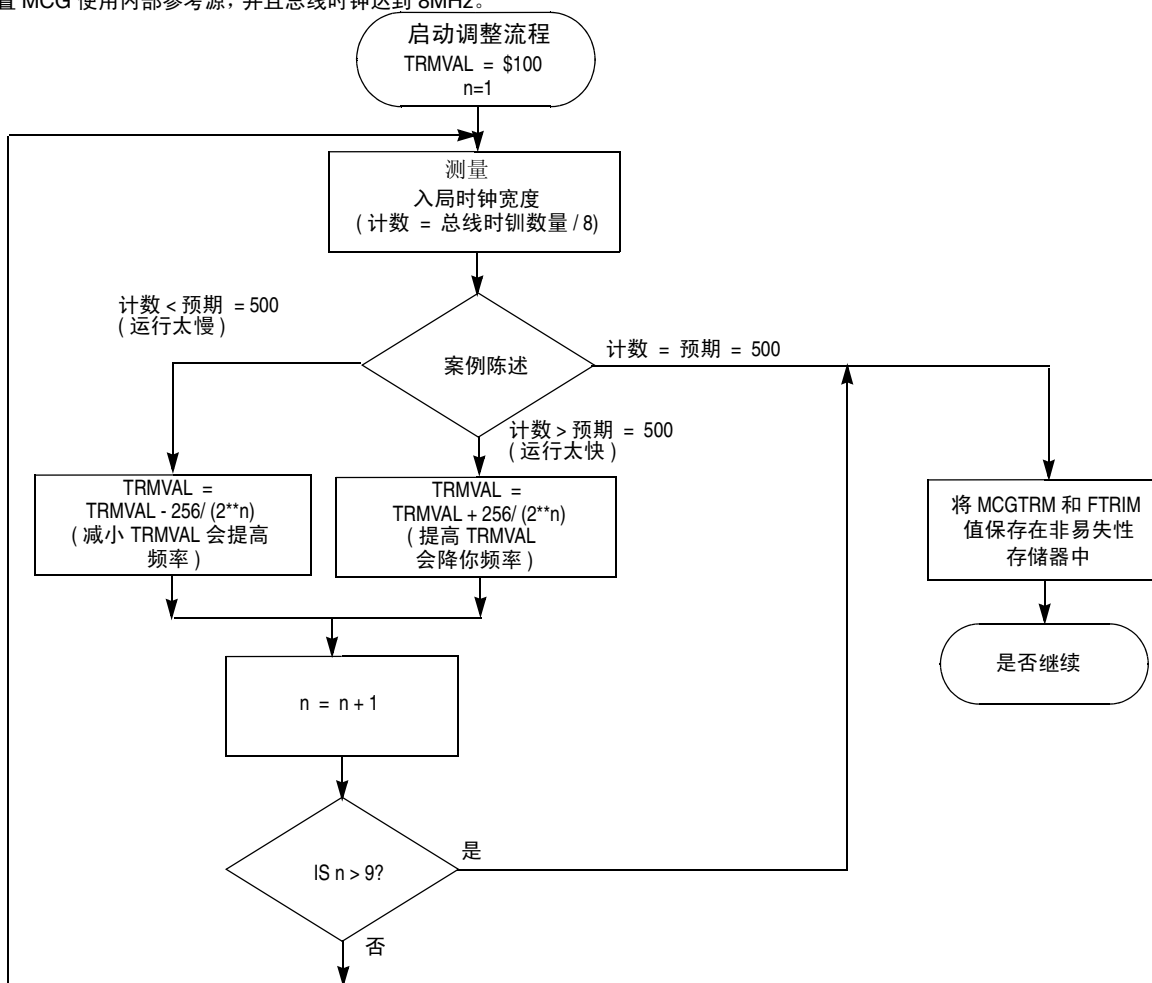


图 8-13. 修正步骤

在这个特例中, MCU 已经焊接到 PCB 上, 且整个 PCB 焊接已经结束, 正在用自动测试设备进行最后测试。当运行在用户提供的软件控制下时, 会为 MCU 提供单独的信号或消息。MCU 发起图 8-13 所示的调整流程, 同时测试设备会提供精确的参考信号。

如果想要的总线频率接近器件允许的最大值, 建议使用两倍于最终值的参考分频器值 (RDIV 设置) 进行调整。调整流程完成后, 可以恢复参考分频器。这样就能防止意外超越最大时钟频率。

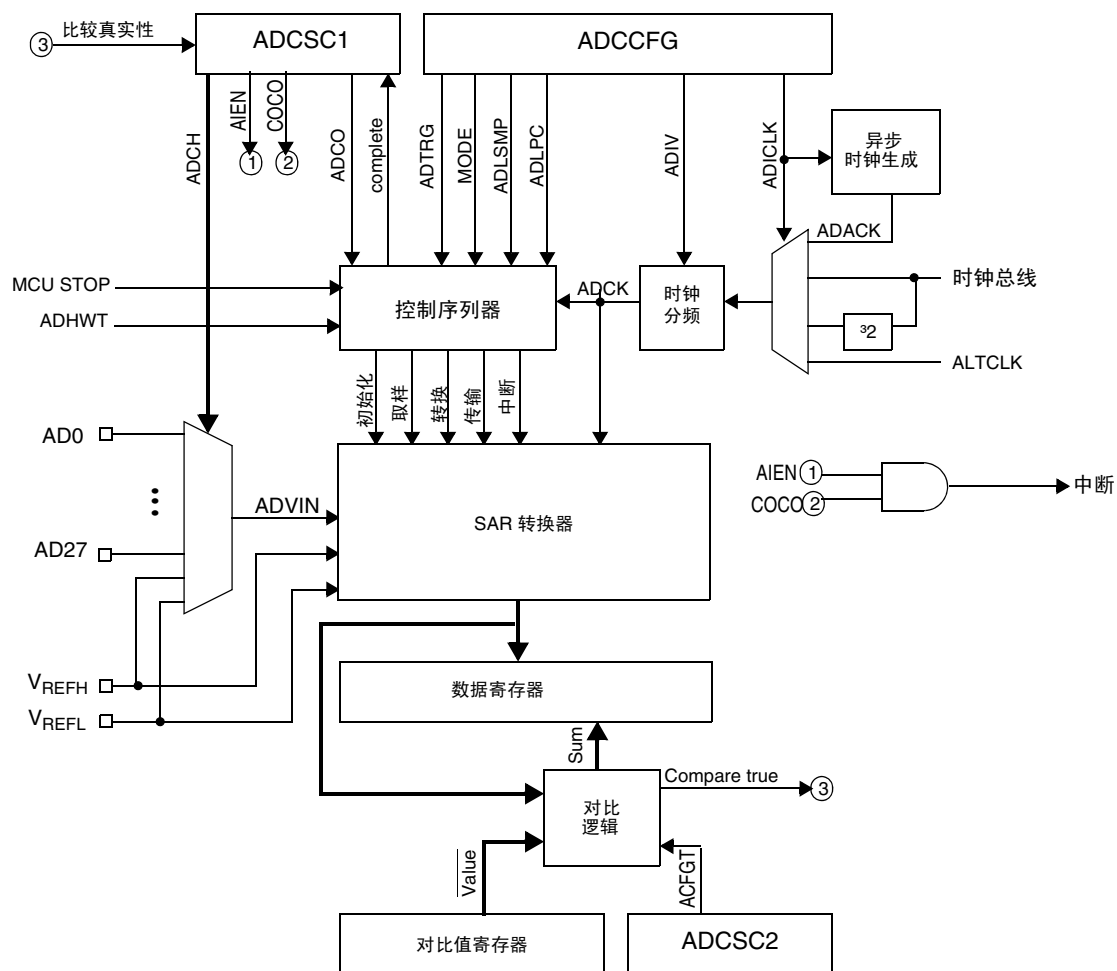


图 10-2. ADC 结构图

10.4 寄存器定义

以下这些存储器映射寄存器控制和显示 ADC 的运行状态：

- 状态和控制寄存器，ADCSC1
- 状态和控制寄存器，ADCSC2
- 数据结果寄存器，ADCRH 和 ADCRL
- 比较值寄存器，ADCCVH 和 ADCCVL
- 配置寄存器，ADCCFG
- 管脚使能寄存器，APCTL1、APCTL2 和 APCTL3

10.4.1 状态和控制寄存器 1（ADCSC1）

本节介绍 ADC 状态和控制寄存器（ADCSC1）的功能。写入 ADCSC1 会中断当前转换，并发起一个新转换（如果 ADCH 位等于全 1 以外的值）。



图 10-3. 状态和控制寄存器（ADCSC1）

表 10-3. ADCSC1 寄存器字段描述

字段	描述
7 COCO	转换完成标志 — COCO 标记是只读位，在每次转换完成时置位，这时比较功能被禁止（ACFE = 0）。当比较功能使能（ACFE = 1）时，只有当比较结果为真时才在转换完成时设置 COCO 标记。每次当写入 ADCSC1 或读取 ADCRL 时，该位就被清除。 0 转换未完成 1 转换完成
6 AIEN	中断使能 — AIEN 用来使能转换完成中断。当 COCO 已置位且 AIEN 为 1 时，中断将被触发。 0 转换完成中断禁止 1 转换完成中断使能
5 ADCO	连续转换使能 — ADCO 用来使能连续转换。 0 当选择软件触发时写入 ADCSC1，进行一次转换，或者当选择硬件触发时 ADHWT 触发后，进行一次转换。 1 当选择软件触发时写入 ADCSC1，开始连续转换，或者当选择硬件触发时 ADHWT 触发后，开始连续转换。
4:0 ADCH	输入通道选择 — ADCH 位形成一个 5 位字段，该字段用来选择其中的一个输入通道。图 10-5 详细地描述了输入通道。 通道选择位全部设置为 1 时，逐次逼近转换器子系统关闭。该功能能够彻底禁止 ADC，隔离所有输入通道。用此种方式终止连续转换，可以防止多余的的一次单次转换。当禁止连续转换时，就不需要通过把通道选择位都设置为 1 的方式使 ADC 处于低功耗状态，因为当转换完成时模块会自动进入低功耗状态。

最长总转换时间由所选的时钟源和分频率决定。时钟源可以由 ADICLK 位选择，分频率由 ADIV 位指定。例如，在 10 位模式中，总线时钟选为输入时钟源、输入时钟分频率选为除以 1、总线频率为 8 MHz，那么单转换的转换时间为：

$$\text{转换时间} = \frac{23 \text{ ADCK Cyc}}{8 \text{ MHz}/1} + \frac{5 \text{ bus Cyc}}{8 \text{ MHz}} = 3.5 \text{ ms}$$

$$\text{总线周期数} = 3.5 \text{ ms} \times 8 \text{ MHz} = 28 \text{ 周期}$$

注意

ADCK 频率必须介于 fADCK 最小值和最大值之间才符合 ADC 技术规范

10.5.5 自动比较功能

可以配置比较功能来检查上限或下限。在进行完输入采样并转换后，结果与比较值（ADCCVH 和 ADCCVL）补数相加。比较上限（ACFGT = 1）时，如果结果大于或等于比较值，就设置 COCO。比较下限（ACFGT = 0）时，如果结果小于比较值，就设置 COCO。转换结果和比较值的补数相加得到的值被传输到 ADCRH 和 ADCRL 中。

当转换完成而比较功能使能时，如果比较条件不成立，就不设置 COCO，且没有数据传输到结果寄存器。如果使能了 ADC 中断（AIEN = 1），那么当设置 COCO 时就会生成 ADC 中断。

注意

这个比较功能可以用来监控通道的电压，这时 MCU 可能处于等待模式或 STOP3 模式。在满足比较条件时，ADC 中断会唤醒 MCU。

10.5.6 MCU 等待模式运行

WAIT 指令使 MCU 处于更低功耗的待机模式，待机模式的恢复非常快，因为时钟源保持有效状态。如果正在进行转换时 MCU 进入等待模式，那么转换会继续，直到完成。在 MCU 处于等待模式时，通过硬件触发或使能连续转换，可以发起转换。

在等待模式中，总线时钟、总线时钟除以 2 和 ADACK 都可以作为转换时钟源。在等待模式中，是否将 ALTCLK 作为时钟源取决于该 MCU 对 ALTCLK 的定义。有关该 MCU 的特定 ALTCLK 的更多信息，请参阅本章概述。

如果 ADC 中断使能（AIEN = 1），转换完成事件就会设置 COCO，生成 ADC 中断，把 MCU 从等待模式中唤醒。

10.5.7 MCU STOP3 模式运行

STOP 指令使 MCU 进入低功耗待机模式，在该模式中，MCU 上的大多数甚至所有时钟源都被禁止。

第 12 章

飞思卡尔控制器局域网 (S08MSCANV1)

12.1 介绍

飞思卡尔控制器局域网（MSCAN）是一种通信控制器，它按照 1991 年 9 月定义的 Bosch 规范执行 CAN 2.0A/B 协议。为了全面了解 MSCAN 规范，我们建议首先阅读 Bosch 规范，熟悉本文档包含的一些条款和概念。

尽管 CAN 协议并非是汽车应用的专用协议，但它旨在满足车辆串行数据总线的特定规范，如实时处理、车辆在 EMI 环境中的可靠运行、成本高效性和所需带宽等。

MSCAN 使用先进的缓冲器安排，实现了可预测的实时性，并简化了应用软件。

MSCAN 模块应用在 MC9S08DZ60 系列的所有器件上。

12.1.1 特性

MSCAN 的基本特性如下：

- 实施 CAN 协议—2.0A/B 版
 - 标准和扩展数据帧
 - 0-8 字节数据长度
 - 高达 1 Mbps¹ 的可编程比特率¹
 - 支持远程帧
- 5 个具有 FIFO 存储机制的接收缓冲器
- 3 个具有使用“本地优先”概念的内部优先顺序的发送缓冲器 t
- 灵活可掩码标识符滤波器支持 2 个全尺寸（32 位）扩展标识符滤波器或 4 个 16 位滤波器或 8 个 8 位滤波器
- 集成低通滤波器的可编程唤醒功能 r
- 可编程环回模式支持自测操作
- 可编程监听模式用于 CAN 总线监控
- 可编程总线脱离恢复功能
- 独立的信号和中断功能适用于所有 CAN 接收器和发射器错误状态（警报、错误严重状态、总线脱离）
- 可编程 MSCAN 时钟源，采用总线时钟或振荡器时钟
- 内部计时器提供给接收和发送的报文的时间标签
- 三种低功耗模式：睡眠、关机和 MSCAN 使能
- 配置寄存器的全局初始化

12.1.2 运行模式

以下运行模式是 MSCAN 的特定运行模式。详情 12.5，“功能描述”。

- 监听模式
- MSCAN 睡眠模式
- MSCAN 初始化模式
- MSCAN 关机模式
- 环回自测模式

¹ Depending on the actual bit timing and the clock jitter of the PLL.

12.5.3 标识符接收滤波器

MSCAN 标识符接收寄存器（参见 12.3.11，“MSCAN 标识符验收控制寄存器 (CANIDAC)”）定义标准或扩展标识符（ID[10:0] 或 ID[28:0]）的可接受模式。这些位中的任意一个都可以在 MSCAN 标识符掩码寄存器中标志为“不比较”（参见 12.3.16，“MSCAN 标识符掩码寄存器 (CANIDMR0-CANIDMR7)”）。

一次滤波器匹配可由接收缓冲器已满标志（RXF = 1）和 CANIDAC 寄存器中的 3 个位（参见 12.3.11，“MSCAN 标识符验收控制寄存器 (CANIDAC)”）。通知给应用软件。这些标识符匹配标志（IDHIT[2:0]）能够清晰识别引起接收的滤波寄存器。它们简化了应用软件处理接收器中断来源的任务。如果出现一次以上的匹配（两个或多个滤波器匹配），低地址的寄存器具有优先权。

非常灵活的可编程通用标识符接收滤波器可以有效降低 CPU 的中断负载，该滤波器在经过编程后可在四种不同模式中运行（Bosch CAN 2.0A/B 协议规范）：

- 两个标识符接收滤波器，每个将应用于：
 - 扩展标识符的全部 29 位和 CAN2.0B 帧的以下位：
 - 远程发送请求 (RTR)
 - 标识符扩展 (IDE)
 - 替代远程请求 (SRR)
 - 标准标识符的 11 位，加上 CAN 2.0A/B 报文的 RTR 和 IDE 位¹。这种模式为符合 CAN 2.0B 标准的长扩展标识符提供两个滤波器。图 12-39 显示第一个 32 位滤波器页（CANIDAR0 - CANIDAR3、CANIDMR0 - CANIDMR3）如何产生滤波器 0 匹配。同样，第二个滤波器页（CANIDAR4 - CANIDAR7、CANIDMR4 - CANIDMR7）产生滤波器 1 匹配。
- 4 个标识符接收滤波器，每个应用于：
 - a) 扩展标识符的 14 个最重要位，加上 CAN 2.0B 报文的 SRR 和 IDE 位，或
 - b) 标准标识符的 11 位、CAN 2.0A/B 报文的 RTR 和 IDE 位。图 12-40 显示第一个 32 位滤波器页（CANIDAR0 - CANIDAR3、CANIDMR0 - 3CANIDMR）如何产生滤波器 0 和 1 匹配。同样，第二个滤波器页（CANIDAR4 - CANIDAR7、CANIDMR4 - CANIDMR7）产生滤波器 2 和 3 匹配。
- 8 个标识符接收滤波器，每个应用于标识符的前 8 位。这种模式为符合 CAN 2.0A/B 的标准标识符或符合 CAN 2.0B 的扩展标识符的前 8 个位实施 8 个独立的滤波器。图 12-41 显示第一个 32 位滤波器页（CANIDAR0 - CANIDAR3、CANIDMR0 - CANIDMR3）如何产生滤波器 0-3 匹配。同样，第二个滤波器页（CANIDAR4 - CANIDAR7、CANIDMR4 - CANIDMR7）产生滤波器 4-7 匹配。
- 关闭滤波器。没有 CAN 报文被复制到前景缓冲器 RxFG，且从不设置 RXF 标志。

1. 尽管这种模式可以用于标准标识符，但我们还是建议为标准标识符使用 4 个或 8 个标识符接收滤波器。

12.5.5.6 MSCAN 断电模式

当出现以下情况时，MSCAN 处于断电模式（表 12-36）

- CPU 处于停止模式，
或
- CPU 处于等待模式且设置了 CSWAI 位

当进入断电模式时，MSCAN 立即停止正在进行的所有发送和接收，可能造成违反 CAN 协议。为了防止 CAN 总线系统出现违反上述规则的严重后果，MSCAN 立即驱动 TXCAN 管脚进入隐性状态。

注意

进入初始化模式时，用户负责保证 MSCAN 不在工作态。推荐步骤是在 CANCTL0 寄存器中设置 INTRQ 位前，把 MSCAN 置入睡眠模式（SLPRQ = 1，SLPAK = 1）。否则，中止正在发送的报文可能导致错误情况，并影响到其他 CAN 总线节点。

在断电模式中，所有时钟停止，且不能访问寄存器。如果在断电模式有效前 MSCAN 未处于睡眠模式，通电后该模块执行一个内部恢复周期。这会给模块再次进入正常模式带来某些固定延迟。

12.5.5.7 可编程唤醒功能

只要检测到 CAN 总线有效（参见 12.3.1，“MSCAN 控制寄存器 0 (CANCTL0)”中的控制位 WUPE）。就可以对 MSCAN 进行编程以唤醒 MSCAN。当处于睡眠模式时，通过将低通滤波器功能应用于 RXCAN 输入，可以更改 CAN 总线检测的灵敏度（参见 12.3.2，“控制寄存器 1 (CANCTL1)”中的控制位 WUPM）。

该功能可以用来防止由于 CAN 总线线路上的短脉冲而唤醒 MSCAN。例如，嘈杂环境中的电磁干扰可以引起尖峰脉冲。

12.5.6 复位初始化

各个单个位的复位状态在 12.3，“寄存器定义”，其中详细阐述了所有寄存器及其位字段。

12.5.7 中断

本小节描述了由 MSCAN 引发的所有中断，列出了使能位和触发标志。文中单独列出并描述了每个中断。

12.5.7.1 中断运行描述

MSCAN 支持四个中断矢量（参见表 12-37），任意一个矢量都可以单独屏蔽。12.3.5，“MSCAN 接收器中断使能寄存器 (CANRIER)”至 12.3.7，“MSCAN 发送器中断使能寄存器 (CANTIER)”)。

注意

专用的中断矢量地址在 Resets and Interrupts 章中有详细说明。

14.1.2 特性

SCI 模块的特性包括：

- 全双工、标准的不归零（NRZ）格式
- 具有独立使能的双缓冲发射器和接收器
- 可编程波特率（13 位模数分频器）
- 中断驱动型或轮询操作：
 - 发送数据寄存器空，发送完成
 - 接收数据寄存器已满
 - 接收溢出、奇偶效验错误、成帧错误和噪音错误
 - 闲置接收器检测
 - 接收管脚上的活动边沿
 - 支持 LIN 的断点检测
- 硬件奇偶效验生成和检查
- 可编程 8 位或 9 位字符长度
- 按闲置线路或地址标记的接收器唤醒
- 可选的 13 位中止字符生成 / 11 位中止字符检测
- 可选的发射器输出极性

14.1.3 运行模式

如需了解有关以下模式中的 SCI 操作的详细信息，参见 14.3，“功能描述”

- 8 位和 9 位数据模式
- 停止模式操作
- 循环模式
- 单线模式

14.1.4 结构图

图 14-2 显示了 SCI 的发射器部分。

16.4 功能描述

所有 TPM 功能都与一个允许灵活选择时钟源和预分频器因数的中央 16 位计数器相关。此外，还有一与主计数器关联的 16 位模数寄存器。

CPWMS 控制位可在 PWM 中所有通道的中央对齐 TPM 操作 (CPWMS=1) 或通用定时功能 (CPWMS=0) 间选择。在后一种情况下，每个通道可独立配置，以输入捕捉、输出比较或边缘对齐 PWM 模式运行。CPWMS 控制位位于主 TPM 状态和控制寄存器中，因为它会影响 TPM 中的所有通道，而且会影响主计数器的运行方式。(在 CPWM 模式下，计数器变为向上 / 向下模式，而不是用于通用定时器功能的向上计数模式。)

后面各小节介绍了主计数器及计数器的每一种运行模式 (输入捕捉、输出比较、边缘对齐 PWM 和中央对齐 PWM)。因为管脚运行和中断活动的细节取决于运行模式，这些主题将在相关模式的说明部分中介绍。

16.4.1 计数器

所有定时器功能都基于 16 位主计数器 (TPMxCNTH:TPMxCNTL)。这一部分讨论时钟源的选择、计数终止溢出、向上计数和向下计数以及手动计数器复位。

16.4.1.1 计数器时钟源

计数器状态和控制寄存器 (TPMxSC) 中的 2 位字段 CLKSB:CLKSAs 从三个可能的时钟源中进行选择或选择 OFF (可有效地关闭 TPM)。请参见表 16-3。任何 MCU 复位后，CLKSB:CLKSA=0:0，因此不会选择任何时钟源，TPM 处于非常低功耗的状态。这些控制位可随时读取或写入，关闭定时器 (将 00 写入到 CLKSB:CLKSA 字段) 不会影响计数器或其他定时器寄存器中的值。

17.4.3.8 调试触发寄存器 (DBGT)

这个寄存器在任何时候都可以读，但是只有当 ARM = 0 时才可以写，除非位 4 和位 5 硬件线与之 0。

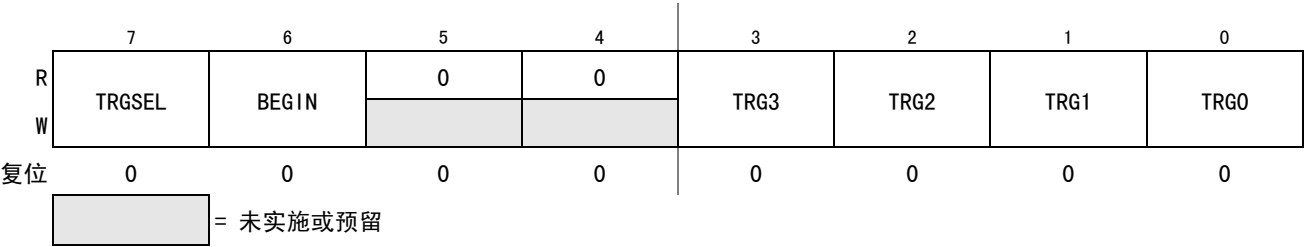


图 17-8. 调试触发寄存器 (DBGT)

表 17-5. DBGT 寄存器字段描述

字段	描述
7 TRGSEL	触发类型 — 控制比较器 A 和 B 的匹配输入是否与调试模块中的操作码跟踪逻辑匹配。如果 TRGSEL 已设置，比较器 A 或 B 的匹配信号必须通过操作码跟踪逻辑传播，如果匹配地址的操作码实际已执行，则只有触发事件发送到 FIFO 逻辑。 0 存取比较地址时触发 (强制) 1 如果比较地址的操作码已执行 (标签)，则触发
6 BEGIN	开始 / 结束触发选择 — 控制 FIFO 在触发时开始填充还是以循环形式填充直到触发结束信息的捕获。在纯事件触发模式中，忽略这个位，所有调试运用都假定为起始跟踪。 0 数据存储在 FIFO，直到触发 (结束跟踪) 1 触发启动数据数据存储 (起始跟踪)
3:0 TRG[3:0]	选择触发模式 — 选择下面 9 个触发模式中的一个。 0000 只有 A 0001 A 或 B 0010 A 然后 B 0011 只有事件 B (存储数据) 0100 A 然后只有事件 B (存储数据) 0101 A 和 B 数据 (满模式) 0110 A 和非 B 数据 (满模式) 0111 I 范围内: A ≤ 地址 ≤ B 1000 范围外: 地址 < A 或 地址 > B 1001 – 1111 (无触发)

17.4.3.9 调试状态寄存器 (DBGS)

这是一个只读状态寄存器。

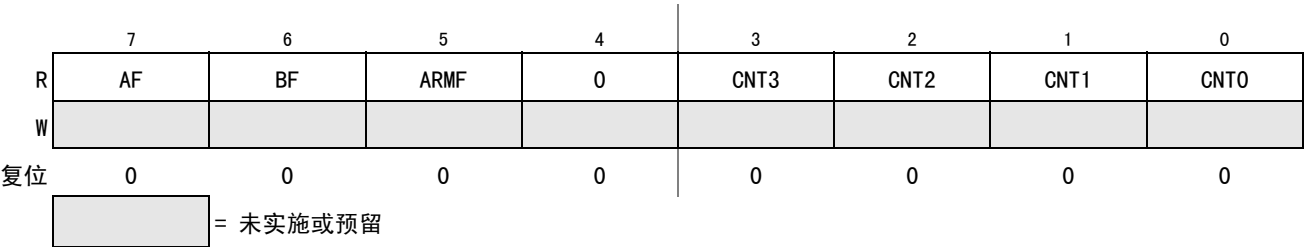


图 17-9. 调试状态寄存器 (DBGS)

表 A-5. ESD 和闭锁保护特性

编号	参数	符号	最小值	最大值	单位
1	人体模式 (HBM)	V_{HBM}	+/- 2000	—	V
2	充电器件模式 (CDM)	V_{CDM}	+/- 500	—	V
3	$T_A = 125^\circ\text{C}$ 时的闭锁电流	I_{LAT}	+/- 100	—	mA

A.6 DC 特性

本小节介绍了电源要求、I/O 管脚特性及各种操作模式中的电源电流信息。

表 A-6. DC 特性

编号	C	特性	符号	条件	最小值	典型值 ¹	最大值	单位
1	—	操作电压	V _{DD}		2.7	—	5.5	V
2	P	所有 I/O 管脚、低驱动强度	V _{OH}	5 V, I _{Load} = −2 mA	V _{DD} − 1.5	—	—	V
	C			3 V, I _{Load} = −0.6 mA	V _{DD} − 1.5	—	—	
	C			5 V, I _{Load} = −0.4 mA	V _{DD} − 0.8	—	—	
	C			3 V, I _{Load} = −0.24 mA	V _{DD} − 0.8	—	—	
	P	所有 I/O 管脚、高驱动强度		5 V, I _{Load} = −10 mA	V _{DD} − 1.5	—	—	
	C			3 V, I _{Load} = −3 mA	V _{DD} − 1.5	—	—	
	C			5 V, I _{Load} = −2 mA	V _{DD} − 0.8	—	—	
	C			3 V, I _{Load} = −0.4 mA	V _{DD} − 0.8	—	—	
3	C	高电流输出 所有端口的最大总 I _{OH}	I _{OHT}	5 V	0	—	-100	mA
				3 V	0	—	-60	
4	P	所有 I/O 管脚、低驱动强度	V _{OL}	5 V, I _{Load} = 2 mA	—	—	1.5	V
	C			3 V, I _{Load} = 0.6 mA	—	—	1.5	
	C			5 V, I _{Load} = 0.4 mA	—	—	0.8	
	C			3 V, I _{Load} = 0.24 mA	—	—	0.8	
	P	所有 I/O 管脚、高驱动强度		5 V, I _{Load} = 10 mA	—	—	1.5	
	C			3 V, I _{Load} = 3 mA	—	—	1.5	
	C			5 V, I _{Load} = 2 mA	—	—	0.8	
	C			3 V, I _{Load} = 0.4 mA	—	—	0.8	
5	C	低电流输出 所有端口的最大总 I _{OL}	I _{OLT}	5 V	0	—	100	mA
				3 V	0	—	60	
6	C	高压输入；所有数字输入	V _{IH}	5V	0.65 x V _{DD}	—	—	V
7	C	低压输入；所有数字输入	V _{IL}	5V	—	—	0.35 x V _{DD}	
8	C	输入滞后	V _{hys}		0.06 x V _{DD}			mV
9	P	输入漏电流 （每管脚） 仅针对所有输入管脚	I _{IIn}	V _{In} = V _{DD} or V _{SS}	—	0.1	1	μA