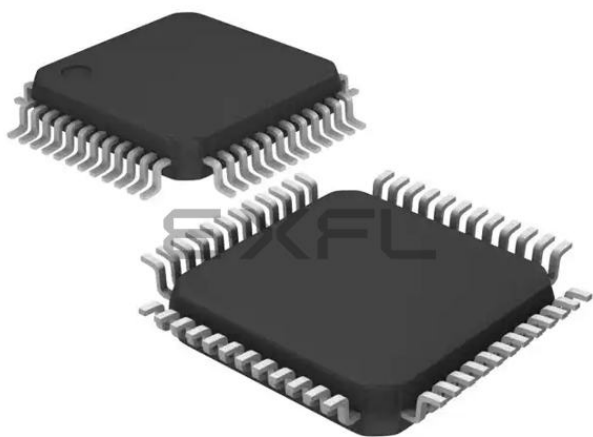




Welcome to [E-XFL.COM](#)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	39
Program Memory Size	60KB (60K x 8)
Program Memory Type	FLASH
EEPROM Size	2K x 8
RAM Size	4K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 16x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 85°C (TA)
Mounting Type	Surface Mount
Package / Case	48-LQFP
Supplier Device Package	48-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz60ac1f

章节号	标题	页码
12.3.14	MSCAN 发送错误计数器 (CANTXERR)	226
12.3.15	MSCAN 标识符接收寄存器 (CANIDAR0-7)	227
12.3.16	MSCAN 标识符掩码寄存器 (CANIDMR0-CANIDMR7)	228
12.4	报文存储模式	229
12.4.1	标识符寄存器 (IDR0-IDR3)	231
12.4.2	标准标识符映射的 IDR0 - IDR3	233
12.4.3	数据段寄存器 (DSR0-7)	234
12.4.4	数据长度寄存器 (DLR)	235
12.4.5	发送缓冲器优先寄存器 (TBPR)	236
12.4.6	时间标签寄存器 (TSRH - TSRL)	236
12.5	功能描述	237
12.5.1	概述	237
12.5.2	报文存储	238
12.5.3	标识符接收滤波器	241
12.5.4	运行模式	247
12.5.5	低功耗选项	248
12.5.6	复位初始化	253
12.5.7	中断	253
12.6	初始化 / 应用信息	255
12.6.1	MSCAN 初始化	255
12.6.2	总线脱离恢复	255

第 13 章 串行外围器件接口 (S08SPIV3)

13.1	介绍	257
13.1.1	特性	259
13.1.2	结构图	259
13.1.3	SPI 波特率生成	261
13.2	外部信号描述	262
13.2.1	SPSCK — SPI 串行时钟	262
13.2.2	MOSI — Master Data Out, Slave Data In	262
13.2.3	MISO — Master Data In, Slave Data Out	262
13.2.4	SS — 从选择	262
13.3	运行模式	262
13.3.1	处于停止模式的 SPI	262
13.4	寄存器定义	263
13.4.1	SPI 控制寄存器 1 (SPIC1)	263
13.4.2	SPI 控制寄存器 2 (SPIC2)	264
13.4.3	SPI 波特率寄存器 (SPIBR)	265
13.4.4	SPI 状态寄存器 (SPIS)	266
13.4.5	SPI 数据寄存器 (SPID)	267
13.5	功能描述	267

章节号	标题	页码
13.5.1	SPI 时钟格式	268
13.5.2	SPI 中断	270
13.5.3	模式故障检测	270

第 14 章 串行通信接口 (S08SCIV4)

14.1	介绍	271
14.1.1	SCI2 配置信息	271
14.1.2	特性	273
14.1.3	运行模式	273
14.1.4	结构图	273
14.2	寄存器定义	276
14.2.1	SCI 波特率寄存器 (SCIxBDH, SCIxBDL)	276
14.2.2	SCI 控制寄存器 1 (SCIxC1)	277
14.2.3	SCI 控制寄存器 2 (SCIxC2)	278
14.2.4	SCI 状态寄存器 1 (SCIxS1)	279
14.2.5	SCI 状态寄存器 2 (SCIxS2)	280
14.2.6	SCI 控制寄存器 3 (SCIxC3)	282
14.2.7	SCI 数据寄存器 (SCIxD)	283
14.3	功能描述	283
14.3.1	波特率生成	283
14.3.2	发射器功能描述	284
14.3.3	接收器功能描述	285
14.3.4	中断和状态标记	286
14.3.5	其他 SCI 功能	287

第 15 章 实时计数器 (S08RTCV1)

15.1	简介	289
15.1.1	RTC 时钟信号名称	289
15.1.2	功能	291
15.1.3	运行模式	291
15.1.4	结构图	292
15.2	外部信号描述	292
15.3	寄存器定义	292
15.3.1	RTC 状态和控制寄存器 (RTCSC)	293
15.3.2	RTC 计数器寄存器 (RTCCNT)	294
15.3.3	RTC 模数寄存器 (RTCMOD)	294
15.4	功能描述	294
15.4.1	操作实例	296
15.5	初始化 / 应用信息	296

表 4-2. 直接页面寄存器总结 (第 1 页, 共 3 页)

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0x0000	PTAD	PTAD7	PTAD6	PTAD5	PTAD4	PTAD3	PTAD2	PTAD1	PTAD0
0x0001	PTADD	PTADD7	PTADD6	PTADD5	PTADD4	PTADD3	PTADD2	PTADD1	PTADD0
0x0002	PTBD	PTBD7	PTBD6	PTBD5	PTBD4	PTBD3	PTBD2	PTBD1	PTBD0
0x0003	PTBDD	PTBDD7	PTBDD6	PTBDD5	PTBDD4	PTBDD3	PTBDD2	PTBDD1	PTBDD0
0x0004	PTCD	PTCD7	PTCD6	PTCD5	PTCD4	PTCD3	PTCD2	PTCD1	PTCD0
0x0005	PTCDD	PTCDD7	PTCDD6	PTCDD5	PTCDD4	PTCDD3	PTCDD2	PTCDD1	PTCDD0
0x0006	PTDD	PTDD7	PTDD6	PTDD5	PTDD4	PTDD3	PTDD2	PTDD1	PTDD0
0x0007	PTDDD	PTDDD7	PTDDD6	PTDDD5	PTDDD4	PTDDD3	PTDDD2	PTDDD1	PTDDD0
0x0008	PTED	PTED7	PTED6	PTED5	PTED4	PTED3	PTED2	PTED1	PTED0
0x0009	PTEDD	PTEDD7	PTEDD6	PTEDD5	PTEDD4	PTEDD3	PTEDD2	PTEDD1	PTEDD0
0x000A	PTFD	PTFD7	PTFD6	PTFD5	PTFD4	PTFD3	PTFD2	PTFD1	PTFD0
0x000B	PTFDD	PTFDD7	PTFDD6	PTFDD5	PTFDD4	PTFDD3	PTFDD2	PTFDD1	PTFDD0
0x000C	PTGD	0	0	PTGD5	PTGD4	PTGD3	PTGD2	PTGD1	PTGD0
0x000D	PTGDD	0	0	PTGDD5	PTGDD4	PTGDD3	PTGDD2	PTGDD1	PTGDD0
0x000E	ACMP1SC	ACME	ACBGS	ACF	ACIE	ACO	ACOPE	ACMOD1	ACMOD0
0x000F	ACMP2SC	ACME	ACBGS	ACF	ACIE	ACO	ACOPE	ACMOD1	ACMOD0
0x0010	ADCSC1	COCO	AIEN	ADCO	ADCH				
0x0011	ADCSC2	ADACT	ADTRG	ACFE	ACFGT	0	0	—	—
0x0012	ADCRH	0	0	0	0	ADR11	ADR10	ADR9	ADR8
0x0013	ADCRL	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
0x0014	ADCCVH	0	0	0	0	ADCV11	ADCV10	ADCV9	ADCV8
0x0015	ADCCVL	ADCV7	ADCV6	ADCV5	ADCV4	ADCV3	ADCV2	ADCV1	ADCV0
0x0016	ADCCFG	ADLPC	ADIV		ADLSMP	MODE		ADICLK	
0x0017	APCTL1	ADPC7	ADPC6	ADPC5	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0
0x0018	APCTL2	ADPC15	ADPC14	ADPC13	ADPC12	ADPC11	ADPC10	ADPC9	ADPC8
0x0019	APCTL3	ADPC23	ADPC22	ADPC21	ADPC20	ADPC19	ADPC18	ADPC17	ADPC16
0x001A– 0x001B	预留	—	—	—	—	—	—	—	—
0x001C	IRQSC	0	IRQPDD	IRQEDG	IRQPE	IRQF	IRQACK	IRQIE	IRQMOD
0x001D– 0x001F	预留	—	—	—	—	—	—	—	—
0x0020	TPM1SC	TOF	TOIE	CPWMS	CLKSB	CLKSA	PS2	PS1	PS0
0x0021	TPM1CNTH	Bit 15	14	13	12	11	10	9	Bit 8
0x0022	TPM1CNTL	Bit 7	6	5	4	3	2	1	Bit 0
0x0023	TPM1MODH	Bit 15	14	13	12	11	10	9	Bit 8
0x0024	TPM1MODL	Bit 7	6	5	4	3	2	1	Bit 0
0x0025	TPM1C0SC	CH0F	CH0IE	MS0B	MS0A	ELS0B	ELS0A	0	0
0x0026	TPM1C0VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0027	TPM1C0VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0028	TPM1C1SC	CH1F	CH1IE	MS1B	MS1A	ELS1B	ELS1A	0	0

6.5.1.7 A 端口中断管脚选择寄存器 (PTAPS)

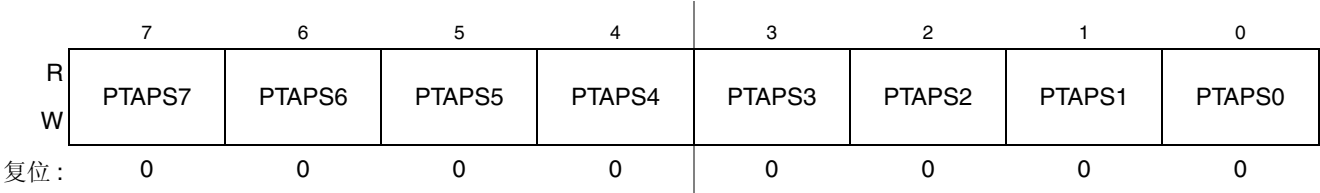


图 6-9. A 端口中断管脚选择寄存器 (PTAPS)

表 6-7. PTAPS 寄存器字段描述

字段	描述
7:0 PTAPS[7:0]	A 端口中断管脚选择 — 每个 PTAPSn 位都使能相应的 A 端口中断管脚。 0 管脚禁止中断。 1 管脚允许中断。

6.5.1.8 A 端口中断边沿选择寄存器 (PTAES)

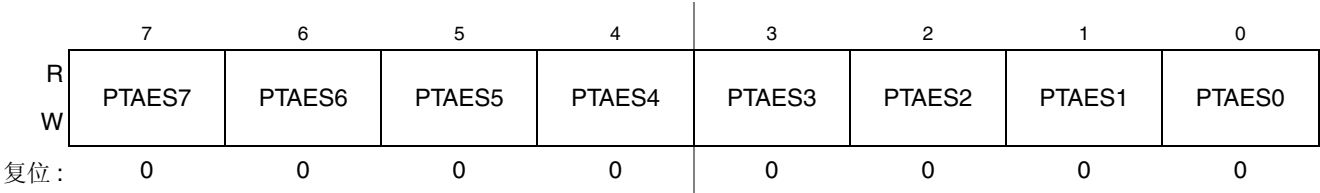


图 6-10. A 端口边沿选择寄存器 (PTAES)

表 6-8. PTAES 寄存器字段描述

字段	描述
7:0 PTAES[7:0]	A 端口边沿选择 — 每个 PTBESn 位都具有双重功能，选择中断边沿的极性以及选择上拉或下拉器件（使能的话）。 0 上拉器件与相关的管脚相连，检测中断生成的下降边沿 / 低电平。 1 下拉器件与相关的管脚相连，检测中断生成的上升边沿 / 高电平。

6.5.2 B 端口寄存器

B 端口由下面列出的寄存器控制。

表 7-2. 指令集小结 (第 5 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V I 1 H	I N Z C
INC <i>opr8a</i> INCA INCX INC <i>opr8,X</i> INC ,X INC <i>opr8,SP</i>	增量 $M^-(M) + \$01$ $A^-(A) + \$01$ $X^-(X) + \$01$ $M^-(M) + \$01$ $M^-(M) + \$01$ $M^-(M) + \$01$	DIR INH INH IX1 IX SP1	3C dd 4C 5C 6C ff 7C 9E 6C ff	5 1 1 5 4 6	r fwpp p p r fwpp r fwpp pr fwpp	↑ 1 1 -	- ↓ ↓ -
JMP <i>opr8a</i> JMP <i>opr16a</i> JMP <i>opr8,X</i> JMP <i>opr8,X</i> JMP ,X	跳转 PC ← 跳转地址	DIR EXT IX2 IX1 IX	BC dd CC hh ll DC ee ff EC ff FC	3 4 4 3 3	ppp pppp pppp ppp ppp	- 1 1 -	- - - -
JSR <i>opr8a</i> JSR <i>opr16a</i> JSR <i>opr8,X</i> JSR <i>opr8,X</i> JSR ,X	跳转到子程序 $PC^-(PC) + n$ ($n = 1, 2, \text{或 } 3$) 推 (PCL); $SP^-(SP) - \$0001$ 推 (PCH); $SP^-(SP) - \$0001$ PC ← 无条件地址	DIR EXT IX2 IX1 IX	BD dd CD hh ll DD ee ff ED ff FD	5 6 6 5 5	ssppp pssppp pssppp ssppp ssppp	- 1 1 -	- - - -
LDA # <i>opr8i</i> LDA <i>opr8a</i> LDA <i>opr16a</i> LDA <i>opr8,X</i> LDA <i>opr8,X</i> LDA ,X LDA <i>opr8,SP</i> LDA <i>opr8,SP</i>	从存储器那里加载累加器 $A^-(M)$	IMM DIR EXT IX2 IX1 IX SP2 SP1	A6 ii B6 dd C6 hh ll D6 ee ff E6 ff F6 9E D6 ee ff 9E E6 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	- ↓ ↓ -
LDHX # <i>opr16i</i> LDHX <i>opr8a</i> LDHX <i>opr16a</i> LDHX ,X LDHX <i>opr8,X</i> LDHX <i>opr8,X</i> LDHX <i>opr8,SP</i>	加载索引寄存器 (H:X) $H:X^-(M:M + \$0001)$	IMM DIR EXT IX IX2 IX1 SP1	45 jj kk 55 dd 32 hh ll 9E AE 9E BE ee ff 9E CE ff 9E FE ff	3 4 5 5 6 5 5	ppp rrpp prpp prfp pprrpp prpp prpp	0 1 1 -	- ↓ ↓ -
LDX # <i>opr8i</i> LDX <i>opr8a</i> LDX <i>opr16a</i> LDX <i>opr8,X</i> LDX <i>opr8,X</i> LDX ,X LDX <i>opr8,SP</i> LDX <i>opr8,SP</i>	从存储器那里加载 X (索引寄存器低) $X^-(M)$	IMM DIR EXT IX2 IX1 IX SP2 SP1	AE ii BE dd CE hh ll DE ee ff EE ff FE 9E DE ee ff 9E EE ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	- ↓ ↓ -
LSL <i>opr8a</i> LSLA LSLX LSL <i>opr8,X</i> LSL ,X LSL <i>opr8,SP</i>	逻辑左移位 t (同 ASL)	DIR INH INH IX1 IX SP1	38 dd 48 58 68 ff 78 9E 68 ff	5 1 1 5 4 6	r fwpp p p r fwpp r fwpp pr fwpp	↑ 1 1 -	- ↓ ↓ ↓
LSR <i>opr8a</i> LSRA LSRX LSR <i>opr8,X</i> LSR ,X LSR <i>opr8,SP</i>	逻辑右移位 t 	DIR INH INH IX1 IX SP1	34 dd 44 54 64 ff 74 9E 64 ff	5 1 1 5 4 6	r fwpp p p r fwpp r fwpp pr fwpp	↑ 1 1 -	- 0 ↓ ↓

8.5.1.1 FLL Engaged Internal (FEI)

FLL Engaged Internal (FEI) 是默认运行模式并且当满足下列条件时就进入该模式：

- CLKS 位写入 00
- IREFS 位写入 1
- PLLS 位写入 0
- RDIV 位写入 000。因为内部参考时钟频率在修正后应介于 31.25 kHz- 39.0625 kHz 之间，所以不需要进一步分频。

在 FLL Engaged Internal 模式中，MCGOUT 时钟源自 FLL 时钟，由内部参考时钟控制。FLL 时钟频率是由 RDIV 位选择的参考频率的 1024 倍。MCGLCLK 来自 FLL，PLL 被禁止并处于低功率状态。

8.5.1.2 FLL Engaged External (FEE)

当满足下列条件时就进入 FLL engaged External (FEE) 模式：

- CLKS 位写入 00
- IREFS 位写入 0
- PLLS 位写入 0
- RDIV 位写入介于 31.25 kHz- 39.0625 kHz 频率范围内的分频参考时钟。

在 FLL Engaged External 模式中，MCGOUT 时钟来自 FLL 时钟，由外部参考时钟控制。使能的外部参考时钟可以是外部晶体 / 谐振器，也可以是另外一个外部时钟源。FLL 时钟频率是由 RDIV 位选择的参考频率的 1024 倍。MCGLCLK 来自 FLL，PLL 被禁止并处于低功率状态。

8.5.1.3 FLL Bypassed Internal (FBI)

在 FLL Bypassed Internal (FBI) 模式中，MCGOUT 时钟来自内部参考时钟，FLL 处于运行状态但其输出时钟未使用。该模式对允许 FLL 获得目标频率非常有用，同时 MCGOUT 时钟由内部参考时钟驱动。

当满足以下条件时就进入 FLL Bypassed Internal 模式：

- CLKS 位写入 01
- IREFS 位写入 1
- PLLS 位写入 0
- RDIV 位写入 000。由于内部参考时钟频率在修正后应已经介于 31.25 kHz- 39.0625 kHz 之间，所以不需要进一步的分频。
- LP 位写入 0

在 FLL Bypassed Internal 模式中，MCGOUT 时钟源自内部参考时钟。FLL 时钟由内部参考时钟控制。FLL 时钟频率是由 RDIV 位选择的参考频率的 1024 倍。MCGLCLK 来自 FLL，PLL 被禁止并处于低功率状态。

4. 最后, FBI 转换到 FBILP 模式。
 a) MCGC2 = 0x08 (%00001000)
 — LP 中的 LP (位 3) 是 1。

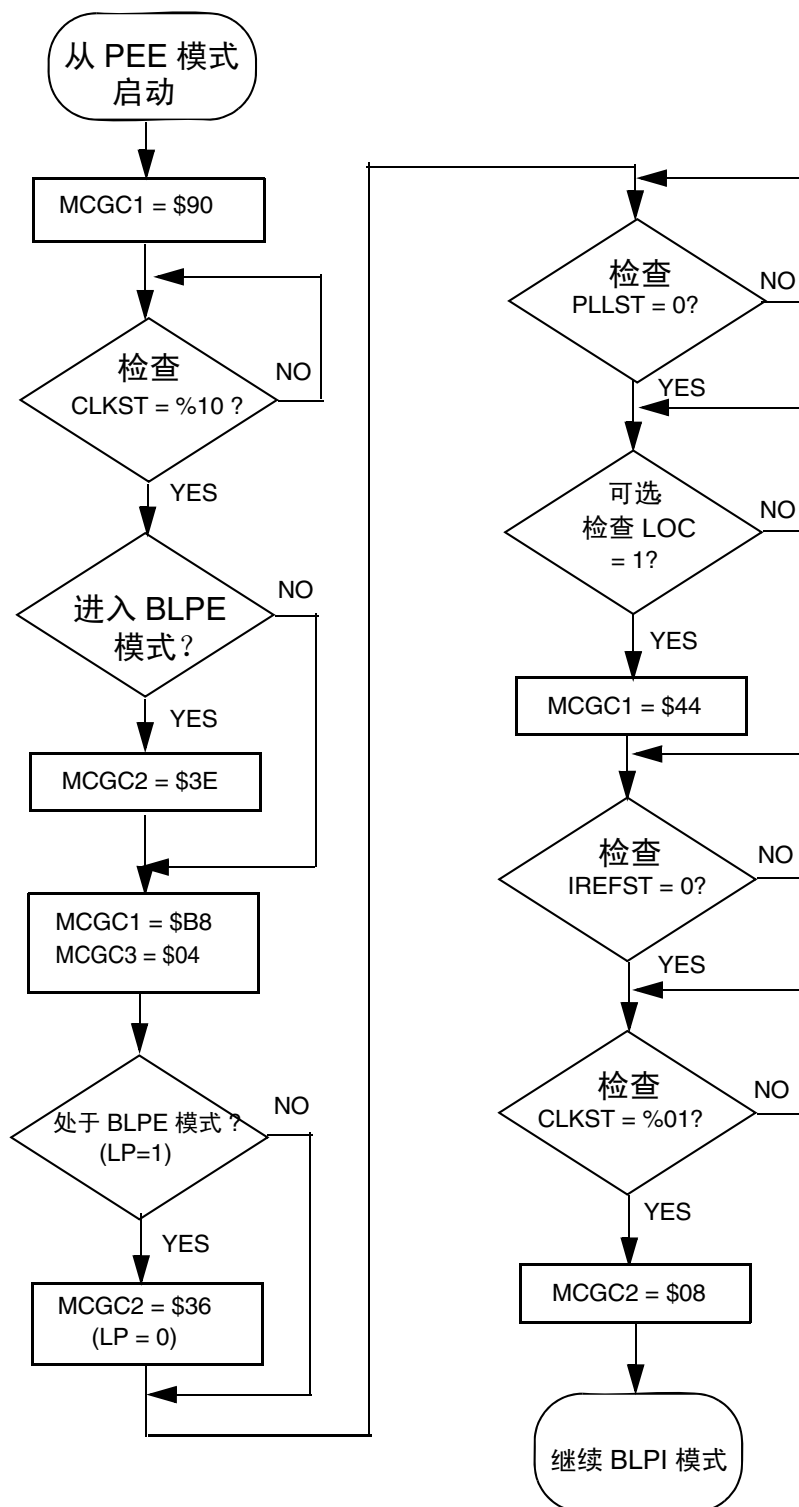


图 8-10. 使用 4 MHz 晶体从 PEE 转换到 BLPI 模式的流程图

表 10-6. 时钟分频选择

ADIV	分频率	时钟率
00	1	输入时钟
01	2	输入时钟 ÷ 2
10	4	输入时钟 ÷ 4
11	8	输入时钟 ÷ 8

表 10-7. 转换模式

模式	模式描述
00	8 位转换 (N=8)
01	12 位转换 (N=12)
10	10 位转换 (N=10)
11	保留

表 10-8. 输入时钟选择

ADICLK	所选的时钟源
00	总线时钟
01	总线时钟除以 2
10	替代时钟 (ALTCLK)
11	异步时钟 (ADACK)

10.4.8 管脚控制寄存器 1 (APCTL1)

管脚控制寄存器用来禁止对模拟输入的 MCU 管脚作为 I/O 端口控制，APCTL1 用来控制这些管脚与 ADC 模块通道 0-7 的连接。

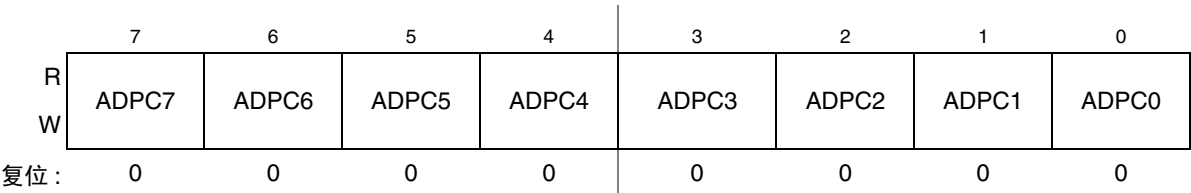


图 10-11. 管脚控制寄存器 1 (APCTL1)

表 10-10. APCTL2 寄存器字段描述

字段	描述
7 ADPC15	ADC 管脚控制 15 — ADPC15 用来控制与通道 AD15 连接的管脚。 0 AD15 管脚 I/O 控制使能 1 AD15 管脚 I/O 控制禁止
6 ADPC14	ADC 管脚控制 14 — ADPC14 用来控制与通道 AD14 连接的管脚。 0 AD14 管脚 I/O 控制使能 1 AD14 管脚 I/O 控制禁止
5 ADPC13	ADC 管脚控制 13 — ADPC13 用来控制与通道 AD13 连接的管脚。 0 AD13 管脚 I/O 控制使能 1 AD13 管脚 I/O 控制禁止
4 ADPC12	ADC 管脚控制 12 — ADPC12 用来控制与通道 AD12 连接的管脚。 0 AD12 管脚 I/O 控制使能 1 AD12 管脚 I/O 控制禁止
3 ADPC11	ADC 管脚控制 11 — ADPC11 用来控制与通道 AD11 连接的管脚。 0 AD11 管脚 I/O 控制使能 1 AD11 管脚 I/O 控制禁止
2 ADPC10	ADC 管脚控制 10 — ADPC10 用来控制与通道 AD10 连接的管脚。 0 AD10 管脚 I/O 控制使能 1 AD10 管脚 I/O 控制禁止
1 ADPC9	ADC 管脚控制 9 — ADPC9 用来控制与通道 AD9 连接的管脚。 0 AD9 管脚 I/O 控制使能 1 AD9 管脚 I/O 控制禁止
0 ADPC8	ADC 管脚控制 8 — ADPC8 用来控制与通道 AD8 连接的管脚。 0 AD8 管脚 I/O 控制使能 1 AD8 管脚 I/O 控制禁止

10.4.10 管脚控制寄存器 3（APCTL3）

APCTL3 用来控制 ADC 模块的通道 16-23。

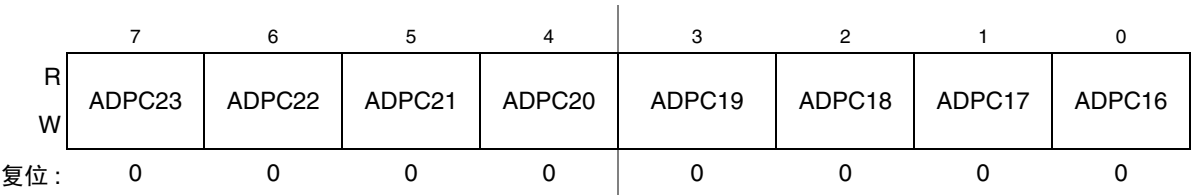


图 10-13. 管脚控制寄存器 3（APCTL3）

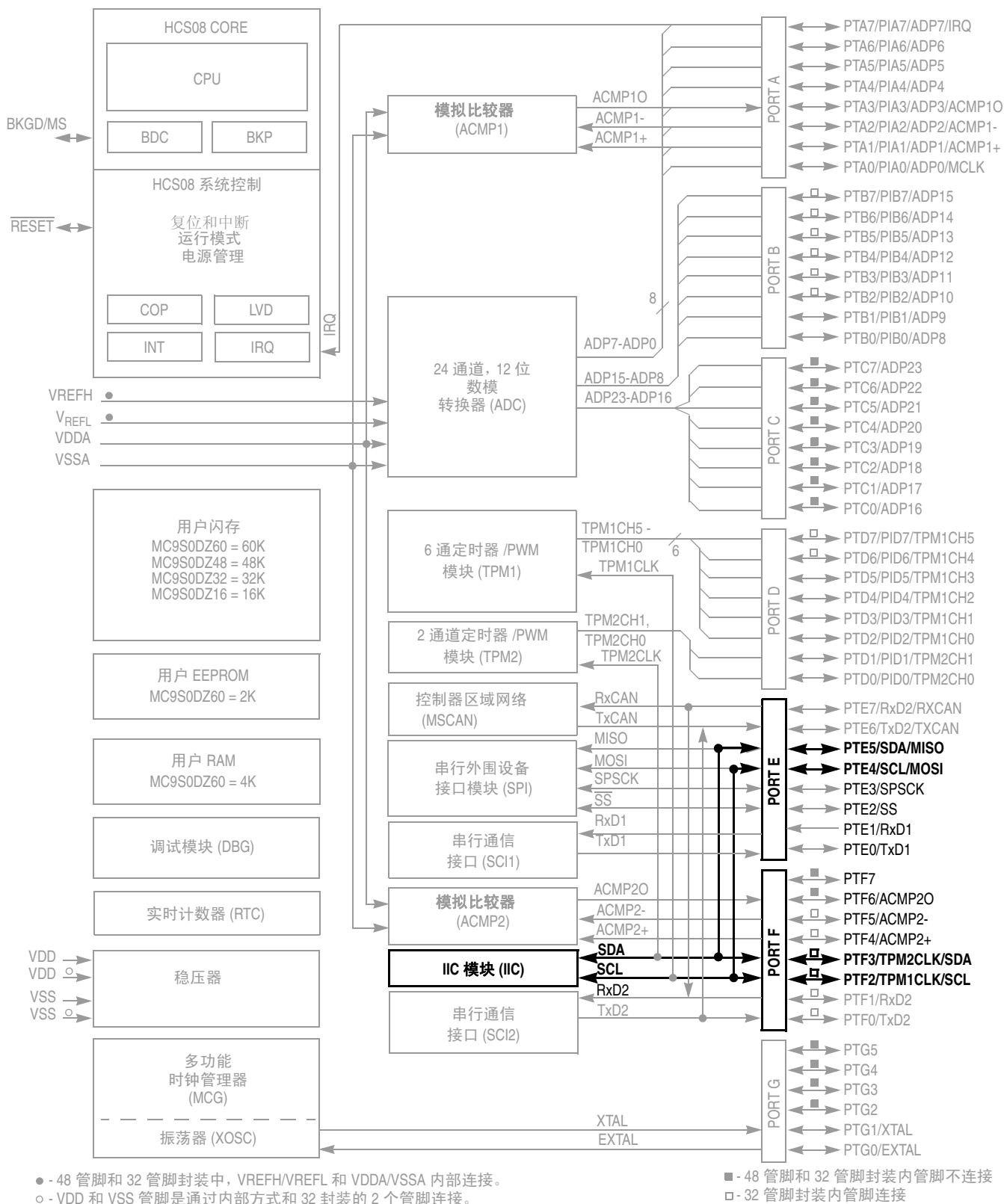


图 11-1. MC9S08DZ60 结构图

12.1.3 结构图

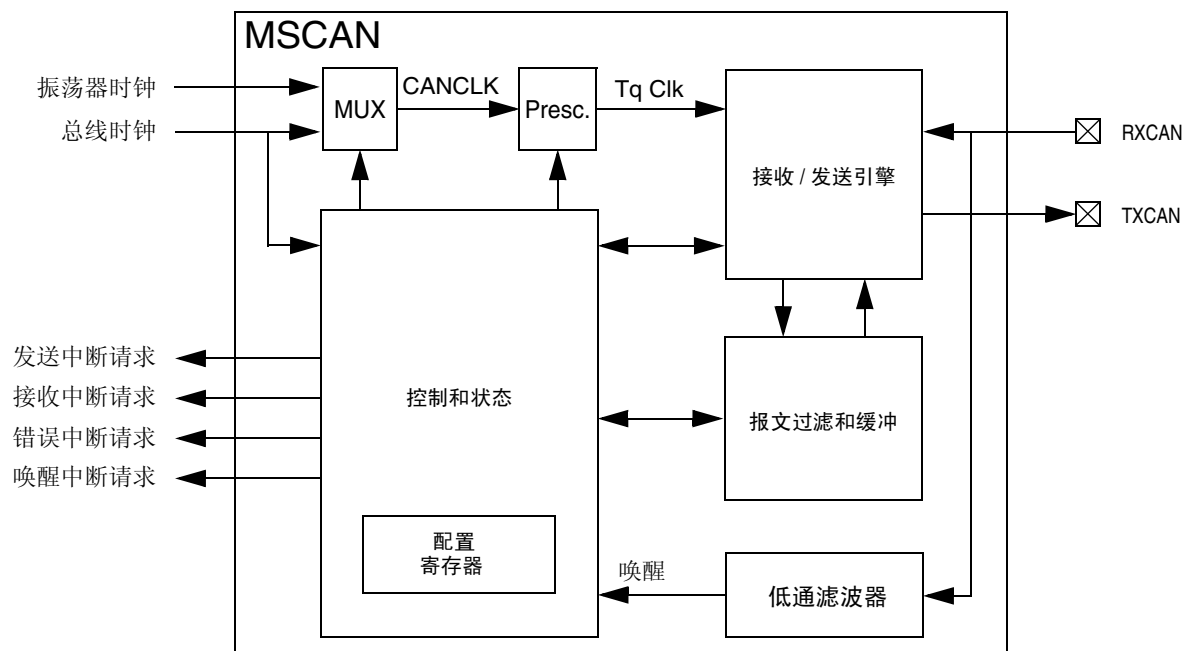


图 12-2. MSCAN 结构图

12.2 外部信号描述

MSCAN 使用两个外部管脚：

12.2.1 RXCAN — CAN 接收器输入管脚 Y

RXCAN 是 MSCAN 接收器输入管脚。

12.2.2 TXCAN — CAN T 发射器输出管脚

TXCAN 是 MSCAN 发送器输出管脚。TXCAN 输出管脚代表 CAN 总线上的逻辑层：

0 = 显性状态

1 = 隐性状态

12.2.3 CAN 系统

图 12-3. 显示了一个具有 MSCAN 的典型 CAN 系统。每个 CAN 节点通过收发器物理连接到 CAN 总线线路。e. 收发器能够驱动 CAN 总线所需的大电流，并具有对故障 CAN 或故障节点的电流保护。

12.3.2 控制寄存器 1 (CANCTL1)

CANCTL1 寄存器如下所述提供了 MSCAN 模块的各种控制位和握手状态报文。

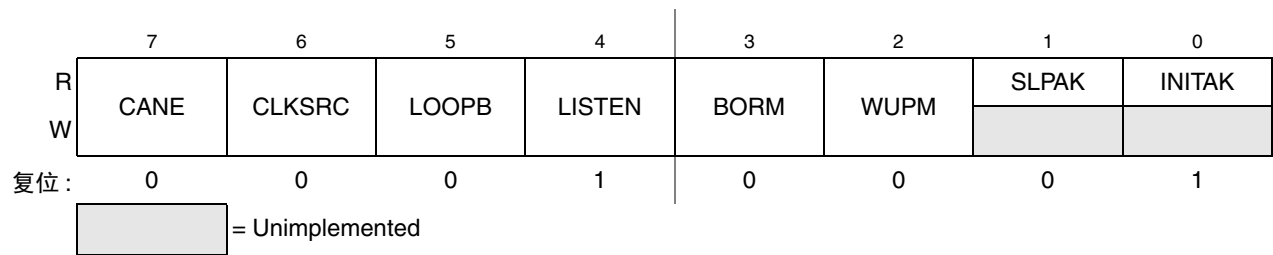


图 12-5. 控制寄存器 1(CANCTL1)

读取：任何时间
写入：当 INITRQ = 1 和 INITAK = 1 时的任何时间，CANE 例外，可以在正常情况下写入一次，以及当 MSCAN 处于初始化模式（INITRQ = 1，NITAK = 1）的特殊系统运行模式时任何时间写入。

表 12-2. 寄存器字段描述

字段	描述
7 CANE	MSCAN 使能 0 MSCAN 模块禁止 1 MSCAN 模块使能
6 CLKSRC	MSCAN 时钟源 — 该位定义 MSCAN 模块的时钟源（仅适用于具有时钟发生模块的系统：12.5.3.3，“时钟系统”和图 12-42，“MSCAN 时钟机制”）。 0 MSCAN 时钟源是振荡器时 1 MSCAN 时钟源是总线时钟
5 LOOPB	环回自测模式 — 当设置了该位时，MSCAN 执行可用于自测操作的内部环回。T 发送器的位流输出从内部流回接收器。12.5.4.6，“环回自测模式”。 0 环回自测禁止 1 环回自测使能
4 LISTEN	监听模式 — 该位把 SCAN 配置为 CAN 总线监控器。当设置了 LISTEN 时，会收到带有匹配 ID 的所有有效 CAN，但不发出确认或错误帧（参见 12.5.4.4，“监听模式”）。此外，错误计数器停止计数。监听模式可以支持需要“热插拨”或“吞吐量分析”的应用。当监听模式处于有效状态时，MSCAN 不能发送任何报文。 0 正常运行 1 监听模式使能 d
3 BORM	总线脱离恢复模式 — 该位配置 MSCAN 的总线关断恢复模式。更多报文总线脱离恢复模式 — 该位配置 MSCAN 的总线关断恢复模式。更多报文 12.6.2，“总线脱离恢复”。 0 自动总线脱离恢复（参见 Bosch CAN 2.0A/B 协议规范） 1 用户请求的总线脱离恢复
2 WUPM	唤醒模式 — 如果 CANCTL0 中的 WUPE 被使能，该位决定是否应用集成低通滤波器来防止 MSCAN 出现假唤醒（参见 12.5.5.4，“MSCAN 睡眠模式”）。 0 MSCAN 被 CAN 总线上的任意显性信号唤醒 1 MSCAN 只有在 CAN 总线上的显性脉冲长度为 Twup 时才唤醒。

13.4.5 SPI 数据寄存器 (SPID)

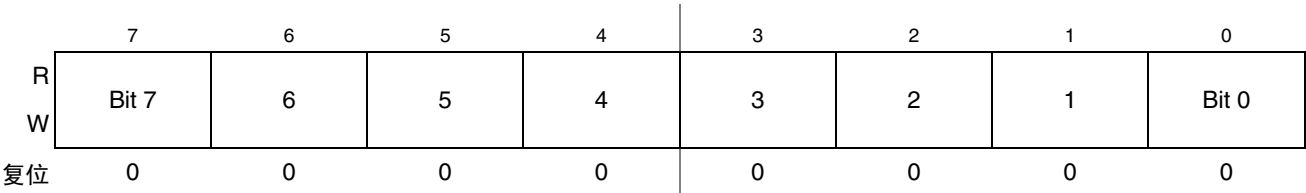


图 13-9. SPI 数据寄存器 (SPID)

读该寄存器会返回从接收数据缓冲器读取的数据。写该寄存器会把数据写入发送数据缓冲器。当 SPI 配置为主 SPI 时，向发送数据缓冲器写入数据将发起一个 SPI 传输。

数据不应写入发送数据缓冲器，除非设置了 SPI 发送缓冲器空标记（SPTEF），显示发送缓冲器中有一定的空间来排队新的发送字节。

在设置了 SPRF 后、完成另外一个传输前，可以随时从 SPID 中读取数据。如果在新传输结束前未能从接收数据缓冲器读取数据，就会导致接收溢出，新传输的数据丢失。

13.5 功能描述

检查 SPI 发送缓冲器空标记（SPTEF = 1）然后将数据字节写入主 SPI 器件中的 SPI 数据寄存器，这样就发起 SPI 传输。当 SPI 移位寄存器可用时，该数据字节从发送数据缓冲器移到移位器，设置 SPTEF，显示缓冲器中有一定的空间来排队另外一个发送字符（如需要的话），SPI 串行传输开始。

在 SPI 传输过程中，数据在一个 SPSCCK 边沿从 MOSI 管脚上进行采样（读取）和转移，半个 SPSCCK 周期后改变 MOSI 管脚上的位值。在 8 个 SPSCCK 周期后，主 SPI 的移位寄存器中的数据已经从 MOSI 管脚转移到从 SPI，同时 MISO 管脚里的 8 位数据被转移到主 SPI 的移位寄存器中。传输结束时，收到的数据字节从移位器转移到接收数据缓冲器，并设置 SPRF，显示数据可以通过读取 SPID 进行读取。如果传输结束时发送缓冲器中有另外一个数据字节在等待，它就被移到移位器，设置 SPTEF，启动新传输。

在正常情况下，SPI 数据首先传输最高位（MSB）。如果设置了最低位先发使能位（LSBFE），SPI 数据首先移位 LSB。

当 SPI 配置为从 SPI 时，传输开始前其 SS 管脚必须驱动到低态，整个传输过程 SS 必须保持低态。如果选择了 CPHA = 0 的时钟格式，SS 必须在两次连续传输间被驱动到逻辑 1。如果 CPHA = 1，SS 在两次连续传输间必须保持低态。如需了解更多详细信息，参见 13.5.1，“SPI 时钟格式”。

因为发送器和接收器被双缓冲，因此第二个字节（除了当前正在移出的字节外）可以排队进入发送数据缓冲器，原来接收的字符可以放在接收数据缓冲器中，同时新字符被转移进来。SPTEF 标记显示发送缓冲器何时新字符空间。SPRF 标记显示已接收的字符何时出现在接收数据缓冲器。在下次传输完成或导致接收溢出错误前，已接收字符必须从接收缓冲器读出（读 SPID）。

当出现接收溢出时，新数据丢失，因为接收缓冲器仍留有以前的字符，不准备接受新数据。这种溢出没有任何显示，因此应用系统设计人员必须确保在发起新传输前以前的数据已经从接收缓冲器中读出。

表 14-3. SCIXBDL 字段描述

字段	描述
7:0 SBR[7:0]	波特率模数系数 — SBR[12:0] 中的这 13 个位统称为 BR，它们为 SCI 波特率发生器设置模数除数系数。当 BR = 0，SCI 波特率发生器禁止，以降低电源电流。当 BR = 1~8191 时，SCI 波特率 = BUSCLK / (16xBR)。也可参见表 14-2. 中的 BR 位。

14.2.2 SCI 控制寄存器 1(SCIXC1)

该读 / 写寄存器用于控制 SCI 系统的各种可选功能。

	7	6	5	4	3	2	1	0
R	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT
W								
复位	0	0	0	0	0	0	0	0

图 14-6. SCI 控制寄存器 1 (SCIXC1)

表 14-4. SCIXC1 字段描述

字段	描述
7 LOOPS	循环模式选择 — 在环回模式和正常的 2 管脚全双工模式之间选择。当 LOOPS = 1，发射器输出内部连接到接收器输入。 0 正常运行 — RxD 和 TxD 使用独立管脚。 1 循环模式或单线模式，发射器输出内部连接到接收器输入（见 <st-blue>RSRC 位）。SCI 不使用 RxD 管脚。
6 SCISWAI	等待模式中的 SCI 停止 0 SCI 时钟继续在等待模式中运行，因此 SCI 可以是唤醒 CPU 的中断源。 1 SCI 时钟在 CPU 处于等待模式时冻结。
5 RSRC	接收器源选择 — 该位没有任何意义或影响，除非 LOOPS 位设置为 1。当 LOOPS = 1 时，接收器输入内部连接到 TxD 管脚，RSRC 决定该连接是否也连接到发射器输出。 0 假设 LOOPS = 1，RSRC = 0 选择内部环回模式，SCI 不使用 RxD 管脚。 1 单线 SCI 模式，其中 TxD 管脚连接到发射器输出和接收器输入。
4 M	9 位或 8 位模式选择 0 正常 — 启动 + 8 个数据位（LSB 先发）+ 停止 1 接收器和发射器使用 9 位数据字符 启动 + 8 个数据位（LSB 先发）+ 第 9 个数据位 + 停止
3 WAKE	接收器唤醒方法选择 — 详情请 14.3.3.2, “接收器唤醒操作” 0 闲置线路唤醒 1 地址标记唤醒
2 ILT	闲置线路类型选择 — 将该位设置为 1，确保字符末端的停止位和逻辑 1 位不会计数闲置线路检测逻辑所需的逻辑高电平的 10 或 11 个位时间。如需了解更多信息，14.3.3.2.1, “闲置线路唤醒” 0 开始位后闲置字符位计数开始。 1 停止位后闲置字符位计数开始。

14.3.3 接收器功能描述

在本小节，首先把接收器结构图 (图 14-3) 作为接收器总体功能描述的指南使用。然后详细描述了用来重建接收器数据的数据采样方法。最后解释了接收器唤醒功能的两个变种。

通过设置 $RXINV = 1$ ，接收器输入被反转。通过设置 $SCIxC2$ 中的 RE 位，接收器被使能。字符帧由逻辑 0 的起始位、8 个（或 9 个）数据位（LSB 先发）和逻辑 1 的停止位组成。如需了解 9 位数据模式的有关信息，参见 14.3.5.1，“8 位和 9 位数据模式”。对于本小节的其余部分，我们假设 SCI 配置用于正常的 8 位数据模式。

在把停止位接收到接收移位器后，如果接收数据寄存器还未满，数据字符就被传输到接收数据寄存器，设置接收数据寄存器已满（ $RDRF$ ）状态标记。如果已经设置了显示接收数据寄存器（缓冲器）已满的 $RDRF$ ，就设置溢出（ OR ）状态标记，新数据丢失。因为 SCI 接收器是双缓冲的，程序在设置 $RDRF$ 后、读取接收数据缓冲器的数据前，有一个全字符时间，以避免接收器溢出。

当程序检测到接收数据寄存器已满（ $RDRF = 1$ ）时，它通过读 $SCIxD$ 从接收数据寄存器中获取数据。 $RDRF$ 标记由一个 2 步式顺序自动清除，这个 2 步式顺序通常在处理接收数据的用户程序中满足。如需了解标记清除的更多详细信息，参见 14.3.4，“中断和状态标记”。

14.3.3.1 数据采样方法

SCI 接收器使用 16 倍波特率时钟进行采样。接收器通过以 16 倍波特率提取逻辑电平样本，以搜索 RxD 串行数据输入管脚上的下降边沿。下降边沿的定义是 3 个连续逻辑 1 采样后的逻辑 0 样本。16 倍波特率时钟用来把位时间划分为 16 个段，分别标记为 $RT1$ 到 $RT16$ 。当定位了下降边沿时，还要从 $RT3$ 、 $RT5$ 和 $RT7$ 中提取三个样本，以确保这是真正的起始位，而不仅仅噪音。如果这三个样本至少有两个样本为 0，接收器假设它与接收器字符同步。

接收器然后在 $RT8$ 、 $RT9$ 和 $RT10$ 的每个位时间上进行采样，包括起始位和停止位，以决定该位的逻辑电平。逻辑电平是位时间期间提取的绝大多数样本的逻辑电平。在起始位中，如果 $RT3$ 、 $RT5$ 和 $RT7$ 上的样本中至少有 2 个样本为 0，那么就假设该位为 0，即便在 $RT8$ 、 $RT9$ 和 $RT10$ 上提取的一个或所有样本均为 1。如果字符帧的任意位时间（包括起始和停止位）中的任意样本不能与该位的逻辑电平保持一致，当收到的字符传输到接收数据缓冲器时，都设置噪音标记（ NF ）。

下降边沿检测逻辑不断寻找下降边沿，如果检测到边沿，样本时钟重新同步位时间。这样当出现噪音或不匹配波特率时，就可以提高接收器的可靠性。它不能改进最坏情况分析，因为有些字符在字符帧的任何地方都没有额外的下降边沿。

在成帧错误情况下，假设收到的字符不是中止字符，搜索下降边沿的采样逻辑就充满 3 个逻辑 1 样本，这样一个新起始位几乎可以立即检测到。

在成帧错误情况下，接收器禁止接收任何新字符，直到成帧错误标记被清除。如果仍设置 FE ，接收移位寄存器继续发挥作用，但整个字符不能传输到接收数据缓冲器。

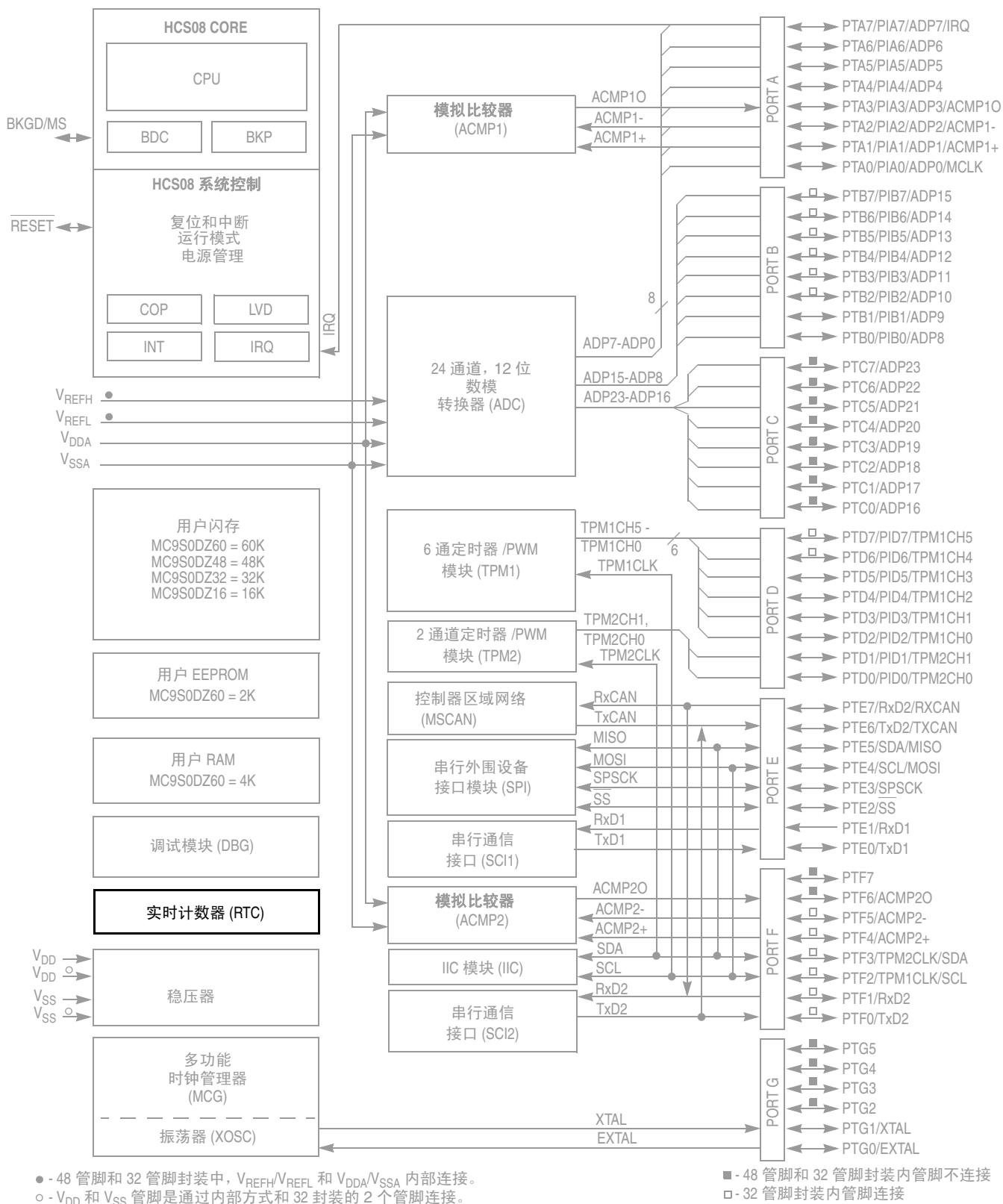


图 15-1. MC9S08DZ60 结构图

15.1.4 结构图

RTC 模块的结构图如图 15-2 所示。

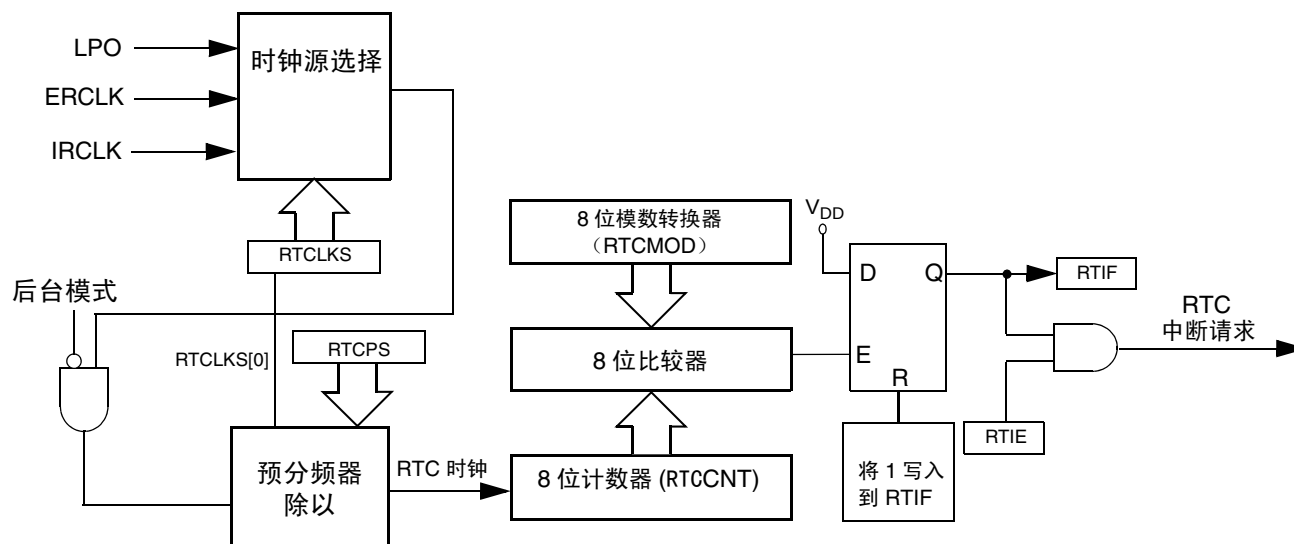


图 15-2. 实时计数器 (RTC) 结构图

15.2 外部信号描述

RTC 不包括任何片外信号。

15.3 寄存器定义

RTC 包括一个状态和控制寄存器、一个 8 位计数器寄存器和一个 8 位模数寄存器。

请参考本产品介绍内存部分的“直接页面寄存器总结”小节，了解所有 RTC 寄存器的绝对地址分配

表 15-1 为 RTC 寄存器的总结。

表 15-1. RTC 寄存器总结

Name		7	6	5	4	3	2	1	0
RTCSC	R	RTIF	RTCLKS	RTIE	RTCPS				
	W								
RTCCNT	R	RTCCNT							
	W								
RTCMOD	R	RTCMOD							
	W								

当没有调试盒连接 6- 管脚的 BDM 接口连接器时，BKGD c 的内部上拉会选择正常的操作模式。当调试盒连接到 BKGD 时，可以在 MCU 复位后强制它进入激活背景调试模式。强制激活背景调试的具体条件取决于 HCS08 衍生产品 (参见“开发支持”小节介绍)。不必复位目标 MCU 来通过背景调试接口来与之通信。

17.2.2 通信详细介绍

BDC 串行接口需要外部控制器来生成 BKGD 管脚上的下降沿，指示每个位时间的开始。无论数据是发送或接收，外部控制器都会提供这个下降边沿。

BKGD 是伪开漏管脚，可以被外部控制器或 MCU 来驱动。数据以 MSB 先发的形式且以每位 16 个 BDC 时钟周期的速率 (标定速率) 发送。如果来自主机的下降边沿之间产生 512 BDC 时钟周期，则该接口超时。如果出现超时，任何正在进行的 BDC 命令被中止，对目标 MCU 系统的存储器或操作模式没有影响。

定制串行协议要求调试盒知道目标 BDC 通信时钟速率。

BDC 状态和控制寄存器中的时钟开关 (CLKSW) 控制位允许用户选择 BDC 时钟源。BDC 时钟源可以是总线，或备用的 BDC 时钟源。

BKGD 管脚可以接收高或低电平，或发送高或低电平。下图显示了每种情况的时序。接口时序与目标 BDC 中的时钟同步，但是与外部主机异步。显示的内部 BDC 时钟信号是计数周期的参考。

图 17-2 显示了外部主机将逻辑 1 或 0 发送到目标 HCS08 MCU 的 BKGD 管脚。主机与目标异步，因此主机生成的 BKGD 下降边沿与目标所认为的位时间起始点有 0- 到 -1 周期的延迟。10 个目标 BDC 时钟周期后，目标获得 BKGD 管脚的电平。一般地，主机在主机到目标方向的传输过程中驱动 BKGD 管脚，以加快上升边沿。由于目标在主机至目标方向的传输周期中不驱动 BKGD 管脚，因此没有必要在此期间将线路作为开漏信号。

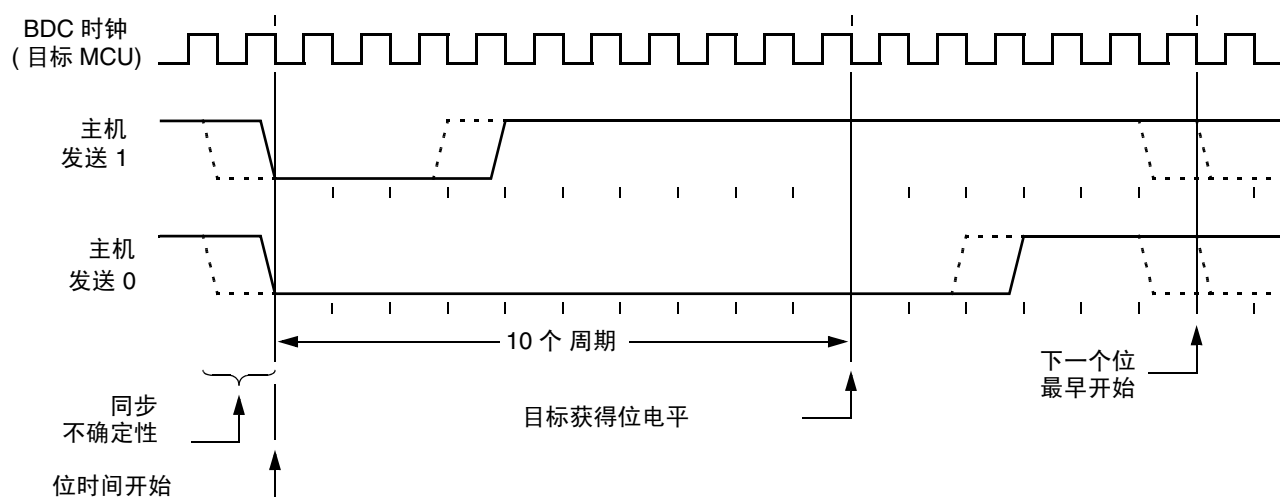


图 17-2. BDC 主机到目标方向串行位时序