



Welcome to [E-XFL.COM](https://www.e-xfl.com)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	53
Program Memory Size	60KB (60K x 8)
Program Memory Type	FLASH
EEPROM Size	2K x 8
RAM Size	4K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 24x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	64-LQFP
Supplier Device Package	64-LQFP (10x10)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz60amlh

章节号	标题	页码
8.2.2	运行模式	131
8.3	外部信号描述	131
8.4	寄存器定义	131
8.4.1	MCG 控制寄存器 1 (MCGC1)	131
8.4.2	MCG 控制寄存器 2 (MCGC2)	132
8.4.3	MCG 修正寄存器 (MCGTRM)	133
8.4.4	MCG 状态和控制寄存器 (MCGSC)	134
8.4.5	MCG Control Register 3 (MCGC3)	135
8.5	特性描述	136
8.5.1	运行模式	136
8.5.2	模式切换	140
8.5.3	总线分频器	140
8.5.4	低功率位使用	140
8.5.5	内部参考时钟	141
8.5.6	外部参考时钟	141
8.5.7	固定频率时钟	141
8.6	初始化 / 应用报文	141
8.6.1	MCG 模块初始化顺序	142
8.6.2	MCG 模式切换	143
8.6.3	校准内部参考时钟 (IRC)	154

第 9 章 模拟比较器 (S08ACMPV3)

9.1	介绍	157
9.1.1	ACMP 配置报文	157
9.1.2	特性	159
9.1.3	运行模式	159
9.1.4	结构图	160
9.2	外部信号描述	160
9.3	存储器映射 / 寄存器定义	161
9.3.1	ACMPx 状态和控制寄存器 (ACMPxSC)	161
9.4	功能描述	162

第 10 章 数模转换器 (S08ADC12V1)

10.1	介绍	163
10.1.1	模拟功率和接地信号名称	163
10.1.2	信道分配	163
10.1.3	替代时钟	164
10.1.4	硬件触发	165
10.1.5	温度传感器	165
10.2.6	特性	167

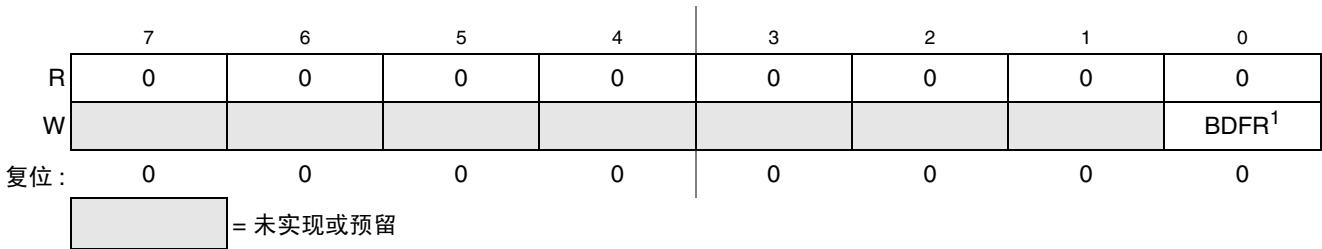
章节号	标题	页码
11.4	寄存器定义	193
11.4.1	IIC 地址寄存器 (IICA)	193
11.4.2	11.3.2 IIC 分频器寄存器 (IICF)	193
11.4.3	IIC 控制寄存器 (IICC1)	196
11.4.4	IIC 状态寄存器 (IICS)	196
11.4.5	IIC 数据 I/O 寄存器 (IICD)	197
11.4.6	IIC 控制寄存器 2 (IICC2)	198
11.5	功能描述	199
11.5.1	IIC 协议	199
11.5.2	10 位地址	202
11.5.3	通用呼叫地址	203
11.6	复位	203
11.7	中断	203
11.7.1	字节传输中断	203
11.7.2	地址检测中断	203
11.7.3	仲裁丢失中断	204
11.8	初始化 / 应用报文	205

第 12 章 飞思卡尔控制器局域网 (S08MSCANV1)

12.1	介绍	207
12.1.1	特性	209
12.1.2	运行模式	209
12.1.3	结构图	210
12.2	外部信号描述	210
12.2.1	RXCAN — CAN 接收器输入管脚 Y	210
12.2.2	TXCAN — CAN T 发射器输出管脚	210
12.2.3	CAN 系统	210
12.3	寄存器定义	211
12.3.1	MSCAN 控制寄存器 0 (CANCTL0)	211
12.3.2	控制寄存器 1 (CANCTL1)	214
12.3.3	MSCAN 总线计时寄存 0 (CANBTR0)	215
12.3.4	MSCAN 总线计时寄存器 (CANBTR1)	216
12.3.5	MSCAN 接收器中断使能寄存器 (CANRIER)	219
12.3.6	MSCAN 发送器标志寄存器 (CANTFLG)	220
12.3.7	MSCAN 发送器中断使能寄存器 (CANTIER)	221
12.3.8	MSCAN Transmitter 发送器报文中止请求寄存器 (CANTARQ)	222
12.3.9	MSCAN 发送器报文中止确认寄存器 (CANTAACK)	223
12.3.10	MSCAN 发送缓冲器选择寄存器 (CANTBSEL)	223
12.3.11	MSCAN 标识符验收控制寄存器 (CANIDAC)	224
12.3.12	MSCAN 其他寄存器 (CANMISC)	225
12.3.13	MSCAN 接收错误计数器 (CANRXERR)	226

5.8.3 系统后台调试强制复位寄存器 (SBDFR)

这个高页寄存器只包括一个只写控制位。串行后台命令，如 WRITE_BYTE 必须用来写入 SBDFR。从用户程序写入寄存器的尝试被忽略。读总是返回 0x00。



¹ 只能通过串行后台调试命令，而非用户程序写入 BDFR。

图 5-4. 后台调试强制复位寄存器 (SBDFR)

表 5-4. SBDFR 寄存器字段描述

字段	描述
0 BDFR	后台调试强制复位 — 可以使用串行后台命令，如 WRITE_BYTE，使外部调试主机强制进行目标系统复位。在该位中写入 1 就能强制进行 MCU 复位。该位不能从用户程序中写入。

5.8.4 系统选项寄存器 1 (SOPT1)

该高页寄存器是 write-once 寄存器，因此只重视复位后的第一次写入。它可以在任何时候读取。任何后续 SOPT1 写入尝试（有意或无意）都将被忽略，以避免对这些敏感器件的意外修改。该寄存器应在用户复位初始化程序期间写入，以设置期望的控制，即便期望的设置与复位设置相同。

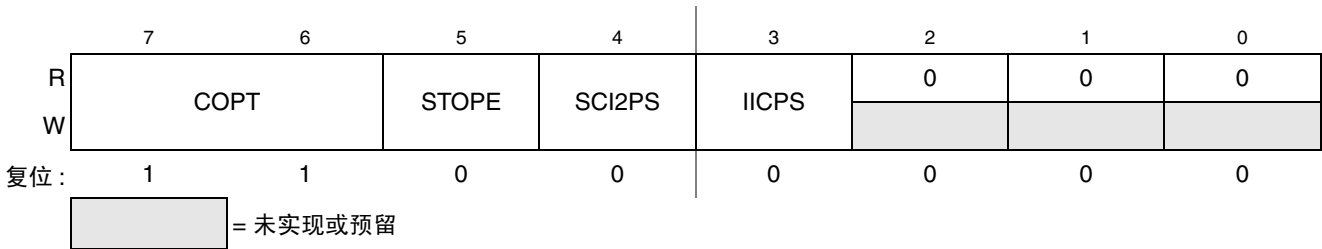


图 5-5. 系统选项寄存器 1 (SOPT1)

表 5-5. SOPT1 寄存器字段描述

字段	描述
7:6 COPT[1:0]	COP 看门狗超时 — 这些单次写入有效的位选择 COP 的超时周期。STOP2 中的 COPT 和 COPCLKS 定义 COP 超时周期。参见表 5-6。
5 STOPE	停止模式使能 — 这个单次写入有效的位用来使能停止模式。如果停止模式禁止且用户程序试图实施 STOP 指令，则会强制进行非法操作码复位。 0 停止模式禁止。 1 停止模式使能。

6.5.2.1 B 端口数据寄存器 (PTBD)

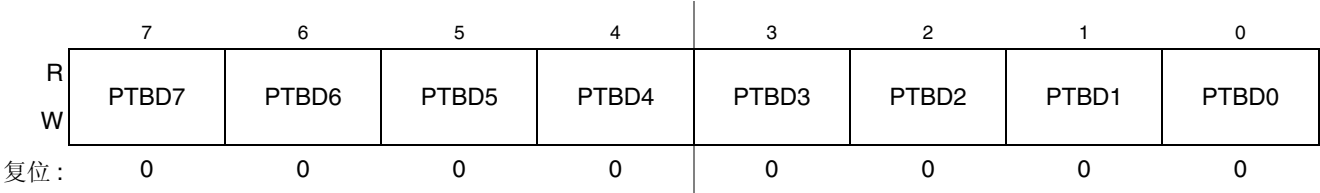


图 6-11. B 端口数据寄存器 (PTBD)

表 6-9. PTBD 寄存器字段描述

字段	描述
7:0 PTBD[7:0]	B 端口数据寄存器位 — 对于配置为输入的 B 端口管脚，读数返回管脚上的逻辑电平。对于配置为输出的 B 端口管脚，读数返回写入寄存器的最后一个值。 写入值被锁定在本寄存器的所有位中。对于配置为输出的 B 端口管脚，逻辑电平被输出到相应的 MCU 管脚。 复位强制 PTBD 都为 0，但是这些 0 未被输出到相应的管脚，因为复位还会将所有端口管脚配置为上拉 / 下拉被禁止的高阻抗输入。

6.5.2.2 B 端口数据方向寄存器 (PTBDD)

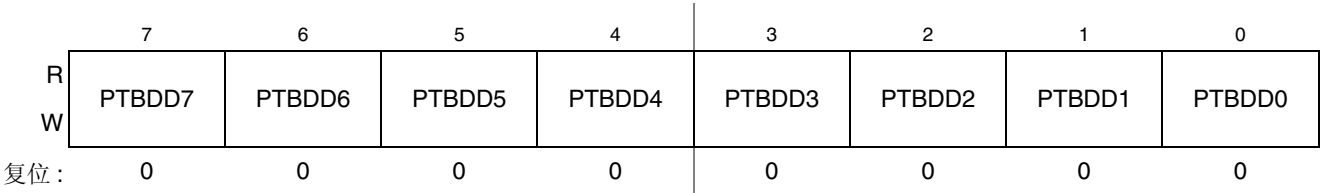


图 6-12. B 端口数据方向寄存器 (PTBDD)

表 6-10. PTBDD 寄存器字段描述

字段	描述
7:0 PTBDD[7:0]	B 端口位的数据方向 — 这些读 / 写位控制着 B 端口管脚的方向以及为 PTBD 读数读取的内容。 0 输入（输出驱动被禁止），读数返回管脚值。 1 B 端口位 - 输出驱动使能，PTBD 读数返回 PTBDn 内容。

8.4.4 MCG 状态和控制寄存器 (MCGSC)

	7	6	5	4	3	2	1	0
R	LOLS	LOCK	PLLST	IREFST	CLKST		OSCINIT	FTRIM
W								
POR:	0	0	0	1	0	0	0	0
复位:	0	0	0	1	0	0	0	U

图 8-6. MCG 状态和控制寄存器 (MCGSC)

表 8-4. MCG 状态和控制寄存器字段描述

字段	描述
7 LOLS	锁定状态丢失 — 该位是 FLL 或 PLL 锁定状态的标志。当锁定检测使能时，并且时钟已经锁定所定时，就设置 LOLS。锁定后，PLL 或 PLL 输出频率超出未锁定频率容限 D_{unl} 的范围。当 LOLIE 置位时，它决定是否在设置了 LOLS 时发送中断请求。当设置了 LOLS 时，可以通过复位或向 LOLS 写入逻辑 1 的方式清除 LOLS。向 LOLS 写入逻辑 0 不会产生影响。 0 自从上次清除 LOLS 以来，FLL 或 PLL 没有丢失锁定。 1 自从上次清除 LOLS 以来，FLL 或 PLL 丢失锁定。
6 LOCK	锁定状态 — 显示 FLL 或 PLL 是否已获得锁定。当 PLL 和 FLL 都被禁止时，锁定检测也被禁止。如果设置了锁定状态位，那么修改 IREFS、PLLS、RDIV[2:0]、TRIM[7:0]（如果为 FEI 或 FBI 模式）或 VDIV[3:0]（如果为 PBE 或 PEE 模式）中的任何一个值都可能造成锁定状态位清除，并在 FLL 或 PLL 重新获得锁定之前一直保持清除状态。进入停止模式也会造成锁定状态位清除，并在 FLL 或 PLL 重新获得锁定之前一直保持清除状态。进入 BLPI 或 BLPE 模式也会造成锁定状态位清除，并在 MCG 退出这些模式前一直保持清除状态，直到 FLL 或 PLL 重新获得锁定。 0 FLL 或目前未被锁定。 1 FLL 或目前被锁定。
5 PLLST	选择状态 — PLLST 位显示 PLLS 时钟的当前源。由于时钟域间的内部同步，在向 PLLS 位进行写入后，PLLST 位不会立即更新。 0 PLLS 时钟源是 FLL 时钟 1 PLLS 时钟源是 PLL 时钟
4 IREFST	内部参考状态 — IREFST 位显示当前参考时钟的源。由于时钟域间的内部同步，在向 IREFST 位进行写入后，IREFS 位不会立即更新。 0 参考时钟源是外部参考时钟（振荡器或外部时钟源由 MCGC2 寄存器中的 EREFS 位决定） 1 参考时钟源是内部参考时钟
3:2 CLKST	时钟模式状态 — CLKST 位显示当前时钟模式。由于时钟域间的内部同步，在向 CLKST 位进行写入后，CLKS 位不会立即更新。 00 Encoding 0 — 选择 FLL 输出 01 Encoding 1 — 选择内部参考时钟 10 Encoding 2 — 选择外部参考时钟 11 Encoding 3 — 选择 PLL 输出
1 OSCINIT	OCS 初始化 — 如果 ERCLKEN 选择了外部参考时钟源或者 MCG 正处于 FEE、FBE、PEE、PBE 或 BLPE 模式，并且设置了 EREFS，那么在完成了外部振荡器时钟的初始化周期后就要设置该位。只有当 EREFS 被清除或者 MCG 处于 FEI、FBI 或 BLPI 模式且 ERCLKEN 被清除时，这个位才被清除。
0 FTRIM	MCG 微调 — 控制内部参考时钟频率最细微的调节。设置 FTRIM 会以最小的幅度延长该时段，清除 FTRIM 会以最小的幅度缩短该时段。 如果保存在非易失性存储器中 FTRIM 值被使用，用户有责任将这个值从非易失性存储器位置复制到该寄存器的 FTRIM 位上。

4. 最后, FBI 转换到 FBILP 模式。
 a) MCGC2 = 0x08 (%00001000)
 — LP 中的 LP (位 3) 是 1。

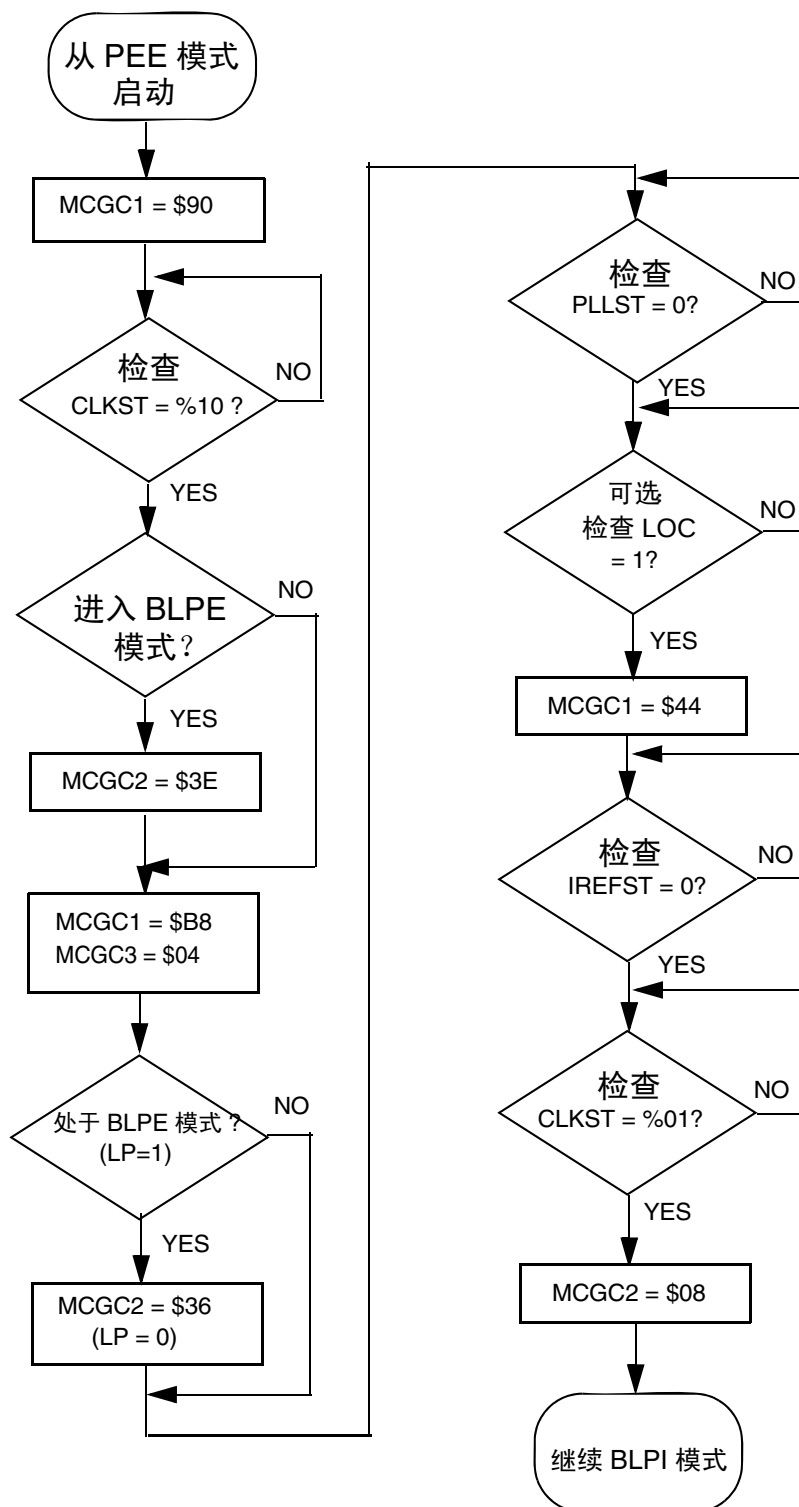


图 8-10. 使用 4 MHz 晶体从 PEE 转换到 BLPI 模式的流程图

表 10-9. APCTL1 寄存器字段描述

字段	描述
7 ADPC7	ADC 管脚控制 7 — ADPC7 用来控制与通道 AD7 连接的管脚。 0 AD7 管脚 I/O 控制使能 1 AD7 管脚 I/O 控制禁止
6 ADPC6	ADC 管脚控制 6 — ADPC6 用来控制与通道 AD6 连接的管脚。 0 AD6 管脚 I/O 控制使能 1 AD6 管脚 I/O 控制禁止
5 ADPC5	ADC 管脚控制 5 — ADPC5 用来控制与通道 AD5 连接的管脚。 0 AD5 管脚 I/O 控制使能 1 AD5 管脚 I/O 控制禁止
4 ADPC4	ADC 管脚控制 4 — ADPC4 用来控制与通道 AD4 连接的管脚。 0 AD4 管脚 I/O 控制使能 1 AD4 管脚 I/O 控制禁止
3 ADPC3	ADC 管脚控制 3 — ADPC3 用来控制与通道 AD3 连接的管脚。 0 AD3 管脚 I/O 控制使能 1 AD3 管脚 I/O 控制禁止
2 ADPC2	ADC 管脚控制 2 — ADPC2 用来控制与通道 AD2 连接的管脚。 0 AD2 管脚 I/O 控制使能 1 AD2 管脚 I/O 控制禁止
1 ADPC1	ADC 管脚控制 1 — ADPC1 用来控制与通道 AD1 连接的管脚。 0 AD1 管脚 I/O 控制使能 1 AD1 管脚 I/O 控制禁止
0 ADPC0	ADC 管脚控制 0 — ADPC0 用来控制与通道 AD0 连接的管脚。 0 AD0 管脚 I/O 控制使能 1 AD0 管脚 I/O 控制禁止

10.4.9 管脚控制寄存器 2 (APCTL2)

APCTL2 用来控制 ADC 模块的通道 8-15。

	7	6	5	4	3	2	1	0
R	ADPC15	ADPC14	ADPC13	ADPC12	ADPC11	ADPC10	ADPC9	ADPC8
W								
复位:	0	0	0	0	0	0	0	0

图 10-12. 管脚控制寄存器 2 (APCTL2)

10.7.2.6 代码抖动、非单调性和丢码

数模转换器容易受三种特殊形式的错误影响，它们是代码抖动、非单一性和丢码。

代码抖动是把某些点的给定输入电压在重复采样时的转换出两个值。在理想情况下，当输入电压低于转换电压时，转换器会产生更低代码（反之亦然）。但是，对于转换电压附近的一系列输入电压来说，即使非常小的系统噪音也可能造成转换器的抖动（两个代码之间）。在 8 位或 10 位模式中，这个范围通常是 $1/2 \text{ lsb}$ ；在 12 位模式中，这个范围通常是 2 lsb ，并会随着噪音的提高而提高。

通过重复进行输入采样和算术平均，这个错误可能会减小。此外，11.6.2.3 节中也讨论了一些减小这一错误的技巧。

非单调性的定义是转换器将高的输入电压转换到低的代码（代码抖动除外）。丢码是那些没有任何输入值进行转换的值。

在 8 位或 10 位模式中，ADC 保证具有单调性，并且没有丢码。

11.5.1.4 停止信号

主机可以通过发送停止信号终止通信，以释放总线。然而，主机可以直接发送启动信号和呼叫命令，而无需首先发送停止信号。这被称为重复启动。停止信号的定义是 SCL 在逻辑 1 位置时的从低到高的 SDA 跳变（见图 11-9）。

即便从机发出一个应答，主机也可以发送停止信号，此时从机必须释放总线。

11.5.1.5 重复启动信号

如图 11-9 所示，重复启动信号是在无需首先生成停止信号以终止通信的情况下发送的信号。该信号由主机用来与另外一个从机进行通信，或者在不同模式（传输 / 接收模式）中与同一从机进行通信，而不需要释放总线。

11.5.1.6 仲裁程序

IIC 总线是真正的多主控总线，允许一个以上的主机连接到 IIC 上。如果两个甚至多个主机试图同时控制总线，那么就由时钟同步过程来决定总线时钟，总线低周期等于最长的时钟低段，总线高周期等于最短的时钟高段。竞争主机的相对优先级由数据仲裁过程确定，如果一个总线主机发出逻辑 1，而另一个发出逻辑 0，那么前者就丢失仲裁。失败的一方立即切换到从机接收模式，停止驱动 SDA 输出。在这种情况下，从主模式到从模式的转换不会生成停止条件。与此同时，会通过硬件设置一个状态位，表示仲裁丢失。

11.5.1.7 时钟同步

因为线与逻辑在 SCL 线上执行，所以 SCL 上的从高到低的跳变会影响连接到总线上的所有器件。节点开始计数它们的低态周期，当节点的时钟进入低态后，它将一直保持 SCL 线的低态，直到达到时钟高态。然而，如果另一个节点时钟仍处于低态时段，这时此节点时钟从低到高的变化就不会改变 SCL 线的状态。因此，经过同步的时钟 SCL 由具有最长低态周期的节点保持。低态周期较短的节点在该时段进入高态等待（见图 11-10）。当所有有关节点均已完成它们的低态周期时，同步时钟 SCL 线被释放和拉高。这样，节点时钟和 SCL 线的状态之间就没有任何差异，所有节点开始计数它们的高态周期。第一个完成其高态周期的节点再次拉低 SCL 线。

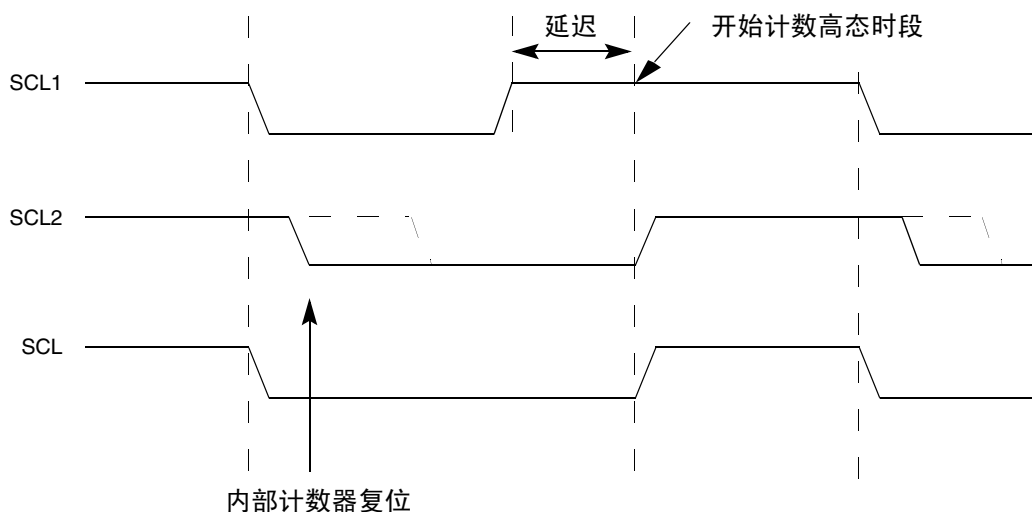


图 11-10. IIC 时钟同步

12.1.3 结构图

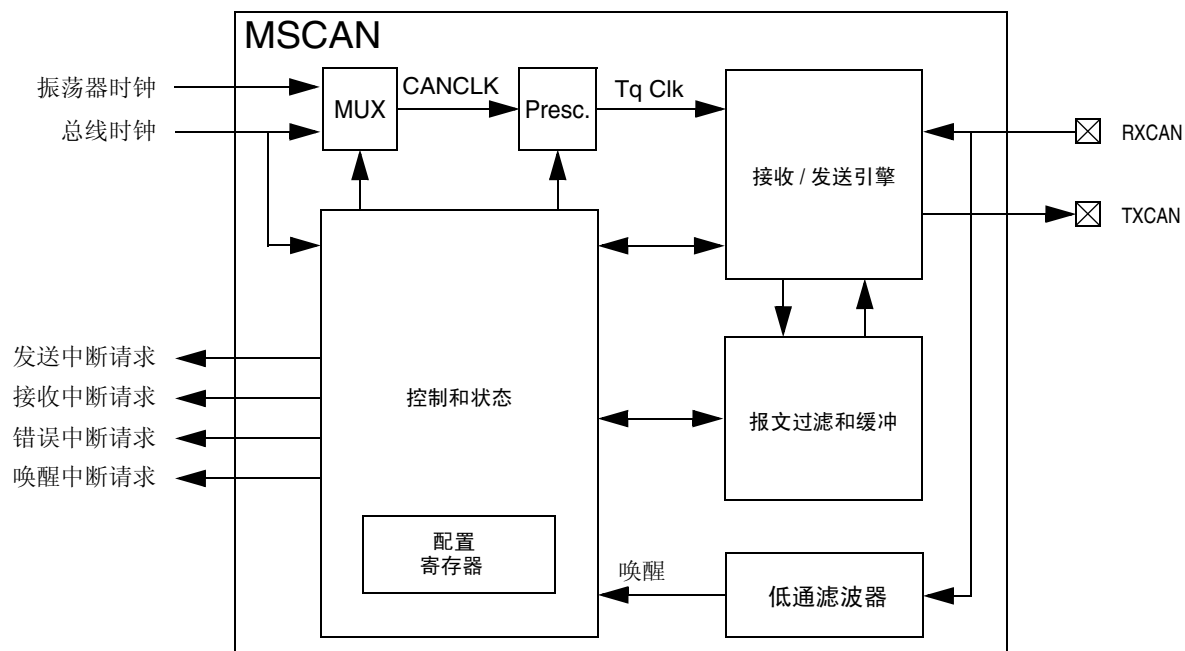


图 12-2. MSCAN 结构图

12.2 外部信号描述

MSCAN 使用两个外部管脚：

12.2.1 RXCAN — CAN 接收器输入管脚 Y

RXCAN 是 MSCAN 接收器输入管脚。

12.2.2 TXCAN — CAN T 发射器输出管脚

TXCAN 是 MSCAN 发送器输出管脚。TXCAN 输出管脚代表 CAN 总线上的逻辑层：

0 = 显性状态

1 = 隐性状态

12.2.3 CAN 系统

图 12-3. 显示了一个具有 MSCAN 的典型 CAN 系统。每个 CAN 节点通过收发器物理连接到 CAN 总线线路。e. 收发器能够驱动 CAN 总线所需的大电流，并具有对故障 CAN 或故障节点的电流保护。

12.5.2 报文存储

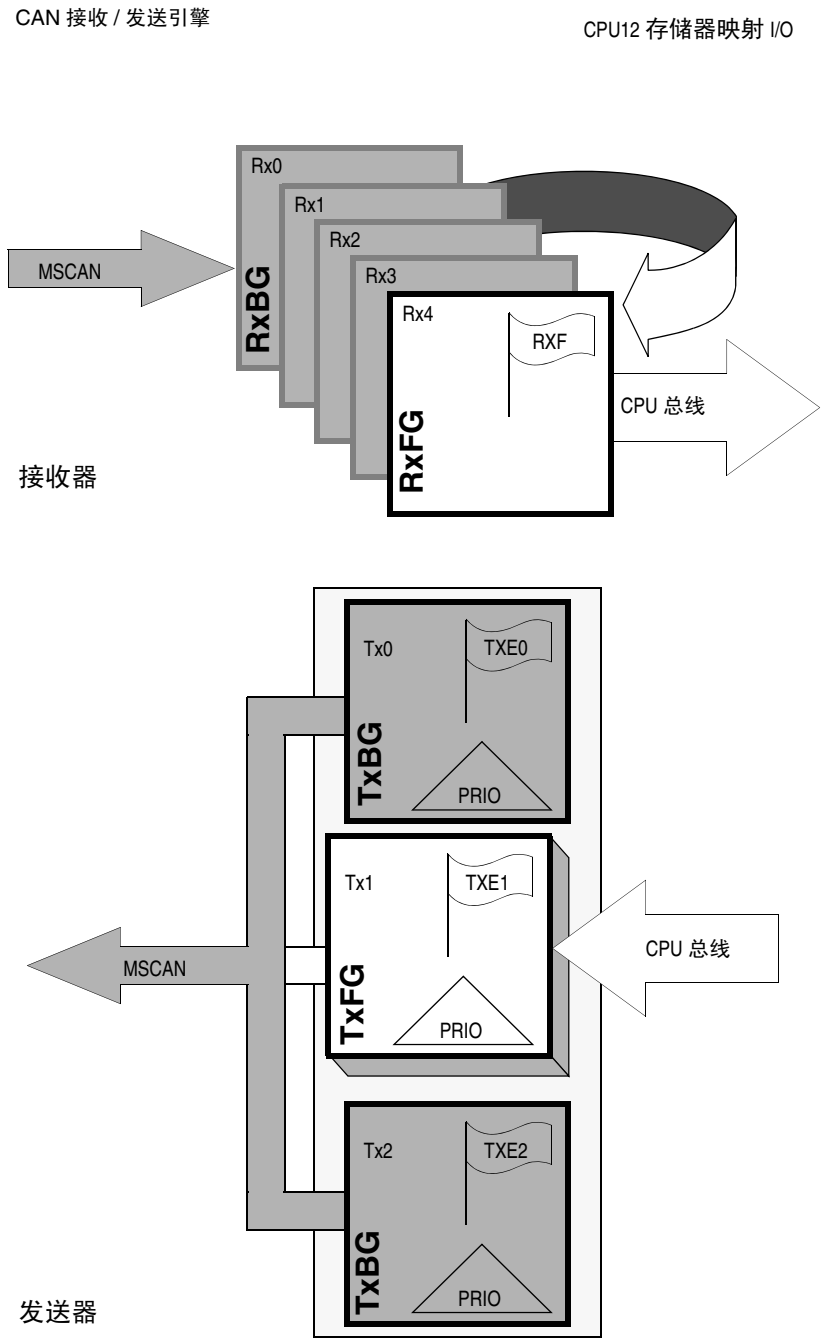


图 12-38. 报文缓冲器结构的用户模型

MSCAN 促进了一个能够满足一系列网络应用需求的先进报文存储系统。

表 13-1. SPIC1 字段描述 (continued)

字段	描述
1 SSOE	辅选择输出使能 — 该位的使用结合 SPCR2 中的模式故障使能 (MODFEN) 位和主从 (MSTR) 控制位, 以确定 SS 管脚的功能, 如表 13-2 所示。
0 LSBFE	LSB 先发 (移位器方向) 0 SPI 串行数据传输始于最高位 1 SPI 串行数据传输始于最低位

表 13-2. SS 管脚功能

MODFEN	SSOE	主模式	辅模式
0	0	通用 I/O (非 SPI)	从选择输入
0	1	通用 I/O (非 SPI)	从选择输入
1	0	模式故障的 SS 输入	从选择输入
1	1	自动 SS 输出	从选择输入

注意

确保在位更改为 CPHA 位的同时 SPI 不得禁止 (SPE=0)。这些更改应作为独立操作执行, 否则可能发生意外。

13.4.2 SPI 控制寄存器 2 (SPIC2)

该读 / 写寄存器用来控制 SPI 系统的可选功能。位 7、6、5 和 2 不执行, 始终读为 0。

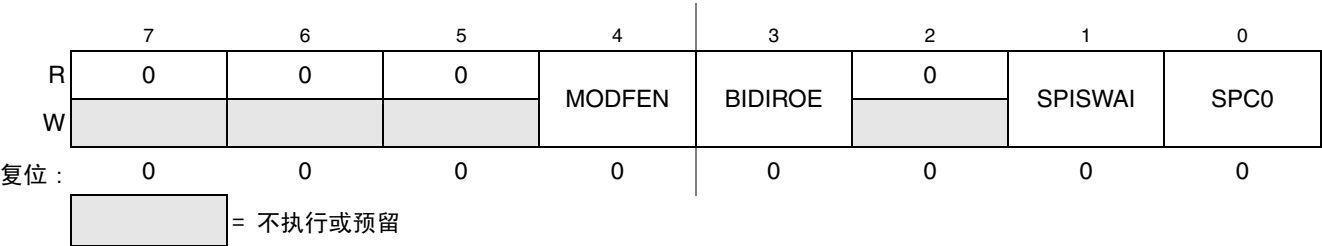


图 13-6. SPI 控制寄存器 2 (SPIC2)

表 13-3. SPIC2 寄存器字段描述

字段	描述
4 MODFEN	主模式故障功能使能 — 当为辅模式配置 SPI 时, 该位没有意义或影响 (SS 管脚是从选择输入)。在主模式中, 该位决定 SS 管脚的使用方式 (如需了解更多信息, 参见表表 13-2。 0 模式故障功能禁止, 主 SS 管脚恢复为不受 SPI 控制的通用 I/O。 1 模式故障功能使能, 主 SS 管脚用作模式故障输入或辅选择输出
3 BIDIROE	双向模式输出使能 — 双向模式由 SPI 管脚控制 0 (SPC0 = 1) 使能时, BIDIROE 决定 SPI 数据输出驱动器是否被使能为单个双向 SPI I/O 管脚。根据 SPI 是配置为主 SPI 还是从 SPI, 它将 MOSI (MOMI) 或 MISO (SISO) 管脚分别用作单个 SPI 数据 I/O 管脚, 当 SPC0 = 0, BIDIROE 没有意义或影响。 0 输出驱动器禁止, 因此 SPI 数据 I/O 管脚作为输入 1 SPI I/O 管脚作为输出使能

13.4.5 SPI 数据寄存器 (SPID)

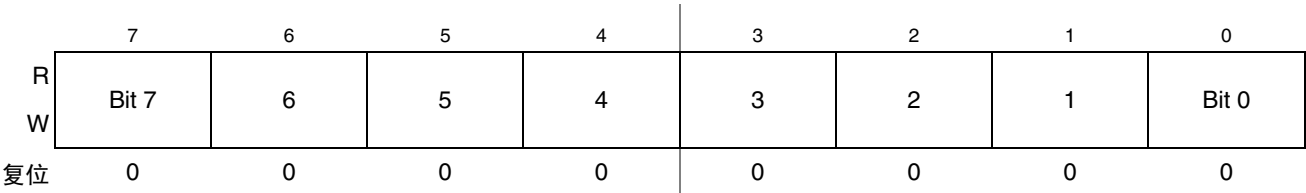


图 13-9. SPI 数据寄存器 (SPID)

读该寄存器会返回从接收数据缓冲器读取的数据。写该寄存器会把数据写入发送数据缓冲器。当 SPI 配置为主 SPI 时，向发送数据缓冲器写入数据将发起一个 SPI 传输。

数据不应写入发送数据缓冲器，除非设置了 SPI 发送缓冲器空标记（SPTEF），显示发送缓冲器中有一定的空间来排队新的发送字节。

在设置了 SPRF 后、完成另外一个传输前，可以随时从 SPID 中读取数据。如果在新传输结束前未能从接收数据缓冲器读取数据，就会导致接收溢出，新传输的数据丢失。

13.5 功能描述

检查 SPI 发送缓冲器空标记（SPTEF = 1）然后将数据字节写入主 SPI 器件中的 SPI 数据寄存器，这样就发起 SPI 传输。当 SPI 移位寄存器可用时，该数据字节从发送数据缓冲器移到移位器，设置 SPTEF，显示缓冲器中有一定的空间来排队另外一个发送字符（如需要的话），SPI 串行传输开始。

在 SPI 传输过程中，数据在一个 SPSCCK 边沿从 MOSI 管脚上进行采样（读取）和转移，半个 SPSCCK 周期后改变 MOSI 管脚上的位值。在 8 个 SPSCCK 周期后，主 SPI 的移位寄存器中的数据已经从 MOSI 管脚转移到从 SPI，同时 MISO 管脚里的 8 位数据被转移到主 SPI 的移位寄存器中。传输结束时，收到的数据字节从移位器转移到接收数据缓冲器，并设置 SPRF，显示数据可以通过读取 SPID 进行读取。如果传输结束时发送缓冲器中有另外一个数据字节在等待，它就被移到移位器，设置 SPTEF，启动新传输。

在正常情况下，SPI 数据首先传输最高位（MSB）。如果设置了最低位先发使能位（LSBFE），SPI 数据首先移位 LSB。

当 SPI 配置为从 SPI 时，传输开始前其 SS 管脚必须驱动到低态，整个传输过程 SS 必须保持低态。如果选择了 CPHA = 0 的时钟格式，SS 必须在两次连续传输间被驱动到逻辑 1。如果 CPHA = 1，SS 在两次连续传输间必须保持低态。如需了解更多详细信息，参见 13.5.1，“SPI 时钟格式”。

因为发送器和接收器被双缓冲，因此第二个字节（除了当前正在移出的字节外）可以排队进入发送数据缓冲器，原来接收的字符可以放在接收数据缓冲器中，同时新字符被转移进来。SPTEF 标记显示发送缓冲器何时新字符空间。SPRF 标记显示已接收的字符何时出现在接收数据缓冲器。在下次传输完成或导致接收溢出错误前，已接收字符必须从接收缓冲器读出（读 SPID）。

当出现接收溢出时，新数据丢失，因为接收缓冲器仍留有以前的字符，不准备接受新数据。这种溢出没有任何显示，因此应用系统设计人员必须确保在发起新传输前以前的数据已经从接收缓冲器中读出。

第 14 章

串行通信接口 (S08SCIV4)

14.1 介绍

MC9S08DZ60 系列中的所有 MCU 都包括 SCI1 和 SCI2。

注意

MC9S08DZ60 系列器件在较高电压范围（2.7 V~5.5 V）中运行，不包括 STOP1 模式。请忽略 STOP1 参考。

14.1.1 SCI2 配置信息

使用 SOPT1 寄存器中的 SCI2PS 位，SCI2 模块的 TxD2 和 RxD2 管脚的位置可以在软件控制下重新安排，如表 14-1. 所示。SOPT1 中的 SCI2PS 位选择哪两个通用 I/O 口参予 SCI2 通讯。

表 14-1. SCI2 位置选项

SOPT1 中的 SCI2PS	TxD2 的端口管脚	RxD2 的端口管脚
0 (默认)	PTF0	PTF1
1	PTE6	PTE7

表 14-3. SCIXBDL 字段描述

字段	描述
7:0 SBR[7:0]	波特率模数系数 — SBR[12:0] 中的这 13 个位统称为 BR，它们为 SCI 波特率发生器设置模数除数系数。当 BR = 0，SCI 波特率发生器禁止，以降低电源电流。当 BR = 1~8191 时，SCI 波特率 = BUSCLK / (16xBR)。也可参见表 14-2. 中的 BR 位。

14.2.2 SCI 控制寄存器 1(SCIXC1)

该读 / 写寄存器用于控制 SCI 系统的各种可选功能。

	7	6	5	4	3	2	1	0
R	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT
W								
复位	0	0	0	0	0	0	0	0

图 14-6. SCI 控制寄存器 1 (SCIXC1)

表 14-4. SCIXC1 字段描述

字段	描述
7 LOOPS	循环模式选择 — 在环回模式和正常的 2 管脚全双工模式之间选择。当 LOOPS = 1，发射器输出内部连接到接收器输入。 0 正常运行 — RxD 和 TxD 使用独立管脚。 1 循环模式或单线模式，发射器输出内部连接到接收器输入（见 <st-blue>RSRC 位）。SCI 不使用 RxD 管脚。
6 SCISWAI	等待模式中的 SCI 停止 0 SCI 时钟继续在等待模式中运行，因此 SCI 可以是唤醒 CPU 的中断源。 1 SCI 时钟在 CPU 处于等待模式时冻结。
5 RSRC	接收器源选择 — 该位没有任何意义或影响，除非 LOOPS 位设置为 1。当 LOOPS = 1 时，接收器输入内部连接到 TxD 管脚，RSRC 决定该连接是否也连接到发射器输出。 0 假设 LOOPS = 1，RSRC = 0 选择内部环回模式，SCI 不使用 RxD 管脚。 1 单线 SCI 模式，其中 TxD 管脚连接到发射器输出和接收器输入。
4 M	9 位或 8 位模式选择 0 正常 — 启动 + 8 个数据位（LSB 先发）+ 停止 1 接收器和发射器使用 9 位数据字符 启动 + 8 个数据位（LSB 先发）+ 第 9 个数据位 + 停止
3 WAKE	接收器唤醒方法选择 — 详情请 14.3.3.2, “接收器唤醒操作” 0 闲置线路唤醒 1 地址标记唤醒
2 ILT	闲置线路类型选择 — 将该位设置为 1，确保字符末端的停止位和逻辑 1 位不会计数闲置线路检测逻辑所需的逻辑高电平的 10 或 11 个位时间。如需了解更多信息，14.3.3.2.1, “闲置线路唤醒” 0 开始位后闲置字符位计数开始。 1 停止位后闲置字符位计数开始。

14.2.6 SCI 控制寄存器 3 (SCIxC3)

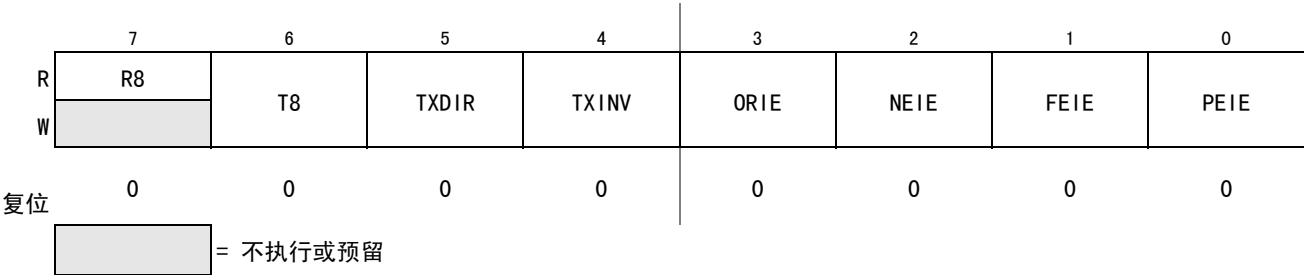
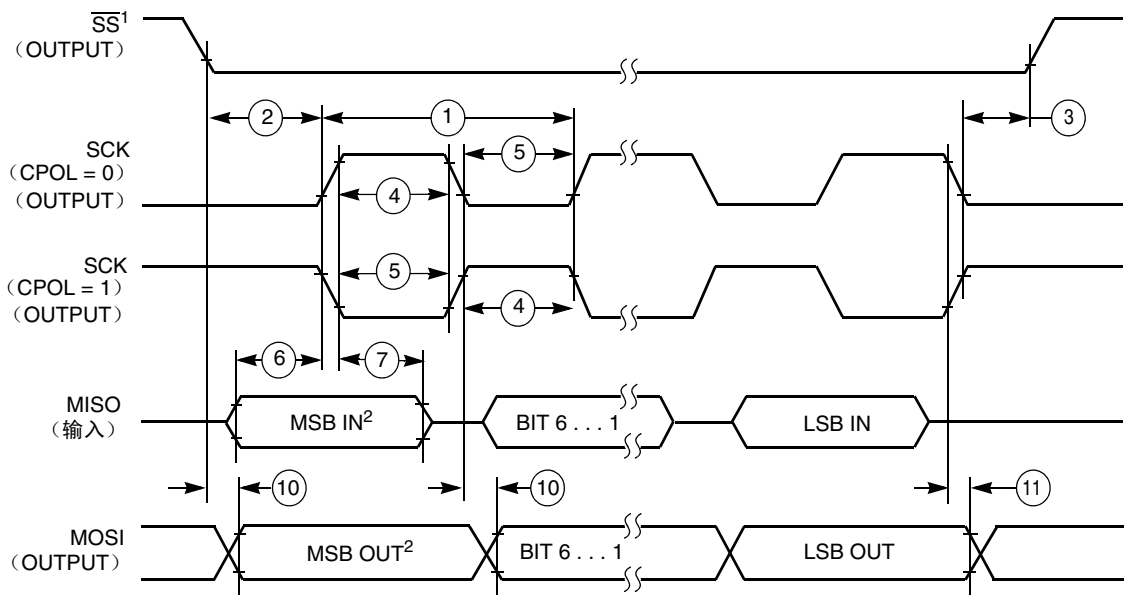


图 14-10. SCI 控制寄存器 3 (SCIxC3)

表 14-8. SCIxC3 字段描述

字段	描述
7 R8	接收器的第 9 个数据位 — 当 SCI 配置用于 9 位数据（M = 1）时，R8 可以视为 SCIxD 寄存器中缓冲数据的 MSB 左侧的第 9 个接收数据位。读 9 位数据时，读 SCIxD 前读取 R8，因为读 SCIxD 能够完成自动的标记清除顺序，允许 R8 和 SCIxD 被新数据覆盖。
6 T8	9 个数据位发射器 — 当 SCI 配置用于 9 位数据（M = 1）时，T8 可以视为 SCIxD 寄存器中缓冲数据的 MSB 左侧的第 9 个接收数据位。写 9 位数据时，整个 9 位值在 SCIxD 写入后被传输到 SCI 移位寄存器，因此，T8 应在 SCIxD 写入前写入（如果它需要从它的原来值中修改）。如果 T8 不需要在新值（例如当它用于生成标记或空间奇偶效验）中修改，它就不需要在每次写 SCIxD 时写入。
5 TXDIR	单线模式中的 TxD 管脚方向 — 当 SCI 配置用于单线半双工运行（LOOPS = RSRC = 1）时，该位决定 TxD 管脚上数据的方向。 0 TxD 管脚是单线模式中的输入。 1 TxD 管脚是单线模式中的输出。
4 TXINV ¹	发送数据反转 — 设置该位反转已发送数据输出的极性。 0 发送数据未被反转 1 发送数据被反转
3 ORIE	溢出中断使能 — 该位使能溢出标记（OR）以生成硬件中断请求。 0 OR 中断禁止（使用轮询） 1 当 OR = 1 时允许硬件中断
2 NEIE	噪音错误中断使能 — 该位使能噪音标记（NF）以生成硬件中断请求。 0 NF 中断禁止（使用轮询） 1 当 NF = 1 时允许硬件中断
1 FEIE	成帧错误中断使能 — 该位使能成帧错误标记（FE）以生成硬件中断请求。 0 NF 中断禁止（使用轮询） 1 当 NF = 1 时允许硬件中断
0 PEIE	奇偶效验错误中断使能 — 该位使能奇偶错误标记（PF）以生成硬件中断请求。 0 PF 中断禁止（使用轮询） 1 当 PF = 1 时允许硬件中断

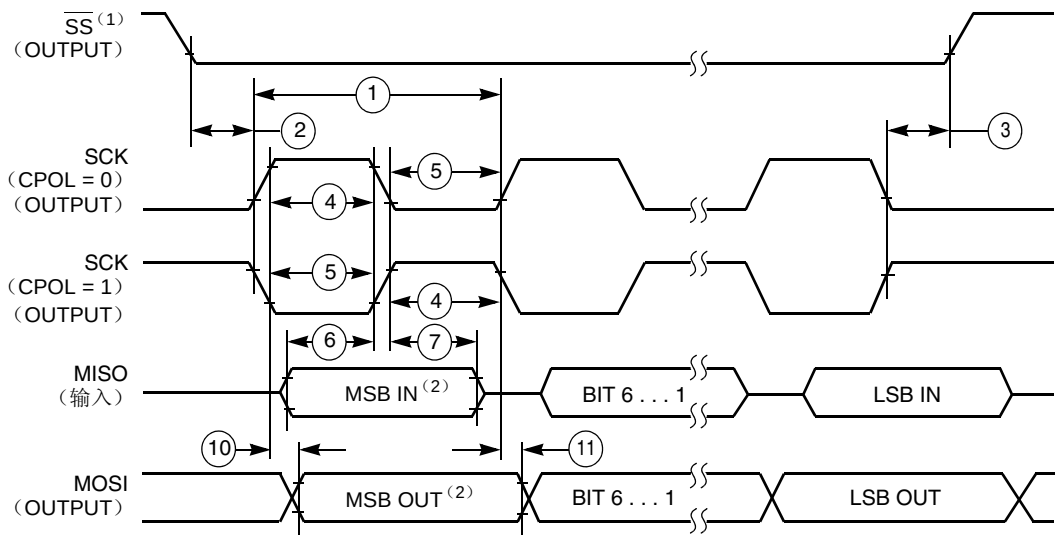
¹ 设置 TXINV 会反转所有情况下的 TxD 输出：数据位、起始位和停止位、中止符、闲置。



注释:

- 1. SS 输出模式 (MODFEN = 1, SSOE = 1) .
- 2. LSBF = 0。当 LSBF = 1 时，位顺序是 LSB、位 1、...、位 6、MSB。

图 A-7. SPI 主时序 (CPHA = 0)



注释

- 1. SS 输出模式 (MODFEN = 1, SSOE = 1)
- 2. LSBF = 0。当 LSBF = 1 时，位顺序是 LSB、位 1、...、位 6、MSB。B.

图 A-8. SPI 主时序 (CPHA = 1)

所有 TPM 通道都可以独立编程为输入捕捉、输出比较或缓冲边沿 PWM 通道。

B.4 外部信号描述

与定时器关联的任意管脚配置为定时器输入时，被动上拉功能使能。复位后，TPM 模块禁止，所有管脚默认设置为被动上拉功能禁止的通用输入。

B.4.1 外部 TPM 时钟源

当定时器状态和控制器寄存器里的控制位 `CLKSB:CLKSA` 设置为 1:1 时，预分频器及 TPMx 的 16 位计数器由外部时钟源 `TPMxCLK` 驱动。该时钟源与 I/O 管脚连接。外部时钟和 TPM 的其余部分之间需要一个同步装置。该同步装置采用总线时钟，因而外部源的频率必须低于总线速率时钟频率的 1.5 倍。这个外部时钟源的频率上限明确规定为总线频率的 1/4，以便能适应负载循环和相位锁定环路（PLL）/ 频率锁定环路（FLL）频率抖动产生的影响。

在部分设备上，外部时钟输入由其中一个 TPM 通道共享。当 TPM 通道作为外部时钟输入共享时，关联 TRM 通道不能使用该管脚。（该通道仍然可以作为软件定时器用于输出比较模式）。此外，如果其中一个 TPM 通道用作外部时钟输入，对应的 `ELSnB:ELSnA` 控制位必须设置为 0:0，因此该通道不会使用同一个管脚。

B.4.2 TPMxCHn — TPMx 通道 n I/O 管脚

所有 TPM 通道都与 MCU 上的一个 I/O 管脚关联。这个管脚的功能与通道配置有关。部分情况不需要管脚功能，因此该管脚由通用 I/O 控制装置进行控制。当定时器拥有某个端口管脚的控制时，端口数据和数据方向寄存器不会对关联管脚产生影响。如需了解共享管脚功能的相关信息，请参见 *Pins and Connections* 章节。

B.5 寄存器定义

TPM 包括：

- 8 位状态和控制寄存器 (TPMxSC)
- 16 位计数器 (TPMxCNTH:TPMxCNTL)
- 16 位模量寄存器 (TPMxMODH:TPMxMODL)

每个定时器通道都包括：

- 8 位状态和控制寄存器寄存器 (TPMxCnSC)
- 16 位通道值寄存器 (TPMxCnVH:TPMxCnVL)

如需了解所有 TPM 寄存器的绝对地址分配信息，请参见本文 *Memory* 章节的直接地址页寄存器概况。

在输入捕获模式中，读取任何一个字节（无论是 TPMxCnVH 还是 TPMxCnVL）都会使两个字节的內容被锁入到缓冲器中。这些內容一直锁定在这个缓冲器中，直到另一个字节被读取。当 TPMxCnSC 寄存器被写入时，锁存机制可复位（变为未锁存状态）。

在输出对比或 PWM 模式中，写入任何一个字节（无论是 TPMxCnVH 还是 TPMxCnVL）都会使该值被锁入到缓冲器中。两个字节都被写入后，它们会作为连贯的 16 位值传输到定时器通道值寄存器中。这一锁存机制可以通过写入 TPMxCnSC 寄存器来人工进行复位。

这种锁定机制允许以任何顺序进行连贯的 16 位写入，这对各种编译器实施方案都很友好。

B.6 功能介绍

所有 TPM 功能都与允许灵活选择时钟源和预分频器的 16 位主计数器相关。此外，16 位模数寄存器还与 TPM 中的 16 位主计数器相关。每个 TPM 通道可与 MCU 管脚及可屏蔽的中断功能相关。

TPM 具有中央对齐的功能（由 TPMxSC 中 CPWMS 控制位控制）。当 CPWMS 被设置为 1 时，定时器计数器 TPMxCNT 改变为向上 / 向下计数器并且相关 TPM 中的所有通道都作为中央对齐的 PWM 通道。当 CPWMS=0 时，每个通道可独立配置，以便以输入捕获、输出对比或缓冲的边缘对齐 PWM 模式运行。

后面各小节介绍 16 位主计数器和计数器的每种运行模式（输入捕获、输出对比、边缘对齐 PWM 和中央对齐 PWM）。因为管脚运行和中断活动的细节取决于操作模式，这些主题将在相关模式的章节中介绍。

B.6.1 计数器

所有定时器功能都基于 16 位主计数器（TPMxCNTH:TPMxCNTL）。本小节讨论时钟源选择、向上计数和向下计数、计数结束溢出和手动计数器复位。

在任何 MCU 复位后，CLKSB:CLKSA = 0:0，所以没有选择时钟源，并且 TPM 是不活动的。正常情况下，CLKSB:CLKSA 将设置为 0:1，使总线时钟驱动定时器计数器。TPM 的时钟源可以选为关闭、总线时钟（BUSCLK）、固定系统时钟（XCLK）或外部输入。外部时钟方法的最大允许频率为总线速率的 1/4。参见 B.5.1，“定时器状态和控制寄存器 (TPMxSC)”及表 B-2 来了解有关时钟源的更多信息。

当微控制器处于活动后台模式时，TPM 会临时挂起所有计数，直到微控制器返回到正常用户操作模式。在停止模式下，所有 TPM 时钟被停止；因此在时钟恢复前，TPM 一直被有效地关闭。在等待模式期间，TPM 继续正常运行。

16 位主计数器有两种计数模式。选择中央对齐 PWM 时（CPWMS = 1），计数器以向上 / 向下计数模式运行。否则，计数器作为简单的向上计数器运行。用作向上计数器时，16 位主计数器从 0x0000 开始计数，直到终端计数，然后重新从 0x0000 开始。最大计数为 0xFFFF 或 TPMxMODH:TPMxMODL 中的模数值。

当规定了中央对齐 PWM 操作时，计数器从 0x0000 向上计数，直到达到终端计数，然后向下计数到 0x0000，再从这里向上计数。0x0000 和终端计数值（TPMxMODH:TPMxMODL 中的值）为正常长度计数（一个定时器时钟周期长度）。

如果通道值寄存器 TPMxCnVH:TPMxCnVL 为零或负数（位 15 被设置），工作周期将是 0%。如果 TPMxCnVH:TPMxCnVL 是正值（位 15 被清除）并大于（非零）模数设置，工作周期将为 100%，因为工作周期比较将不会发生。这意味着模数寄存器设置的可用周期范围为 $0x0001$ 至 $0x7FFE$ （如果不需要 100% 的工作周期，则为 $0x7FFF$ ）。这不是一个重要的限制条件，因为结果周期远远长于正常应用所需的周期。

$\text{TPMxMODH:TPMxMODL} = 0x0000$ 是不应与中央对齐 PWM 模式一同使用的特例。当 $\text{CPWMS}=0$ 时，这一情况与在 $0x0000$ 和 $0xFFFF$ 之间自由运行的计数器对应，然而当 $\text{CPWMS}=1$ 时，计数器需要与 $0x0000$ 以外的某个模数寄存器值有效匹配，以便将方向从向上计数改变为向下计数。

图 B-11 显示了 TPM 通道寄存器（乘以 2）中的输出比较值。该值决定 CPWM 信号的脉冲宽度（工作周期）。如果 $\text{ELSnA}=0$ ，向上计数时的比较匹配会强制 CPWM 输出信号降低；而向下计数时的比较匹配会强制输出升高。计数器向上计数，直到达到中的模数设置，然后向下计数，直到 0。这样就可将周期设置为 TPMxMODH:TPMxMODL 的两倍。

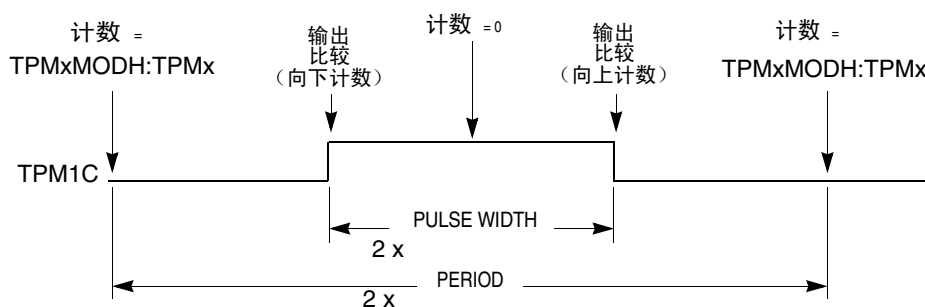


图 B-11. CPWM 周期和脉冲宽度 ($\text{ELSnA} = 0$)

中央对齐 PWM 输出生成的噪音一般比边缘对齐 PWM 小，因为相同系统时钟边上排列的输入 / 输出过渡更少。某些类型的电机也需要这类 PWM。

因为 HCS08 是一个 8 位 MCU 系列。定时器通道寄存器中的设置被缓存，以确保连贯的 16 位更新并避免意外的 PWM 脉冲宽度。写入到任何寄存器，不管是 TPMxMODH 、 TPMxMODL 、 TPMxCnVH 、还是 TPMxCnVL ，实际就是写入到缓冲器寄存器。只有在 16 位寄存器的两个 8 位字节都被写入而且定时器计数器溢出后（在模数寄存器上的终端计数结束后从向上计数改变为向下计数），值才被发送到相应的定时器通道寄存器中。这一 TPMxCNT 溢出要求只适用于 PWM 通道，而不是输出比较。

当 $\text{TPMxCNTH:TPMxCNTL} = \text{TPMxMODH:TPMxMODL}$ 时，TPM 可在计数结束时生成一个 TOF 中断。用户可以选择重新上载任何数量的 PWM 缓冲器，并且它们可以在新的周期开始时同时更新。

TPMxSC 写入操作会取消写入到 TPMxMODH and/or TPMxMODL 中的任何值，并且为模数寄存器复位一致性机制。 TPMxCnSC 写入操作会取消写入到通道值寄存器中的任何值，并且为 TPMxCnVH:TPMxCnVL 复位一致性机制。