

Welcome to [E-XFL.COM](http://E-XFL.COM)

### What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

### Applications of "[Embedded - Microcontrollers](#)"

#### Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I <sup>2</sup> C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	60KB (60K x 8)
Program Memory Type	FLASH
EEPROM Size	2K x 8
RAM Size	4K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 85°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	<a href="https://www.e-xfl.com/pro/item?MUrl=&amp;PartUrl=mc9s08dz60clc">https://www.e-xfl.com/pro/item?MUrl=&amp;PartUrl=mc9s08dz60clc</a>

表 1-1. MC9S08DZ60 系列产品的特性（按 MCU 和管脚数量分）

特性	MC9S08DZ60			MC9S08DZ48			MC9S08DZ32			MC9S08DZ16	
Flash 大小 (字节)	60032			49152			33792			16896	
RAM 大小 (字节)	4096			3072			2048			1024	
EEPROM 大小 (字节)	2048			1536			1024			512	
管脚数量	64	48	32	64	48	32	64	48	32	48	32
ACMP1	是										
ACMP2	是	是 <sup>1</sup>	no	是	是 <sup>1</sup>	no	是	是 <sup>1</sup>	no	是 <sup>1</sup>	no
ADC 通道数	24	16	10	24	16	10	24	16	10	16	10
DBG	是										
IIC	是										
IRQ	是										
MCG	是										
MSCAN	是										
RTC	是										
SCI1	是										
SCI2	是										
SPI	是										
TPM1 通道数	6	6	4	6	6	4	6	6	4	6	4
TPM2 通道数	2										
XOSC	是										
COP Watchdog	是										

<sup>1</sup> ACMP20 不可用。

## 1.2 MCU 结构图

图 1-1 为 MC9S08DZ60 系列产品的系统结构图。

### 4.5.8 向量重定向

在 Flash 受到块保护的同时，复位和中断向量也将受到有效保护。向量重定向使用户可以修改中断向量信息而不必影响对 bootloader 和复位向量空间的保护。

。要使重定向正常进行，至少一部分 Flash 必须通过对地址 0xFFBD 上的 NVPROT 寄存器进行编程来进行块保护。所有中断向量（内存位置为 0xFFC0–0xFFFFD）都被重定向，虽然复位向量（0xFFFFE:0xFFFFF）没有被重定向。

例如，如果 Flash 的 1536 个字节受到保护，那么受保护的地址区域为从 0xFA00 到 0xFFFF。中断向量 (0xFFC0–0xFFFFD) 被重定向到位置 0xF9C0–0xF9FD。如果启用了向量重定向并发生了中断，那么 0xF9E0:0xF9E1 上的值被用于向量而不是 0xFFE0:0xFFE1 上的值。这样，用户就可以利用新的程序代码对 Flash 的未保护部分进行重新编程，增加新的中断向量值，同时保留受保护的区域（这包括不发生任何变化的缺省向量）。

### 4.5.9 安全性

MC9S08DZ60 系列包含用于防止非法访问 Flash、EEPROM 和 RAM 存储器内容的电路。启用了安全性功能后，Flash、EEPROM 和 RAM 被看作是安全的资源。直接页面寄存器、高端页面寄存器和后台调试控制器被看作是不安全的资源。安全存储器中执行的程序可以正常访问 MCU 位置和资源。通过不安全存储器空间内运行的程序或通过后台调试接口访问安全存储器位置的任何尝试都将被阻止（写入操作被忽略，而读取操作则全部返回 0）。

安全性的启用和关闭由 FOPT 寄存器中的两个寄存器位 (SEC[1:0]) 的状态确定。在复位过程中，非易失性位置 NVOPT 的内容从 Flash 中拷贝到高端页面寄存器空间内的工作 FOPT 寄存器上。用户可以通过编程 NVOPT 位置来启用安全性。这一操作可以在对 Flash 进行编程的同时进行。1:0 状态会关闭安全性；而另外 3 种组合会启用安全性。请注意，擦除状态 (1:1) 会使 MCU 处于安全状态。在开发过程中，不管 Flash 什么时候被擦除，立即将 NVOPT 中的 SEC0 设置为 0 以便使 SEC = 1:0 是一种有效的方法。这将使 MCU 在后来的复位完成后继续处于不安全状态。

MCU 处于安全状态时不能启用片上调试模块。您可以为后台存储器访问命令使用独立的后台调试控制器，但 MCU 不能进入主动后台模式，除非您在复位的上升边将 BKGD 保持在较低位置。

用户可以选择通过一个 8 字节后门安全密钥来设置允许或不允许安全解锁机制。如果 NVOPT/FOPT 中的非易失性 KEYEN 位为 0，那么说明后门密钥被禁用，在没有完全擦除所有 Flash 位置的情况下不能启用安全性。如果 KEYEN 为 1，那么安全的用户程序可以通过以下方式暂时关闭安全性：

1. 向 FCNFG 寄存器中的 KEYACC 写入 1。这将使 Flash 模块将后门对比密钥位置 (NVBACKKEY through NVBACKKEY+7) 的写入解释为将与密钥进行对比的值而不是 Flash 编程或擦除命令的第一步。
2. 将用户输入的密钥值写入到位置 NVBACKKEY 到 NVBACKKEY+7 上。这些写入操作必须按顺序进行，以 NVBACKKEY 值开始，以 NVBACKKEY+7 值结束。这些写入操作中必须使用 STHX，因为这些写入不能在相邻的总线循环上完成。用户软件一般通过通信接口（如串行 I/O）从 MCU 系统外部获取密钥代码。
3. 向 FCNFG 寄存器中的 KEYACC 写入 0。如果写入的 8 字节密钥与 Flash 位置上保存的密钥相匹配，那么 SEC 位被自动修改为 1:0，同时安全性将关闭，直到下一次复位。

表 4-12. FPROT 寄存器字段描述

字段	描述
7:6 EPS	<b>EEPROM 保护选择位</b> — 这个 2 位字段决定不能被擦除或编程的受保护 EEPROM 位置。参见表 4-13.
5:0 FPS	<b>Flash 保护选择位</b> — 这个 6 位字段决定不能被擦除或编程的受保护 Flash 位置。参见表 4-14.

表 4-13. EEPROM 块保护

EPS	受保护的地址域	受保护的内存大小 (字节)	受保护的扇区数量
0x3	N/A	0	0
0x2	0x17F0 - 0x17FF	32	4
0x1	0x17E0 - 0x17FF	64	8
0x0	0x17C0-0x17FF	128	16

表 4-14. Flash 块保护

FPS	受保护的地址域	受保护的内存大小 (字节)	受保护的扇区数量
0x3F	N/A	0	0
0x3E	0xFA00-0xFFFF	1.5K	2
0x3D	0xF400-0xFFFF	3K	4
0x3C	0xEE00-0xFFFF	4.5K	6
0x3B	0xE800-0xFFFF	6K	8
...	...	...	...
0x37	0xD000-0xFFFF	12K	16
0x36	0xCA00-0xFFFF	13.5K	18
0x35	0xC400-0xFFFF	15K	20
0x34	0xBE00-0xFFFF	16.5K	22
...	...	...	...
0x2C	0x8E00-0xFFFF	28.5K	38
0x2B	0x8800-0xFFFF	30K	40
0x2A	0x8200-0xFFFF	31.5K	42
0x29	0x7C00-0xFFFF	33K	44
...	...	...	...
0x22	0x5200-0xFFFF	43.5K	58
0x21	0x4C00-0xFFFF	45K	60
0x20	0x4600-0xFFFF	46.5K	62
0x19	0x4000-0xFFFF	48K	64
...	...	...	...

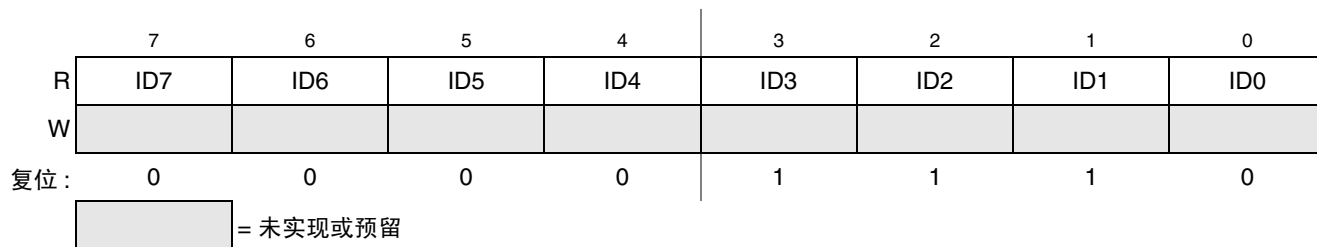


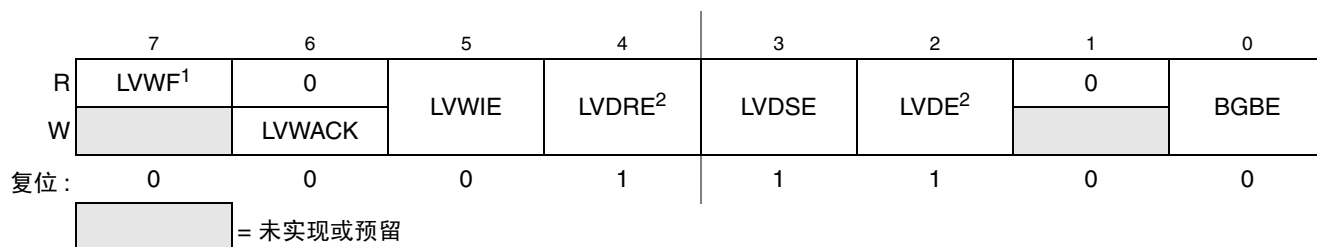
图 5-8. 系统器件识别寄存器 — 低 (SDIDL)

表 5-9. SDIDL 寄存器字段描述

字段	描述
7:0 ID[7:0]	部件识别编号 — MC9S08DZ60 系列 MCU 被硬编码为值 0x00E。也请参见表 5-8 中的 ID 位。

### 5.8.7 系统电源管理状态和控制寄存器 1 (SPMSC1)

这个高页寄存器包含状态位和控制位，以支持低电检测功能，使能 ADC 和 ACMP 模块使用的带隙电压参考。该寄存器应在用户复位初始化程序期间写入，以设置期望的控制，即便期望的设置与复位设置相同。



<sup>1</sup> 当出现  $V_{Supply}$  转换低于跳变点或者复位后  $V_{Supply}$  已经低于  $V_{LVW}$  的情况时，要设置 LVWF。

<sup>2</sup> 复位后该位只能写入一次。其他写入被忽略。

图 5-9. 系统电源管理状态和控制寄存器 1 (SPMSC1)

表 5-10. SPMSC1 寄存器字段描述

字段	描述
7 LVWF	<b>低压警告标志</b> — LVWF 位显示低压警告状态。 0 低压警告未出现。 1 低压警告已出现或出现过。
6 LVWACK	<b>低压警告确认</b> — 如果 LVWF = 1，就会出现低压条件。为了确认该低压警告，将 1 写入 LVWACK，如果低电压警告不再出现，该操作会将 LVWF 自动清除至 0。
5 LVWIE	<b>低压警告中断使能</b> — 该位支持 LVWF 硬件中断请求。 0 硬件中断禁止（使用轮询）。 1 当 LVWF = 1，发出硬件中断请求。

### 6.5.1.1 A 端口数据寄存器 (PTAD)

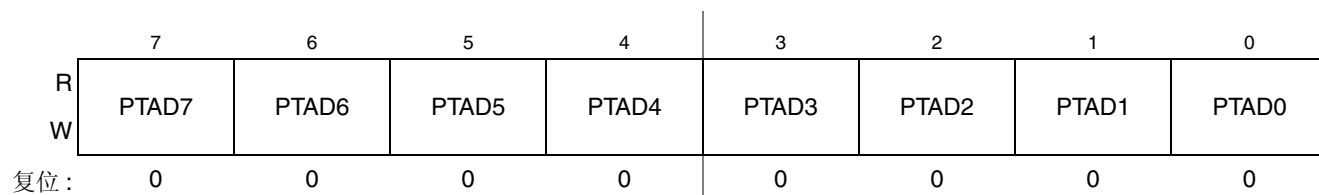


图 6-3. A 端口数据寄存器 (PTAD)

表 6-1. PTAD 寄存器字段描述

字段	描述
7:0 PTAD[7:0]	<b>A 端口数据寄存器位</b> — 对于配置为输入的 A 端口管脚，读数返回管脚上的逻辑电平。对于配置为输出的 A 端口管脚，读数返回写入寄存器的最后一个值。 写入值被锁定在本寄存器的所有位中。对于配置为输出的 A 端口管脚，逻辑电平驱动相应的 MCU 管脚。 复位强制 PTAD 都为 0，但是这些 0 未被驱出相应的管脚，因为复位还会将所有端口管脚配置为上拉 / 下拉被禁止的高阻抗输入。

### 6.5.1.2 A 端口数据方向寄存器 (PTADD)

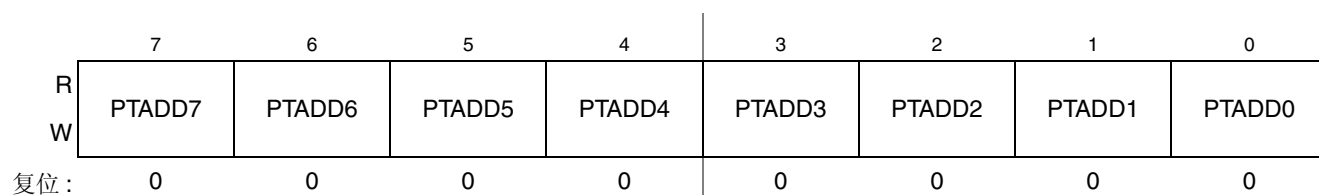


图 6-4. 端口数据方向寄存器 (PTADD)

表 6-2. PTADD 寄存器字段描述

字段	描述
7:0 PTADD[7:0]	<b>A 端口位的数据方向</b> — 这些读 / 写位控制着 A 端口管脚的方向以及为 PTAD 读数读取的内容。 0 输入 (输出驱动被禁止)，读数返回管脚值。 1 A 端口位 - 输出驱动使能，PTAD 读数返回 PTADn 内容。

### 6.5.1.7 A 端口中断管脚选择寄存器 (PTAPS)

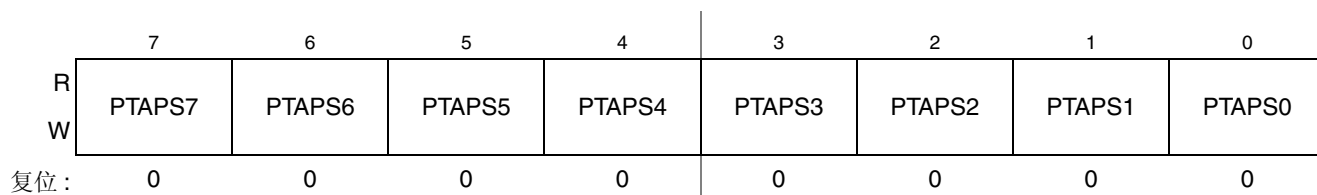


图 6-9. A 端口中断管脚选择寄存器 (PTAPS)

表 6-7. PTAPS 寄存器字段描述

字段	描述
7:0 PTAPS[7:0]	<b>A 端口中断管脚选择</b> — 每个 PTAPSn 位都使能相应的 A 端口中断管脚。 0 管脚禁止中断。 1 管脚允许中断。

### 6.5.1.8 A 端口中断边沿选择寄存器 (PTAES)

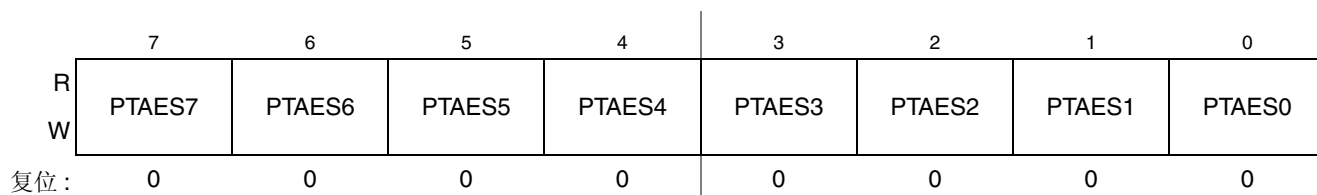


图 6-10. A 端口边沿选择寄存器 (PTAES)

表 6-8. PTAES 寄存器字段描述

字段	描述
7:0 PTAES[7:0]	<b>A 端口边沿选择</b> — 每个 PTBESn 位都具有双重功能，选择中断边沿的极性以及选择上拉或下拉器件（使能的话）。 0 上拉器件与相关的管脚相连，检测中断生成的下降边沿 / 低电平。 1 下拉器件与相关的管脚相连，检测中断生成的上升边沿 / 高电平。

## 6.5.2 B 端口寄存器

B 端口由下面列出的寄存器控制。

表 8-2. MCG 控制寄存器 2 字段描述

字段	描述
7:6 BDIV	<b>总线分频器</b> — 选择被 MCGC1 寄存器中的 CLKS 位所选的时钟源除的数字。这样可以控制总线频率。 00 Encoding 0 — 用所选时钟除以 1 01 Encoding 1 — 用所选时钟除以 2 (复位默认) 10 Encoding 2 — 用所选时钟除以 4 11 Encoding 3 — 用所选时钟除以 8
5 RANGE	<b>频率范围选择</b> — 选择外部振荡器或外部时钟源的频率范围。 1 为外部振荡器选择 1 MHz --16 MHz 的高频率范围 (外部时钟源为 1 MHz-- 40 MHz) 0 为外部振荡器选择 32 kHz --100 kHz 的低频率范围 (外部时钟源为 32 kHz --1 MHz)
4 HGO	<b>高增益振荡器选择</b> — 控制外部振荡器的运行模式 1 配置外部振荡器的高增益运行 0 配置外部振荡器的低增益运行
3 LP	<b>低功率选择</b> — 控制是否在旁路模式中禁止 FLL (或 PLL)。 1 旁路模式中禁止 FLL (或 PLL) (低功率). 0 旁路模式中激活旁路模式中激活 FLL (或 PLL) .
2 EREFS	<b>外部参考选择</b> 选择外部参考源。 1 选择振荡器 0 选择外部时钟源
1 ERCLKEN	<b>外部参考使能</b> — 使能外部参考时钟, 用作 MCGERCLK。 1 MCGERCLK 活动 0 MCGERCLK 未活动
0 EREFSTEN	<b>外部参考停止使能</b> — 控制着当 MCG 进入停止模式时, 内部参考时钟是否仍保持使能状态。 1 如果设置了 IRCLKEN 或者在 MCG 进入停止状态前已处于 FEI、FBI 或 BLPI 模式, 那么外部参考时钟在停止状态中保持使能。 0 外部参考时钟在停止状态中禁用。

### 8.4.3 MCG 修正寄存器 (MCGTRM)

	7	6	5	4	3	2	1	0
R	TRIM							
W								
POR:	1	0	0	0	0	0	0	0
复位:	U	U	U	U	U	U	U	U

图 8-5. MCG 修正寄存器 (MCGTRM)

表 8-3. MCG 修正寄存器字段描

字段	描述
7:0 TRIM	<b>MCG 修正设置</b> — 通过控制内部参考时钟时段来控制内部参考时钟频率。TRIM 位是加权二进位 (即位 1 的调整次数是位 0 调整次数的两倍)。增大 TRIM 中的二进位值将延长这个时段, 减小 TRIM 值会缩短该时段。  MCGSC 中还提供了另外一个微调位, 即 FTRIM 位 t。  如果使用保存在非易失性存储器中的 TRIM[7:0] 值, 用户就有责任将这个值从非易失性存储器位置复制到该寄存器。r.



### 8.5.5 内部参考时钟

当设置了 IRCLKEN 时，内部参考时钟信号将作为 MCGIRCLK 出现，作为另外一个时钟源使用。通过调整内部参考时钟时段，MCGIRCLK 的目标频率可以重新设定。在 MCGTRM 寄存器的 FRIM 位中写入一个新值就可以完成该操作。向 MCGTRM 寄存器写入一个更大的值将降低 MCGIRCLK 频率，写入一个更小的值将提高 MCGIRCLK 频率。如果 MCG 处于 FLL Engaged Internal (FEI)、FLL Bypassed Internal (FBI) 或 Bypassed Low Power Internal (BLPI) 模式，TRIM 位会影响 MCGOUT 频率。TRIM 和 FTRIM 值由 POR 初始化，但不会受其他复位影响。

如果 MCGIRCLK 未调整，编程低参考分频器 (RDIV) 因子可能导致 MCGOUT 频率超过芯片级最高频率，且违反芯片级时钟定时技术规范 (参见 Device Overview)

如果 IREFSTEN 和 IRCLKEN 位均已设置，内部参考时钟将在停止模式期间保持运行，以便在退出停止模式时快速恢复。

### 8.5.6 外部参考时钟

MCG 模块可以支持 FEE 和 FBE 模式中频率在 31.25 kHz-5 MHz，PEE 和 PBE 模式中频率在 1 MHz -16 MHz 之间，BLPE 模式中频率在 0 - 40 MHz 之间的外部参考时钟。当设置了 ERCLKEN 时，内部参考时钟信号将作为 MCGERCLK 出现，作为另外一个时钟源使用。当 IREFS = 1 时，FLL 或 PLL 不使用外部参考时钟，外部参考时钟只能用作 MCGERCLK。在这些模式中，该频率可能等于芯片级定时规范支持的最大频率 (参见 Device Overview)

如果 EREFSTEN 和 ERCLKEN 位均已设置，或者 MCG 处于 FEE、FBE、PEE、PBE 或 BLPE 模式，外部参考时钟将在停止模式期间保持运行，以便在退出停止模式时快速恢复。

如果 CME 位写入 1，时钟监控器使能。如果外部参考降到某一频率 (根据 MCGC2 中的 RANGE 位可以是 floc\_high 或 floc\_low) 以下，MCU 将复位。系统复位状态 (SRS) 寄存器中的 LOC 位将用来标志错误。

### 8.5.7 固定频率时钟

MCG 将分频参考时钟作为 MCGFFCLK，作为另外一个时钟源使用。MCGFFCLK 频率小于或等于 MCGOUT 频率的 1/4 才有效。正是因为这个要求，MCGFFCLK 在旁路模式中的如下 BDIV 和 RDIV 值组合中无效：

- BDIV=00 (除以 1)，RDIV
- BDIV=01 (除以 2)，RDIV

## 8.6 初始化 / 应用报文

本节描述了如何在应用中初始化和配置的 MCG 模块。后面几节给出了几个如何对 MCG 进行初始化、如何在不同模式间进行适当切换的例子。

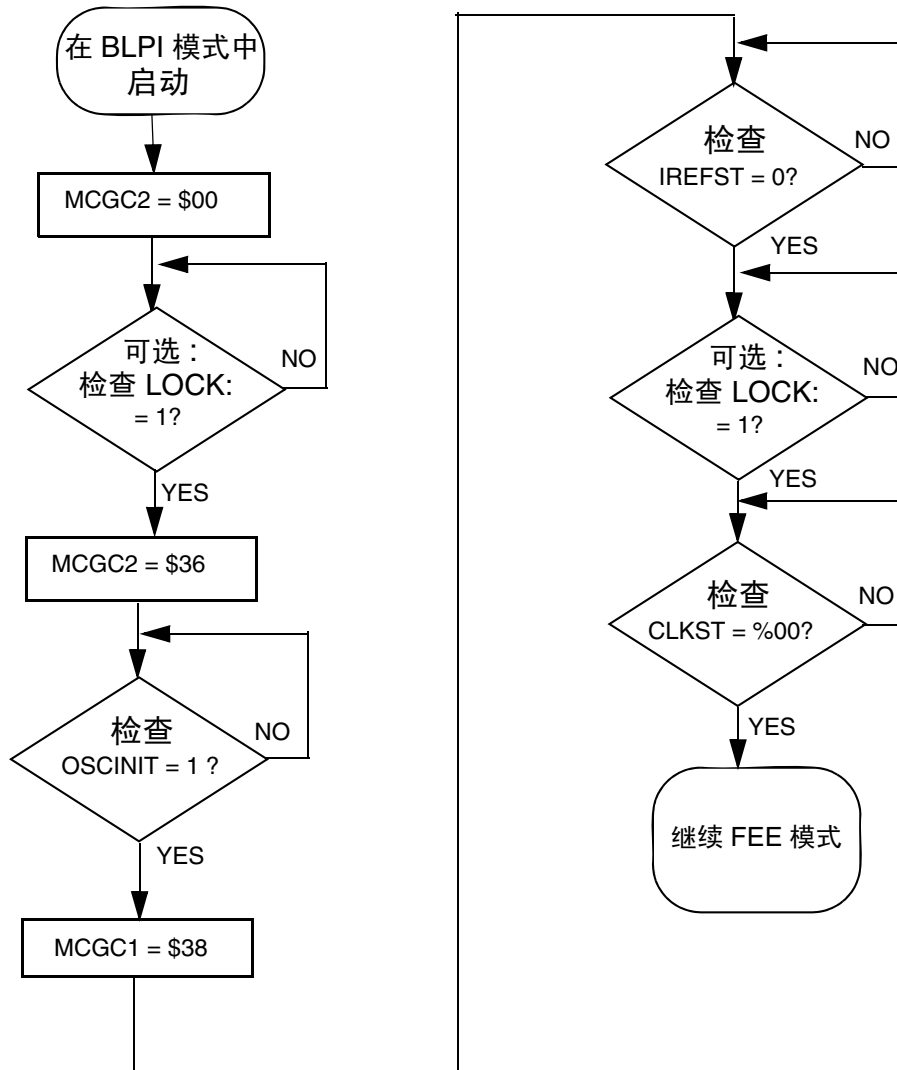


图 8-11. 使用 4 MHz 晶体从 BLPI 转换到 FEE 模式的流程图

#### 8.6.2.4 示例 4: 从 FEI 转换到 PEE 模式: 外部晶体 = 8 MHz、总线频率 = 8 MHz

本例中，MCG 将通过适当的运行模式从 FEI 转换到 PEE 模式，直到设置 8 MHz 晶体参考频率来获得 8 MHz 的总线频率。

这个例子和第一个例子相似，只是外部晶体频率从 4 MHz 变成了 8 MHz。在这个例子中必须特别注意，因为从 FEI 模式转换到 PEE 模式的过程中，FLL 有时会基于高于 FLL 的最大允许频率的参考时钟运行。之所以出现这种情况，是因为 8 MHz 的外部晶体和 128 的最大参考分频器因子，FLL 由此得出的参考时钟的频率是 62.5 kHz（大于 39.0625 kHz 这一最大允许值）。

当 FLL 在该条件下运行时，在应用软件中应最大限度地减少在这一状态中的时间。

## 第 9 章

### 模拟比较器 (S08ACMPV3)

#### 9.1 介绍

模拟比较器模块（ACMP）提供用来比较两个模拟输入电压，或者一个输入电压和一个内部参考电压的电路。比较器电路能够在整个电源电压范围内操作（轨到轨操作）。

MC9S08DZ60 系列的所有 MCU 都能在 64 管脚的封装中提供两个全功能 ACMP。48 管脚封装的 MCU 有两个 ACMP，但 ACMP2 的输出管脚没有引出。32 管脚封装的 MCU 只有一个全功能 ACMP。

#### NOTE

MC9S08DZ60 系列器件的工作电压范围较高（2.7 V --5.5 V），不支持 STOP1 模式。请忽略 STOP1 的参考。

#### 9.1.1 ACMP 配置报文

当使用带死区参考电压为 ACMP+ 输入时，用户必须通过在 SPMSC1 中设置 BGBE =1，使能死区缓冲，详细内容 5.8.7，“系统电源管理状态和控制寄存器 1 (SPMSC1)”。如需了解死区电压参考报文 A.6，“DC 特性”。

表 10-1. ADC 通道分配

ADCH	通道	输入	ADCH	通道	输入
00000	AD0	PTA0/ADP0/MCLK	01111	AD15	PTB7/ADP15
00001	AD1	PTA1/ADP1/ACMP1+	10000	AD16	PTC0/ADP16
00010	AD2	PTA2/ADP2/ACMP1P-	10001	AD17	PTC1/ADP17
00011	AD3	PTA3/ADP3/ACMP1O	10010	AD18	PTC2/ADP18
00100	AD4	PTA4/ADP4	10011	AD19	PTC3/ADP19
00101	AD5	PTA5/ADP5	10100	AD20	PTC4/ADP20
00110	AD6	PTA6/ADP6	10101	AD21	PTC5/ADP21
00111	AD7	PTA7/ADP7	10110	AD22	PTC6/ADP22
01000	AD8	PTB0/ADP8	10111	AD23	PTC7/ADP23
01001	AD9	PTB1/ADP9	11000– 11001	AD24 through AD25	预留
01010	AD10	PTB2/ADP10	11010	AD26	温度传感器 <sup>1</sup>
01011	AD11	PTB3/ADP11	11011	AD27	内部隙带 <sup>2</sup>
01100	AD12	PTB4/ADP12	11100	预留	预留
01101	AD13	PTB5/ADP13	11101	V <sub>REFH</sub>	V <sub>REFH</sub>
01110	AD14	PTB6/ADP14	11110	V <sub>REFL</sub>	V <sub>REFL</sub>

### 10.1.3 替代时钟

ADC 模块的时钟源可以是 MCU 总线时钟，总线时钟二分频，模块内的本地异步时钟 (ADACK) 或替代时钟 ALTCLK。MC9S08DZ60 系列 MCU 器件的替代时钟是外部参考时钟 (MCGERCLK)。

所选的时钟源必须运行在一定的频率范围内，这样 ADC 转换时钟 (ADCK) 就可以通过 ADIV 位的设置，在从 ALTCLK 分频后，运行在指定的频率范围 ( $f_{ADCK}$ ) 内。

当 MCU 处于等待模式时，ALTCLK 是使能的 (满足以上条件)。这使得当 MCU 处于等待模式时，ALTCLK 可以用作 ADC 的工作时钟源。

当 MCU 处于 STOP2 或 STOP3 时，ALTCLK 不能用作 ADC 工作时钟源。

## 10.3 外部信号描述

ADC 模块最多可支持 28 个独立模拟输入。它还需要 4 个电源 / 参考 / 接地连接。

表 10-2. 信号属性

名称	功能
AD27-AD0	模拟通道输入
$V_{REFH}$	高参考电压
$V_{REFL}$	低参考电压
$V_{DDAD}$	模拟电源
$V_{SSAD}$	模拟接地

### 10.3.1 模拟电源 ( $V_{DDAD}$ )

ADC 模拟部分使用  $V_{DDAD}$  作为其电源连接。在有些封装中,  $V_{DDAD}$  与  $V_{DD}$  是内部连接。如果是外部连接, 将  $V_{DDAD}$  管脚连到与  $V_{DD}$  相同的电平。为了确保干净的  $V_{DDAD}$  信号, 可能还需要外部滤波。

### 10.3.2 模拟接地 ( $V_{SSAD}$ )

ADC 模拟部分使用  $V_{SSAD}$  作为其接地连接。在有些封装中,  $V_{SSAD}$  与  $V_{SS}$  是内部连接。如果是外部连接, 将  $V_{SSAD}$  管脚连到与  $V_{SS}$  相同的电平。

### 10.3.3 参考电压高 ( $V_{REFH}$ )

$V_{REFH}$  是转换器的高参考电压。在有些封装中,  $V_{REFH}$  与  $V_{DDAD}$  是内部连接。如果是外部连接,  $V_{REFH}$  可以连接到与  $V_{DDAD}$  相同的电平, 或者由介于  $V_{DDAD}$  最低限值和  $V_{DDAD}$  电平之间的外部源驱动 ( $V_{REFH}$  必须不能超过  $V_{DDAD}$ )。

### 10.3.4 参考电压低 ( $V_{REFL}$ )

$V_{REFL}$  是转换器的低参考电压。在有些封装中,  $V_{REFL}$  与  $V_{SSAD}$  是内部连接。如果是外部连接, 将  $V_{REFL}$  管脚连到和  $V_{SSAD}$  相同的电平。

### 10.3.5 模拟通道输入 ( $ADx$ )

ADC 模块最多可支持 28 个独立的模拟输入。通过  $ADCH$  通道选择位选择转换。

表 12-30. IDR1 寄存器字段描述

字段	描述
7:5 ID[2:0]	<b>标准格式标识符</b> — 标准格式标识符 — 该标识符由 11 个扩展格式位 (ID[10:0]) 组成。ID10 是最高位，仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。也可参见表 12-29 中的 ID 位。
4 RTR	<b>远程发送请求</b> — 该标志反应 CAN 帧中远程发送请求的状态。在接收缓冲器中，它显示已接收帧的状态，并在软件中支持应答帧的发送。在发送缓冲器中，该标志定义将要发送的 RTR 位的设置。 0 数据帧 1 远程帧
3 IDE	<b>ID 扩展</b> — 该标志显示扩展或标准标识符格式是否应用于该缓冲器。在接收缓冲器中，该标志设置为已接收，并向 CPU 显示如何处理缓冲器标识符寄存器。在发送缓冲器中，该标志向 MSCAN 显示将发送的标识符类型。 0 标准格式 (11 位) 1 扩展格式 (29 位)

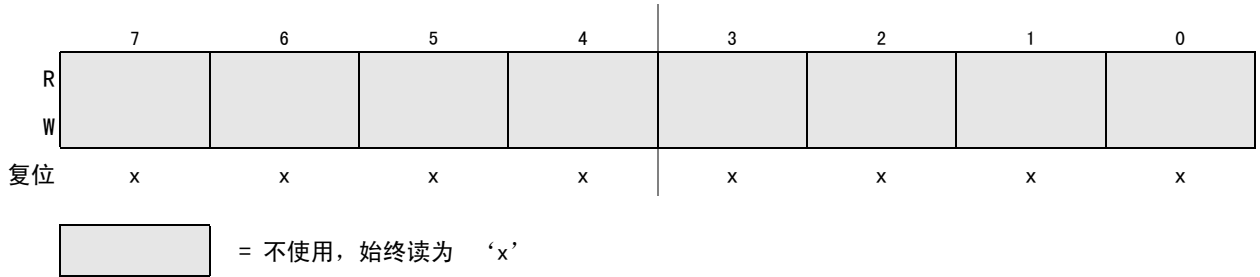


图 12-31. 标识符寄存器 2 — 标准映射

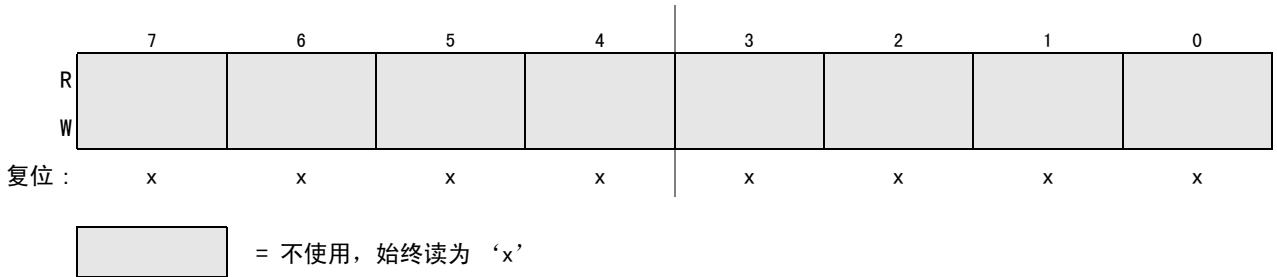


图 12-32. 标识符寄存器 3 — 标准映射

### 12.4.3 数据段寄存器 (DSR0-7)

8 个数据段寄存器 (每个都带有位 DB[7:0]) 包含将要发送或接收的数据。将要发送或接收的字节数由相应 DLR 寄存器中的数据长度代码决定。

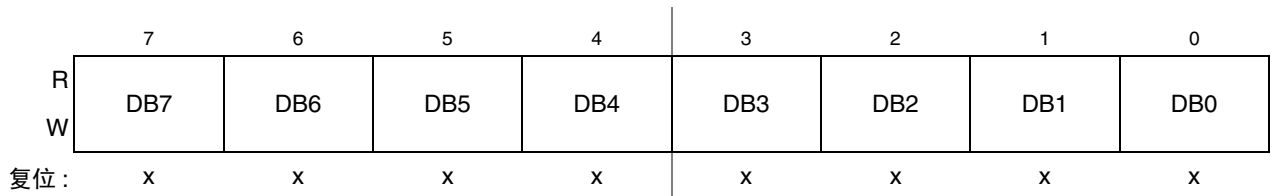


图 12-33. 数据段寄存器 (DSR0 - DSR7) — 扩展标识符映射

### 12.5.3.2 协议违反保护

MSCAN 能够防止用户由于编程错误而意外违反 CAN 协议。保护逻辑实施以下功能：

- 接收和发送错误计数器不能写入或以别的方式操作。
- 当 MSCAN 在线时，控制 MSCAN 的配置的所有寄存器均不能被修改。MSCAN 必须处于初始化模式。CANCTL0/CANCTL1 寄存器中的相应 INITRQ/INITAK 握手位（参见 12.3.1，“MSCAN 控制寄存器 0 (CANCTL0)”）作为一个锁来保护以下寄存器：
  - MSCAN 控制 1 寄存器 (CANCTL1)
  - MSCAN 总线定时寄存器 0 和 1 (CANBTR0, CANBTR1)
  - MSCAN 标识符接收控制寄存器 (CANIDAC)
  - MSCAN 标识符接收寄存器 (CANIDAR0 - CANIDAR7)
  - MSCAN 标识符掩码寄存器 (CANIDMR0 - CANIDMR7)
- 当 MSCAN 进入节电模式或初始化模式时，TXCAN 管脚立即被强制进入隐性状态（参见 12.5.5.6，“MSCAN 断电模式”和 12.5.5.5，“MSCAN I 初始化模式”）。
- MSCAN 使能位 (CANE) 在正常系统操作模式下只能写入一次，从而为意外禁止 MSCAN 提供了进一步保护。

### 12.5.3.3 时钟系统

图 12-42 显示 MSCAN 时钟发生电路的结构。

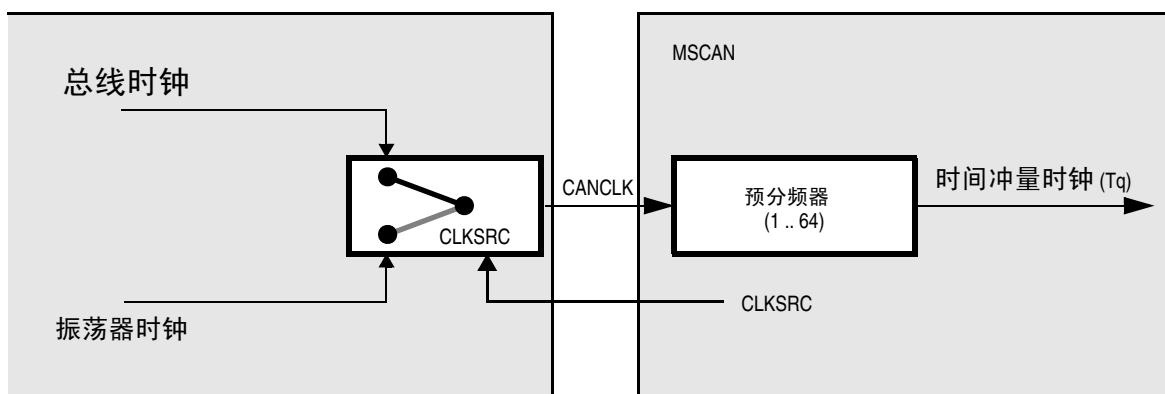


图 12-42. MSCAN 时钟机制

CANCTL1 寄存器 (12.3.2/-214) 中的时钟源位 (CLKSRC) 决定内部 CANCLK 是连接到晶体振荡器（振荡器时钟）输出还是连接到总线时钟。

必须选择能满足 CAN 协议的振荡器精度要求（高达 0.4%）的时钟源。此外，对于高 CAN 总线速率（1 Mbps）来说，要求 45%-55% 的时钟占空比。

如果总线时钟从 PLL 中生成，由于抖动，建议选择振荡器时钟而不是总线时钟，特别是以较快的 CAN 总线速率时。PLL 锁可能太宽，不能确保所需的时钟精度。

对于那些没有时钟和复位发生器 (CRG) 的微控制器，CANCLK 的驱动则来自晶体振荡器（振荡时钟）。

### 12.5.7.7 从恢复停止或 等待

MSCAN 可以通过唤醒中断从停止或等待中恢复。只有当 MSCAN 在进入断电模式前处于睡眠模式 (SLPRQ = 1, SLPK = 1) 时, 唤醒选项被使能 (WUPE = 1), 唤醒中断使能 (WUPIE = 1), 这种中断才能发生。

## 12.6 初始化 / 应用信息

### 12.6.1 MSCAN 初始化

系统复位后, 初始化 MSCAN 模块的流程如下:

1. 置位 CANE
2. 写入处于初始化模式的配置寄存器
3. 清除 INITRQ, 离开初始化模式, 进入正常模式

当 MSCAN 模块处于正常模式下, 需要更改只能在初始化模式中写入的寄存器:

1. CAN 总线空闲后, 通过设置 SLPRQ 并等待 SLPK 进行确认, 将模块置入睡眠模式。
2. 进入初始化模式: 确定 INITRQ 并等待 INITAK
3. 写入处于初始化模式的配置寄存器
4. 清除 INITRQ, 离开初始化模式, 继续保持正常模式

### 12.6.2 总线脱离恢复

用户可配置总线脱离恢复功能。总线脱离状态既可以自动退出, 也可以在用户的请求下退出。

出于向前兼容原因, 复位后, MSCAN 默认为自动恢复。在这种情况下, 在计数 128 次 CAN 总线上 11 个连续隐性位的出现后, MSCAN 将重新变成 ERROR ACTIVE (详情请参见 Bosch CAN 规范)。

如果 MSCAN 配置为用于用户请求模式 12.3.2, “控制寄存器 1 (CANCTL1)” 中设置的 BORM), 从总线脱离中恢复依赖于以下两个独立事件都成立后:

- 发现 128 次 CAN 总线上的 11 个连续隐性位
- 12.3.12, “MSCAN 其他寄存器 (CANMISC)” 中的 BOHOLD 已经被用户清除

这两个事件的发生顺序任意。



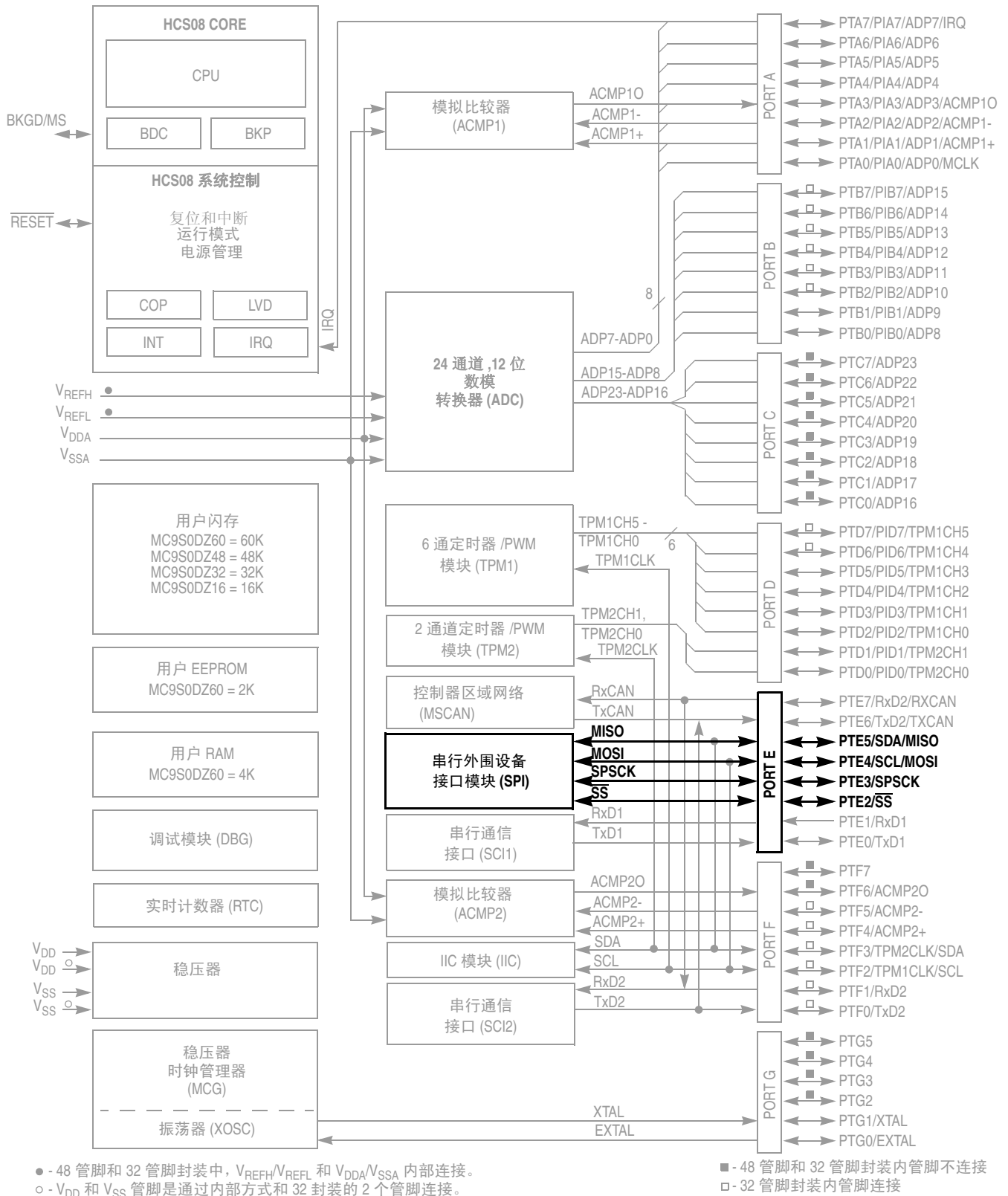


图 13-1. 强调 ADC 模块和管脚的 MC9S08DZ60 结构图

表 14-6. SCIS1 字段描述

字段	描述
5 RDRF	接收数据寄存器已满标记 — 当字符从接收移位器传输到接收数据寄存器 (SCixD) 时, 设置 RDRF。要清除 RDRF, 当 RDRF = 1 时读 SCIS1, 然后读 SCI 数据寄存器 (SCixD)。 0 接收数据寄存器空。 1 接收数据寄存器已满。
4 IDLE	闲置线路标记 — 在一段时间的活动后, 当 SCI 接收线路已经闲置了一个全字符时间时, 就设置 IDLE。当 ILT = 0, 接收器在起始位后开始计数闲置位时间。因此, 如果接收字符都为 1, 这些位时间和停止位时间计数入接收器用于探测一个闲置线路所需逻辑高态 (10 或 11 个位时间, 取决于 M 控制位) 的全字符时间。当 ILT = 1, 接收器直到停止位后才开始计数闲置位时间。因此, 停止位和前一字符末端的任何逻辑高态位时间不会计数入接收器用于探测一个闲置线路所需逻辑高态的全字符时间。 要清除 IDLE, 当 IDLE = 1 时读取 SCIS1, 然后读取 SCI 数据寄存器 (SCixD)。清除 IDLE 后, 不能再次进行设置, 直到接收到新字符且已设置了 RDRF。IDLE 只设置一次, 即便接收线路闲置了很长一段时间。 0 没有检测到闲置线路 1 检测到闲置线路
3 OR	接收器溢出标记 — 当新的串行字符做好了传输到接收数据寄存器 (缓冲器) 的准备时, 但原来接收的字符还没有从 SCixD 读取, 设置 OR。在这种情况下, 新字符 (和所有相关错误信息) 丢失, 因为没有空间将它们移到 SCixD。要清除 OR, 当 OR = 1 时读 SCIS1, 然后读 SCI 数据寄存器 (SCixD)。 0 没有溢出 1 接收溢出 (新 SCI 数据丢失)
2 NF	噪音标记 — 接收器中采用的先进的采样技术在起始位中提取 7 个样本, 在每个数据位和停止位中提取 3 个样本。如果这些样本中任何一个样本与帧中任何时间内的其余样本不一致, 就要在 RDRF 为这个字符而置 1 的同时设置标记 NF。要清除 NF, 读 SCIS1, 然后读 SCI 数据寄存器 (SCixD)。 0 没有检测到噪音 1 SCixD 中的已接收字符中检测到噪音
1 FE	成帧错误标记 — 当接收器在应该是停止位的时候检测到逻辑 0 时, 同时设置 FE 和 RDRF。这表示接收器与字符帧没有完全统一。要清除 FE, 当 FE = 1 时读 SCIS1, 然后读 SCI 数据寄存器 (SCixD)。 0 未检测到成帧错误, 这不能保证成帧正确。 1 成帧错误。
0 PF	奇偶效验错误标记 — 当奇偶效验使能 (PE = 1) 且已接收字符中的奇偶校验位与预期奇偶效验值不一致时, 同时设置 PF 和 RDRF。要清除 PF, 读 SCIS1, 然后读 SCI 数据寄存器 (SCixD)。 0 没有奇偶效验错误 1 奇偶效验错误

## 14.2.5 SCI 状态寄存器 2 (SCIS2)

该寄存器有一个只读状态标记。

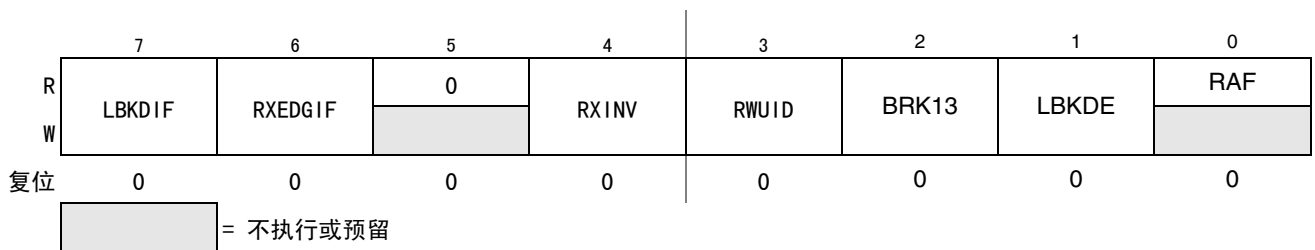


图 14-9. SCI 状态寄存器 2 (SCIS2)

## 17.1.2 特性

BDC 模块的特性包括：

- 单引脚进行模式选择和背景调试通信
- BDC 的寄存器不位于存储器地址中
- SYNC 命令确定目标通信速率
- 非侵入式命令进行存储器存取
- 供 CPU 寄存器存取的激活背景调试模式命令
- GO 和 TRACE1 命令
- 背景调试命令可以将 CPU 从停止模式或等待模式中唤醒
- BDC 内置一个硬件地址断点
- 如果 BDC 使能，则振荡器运行在停止模式
- 处于激活背景调试模式时，COP 看门狗禁止

ICE 系统的特性包括：

- 两个触发比较器：两个地址 + 读 / 写 (R/W) 或一个完整地址 + 数据 + R/W
- 灵活的 8-word x 16-bit FIFO (先进先出) 缓存，用于捕获信息：
  - 流程变化的地址 或
  - 纯事件数据
- 两个类型的断点：
  - 指令操作码的标记断点
  - 任何地址存取的强制断点
- 九个触发模式：
  - 基本：只有 A, A 或 B
  - 顺序：A 然后 B
  - 全部：A 和 B 数据, A 和非 B 数据
  - 事件 (存储数据): 纯事件 B, A 然后纯事件 B
  - 范围：在范围以内 ( $A \leq \text{地址} \leq B$ ), 在范围以外 (地址  $< A$  或地址  $> B$ )

表 A-7. 电源电流特性 (续)

编号	C	参数	符号	V <sub>DD</sub> (V)	典型值 <sup>1</sup>	最大值 <sup>2</sup>	单位	
5	P <sup>4</sup>	停止 2 模式 电源电流  -40 °C (C, V, & M 后缀) 25 °C (所有部件) 105 °C (仅 V 后缀) 125 °C (仅 M 后缀) -40 °C (C, V, & M 后缀) 25 °C (所有部件) 105 °C (仅 V 后缀) 125 °C (仅 M 后缀)	S2I <sub>DD</sub>	5	0.8	—	μA	
	P <sup>4</sup>				0.9	—		
	P				25	37		
	P				46	70		
	C			-40 °C (C, V, & M 后缀) 25 °C (所有部件) 105 °C (仅 V 后缀) 125 °C (仅 M 后缀)	3	0.7		—
	C					0.8		—
	C					20		30
	C					40		60
6	C	增加 RTC 时的停止 2 或停止 3 <sup>4</sup> 的加法器、25°C		5	300	—	nA	
				3	300	—	nA	
7	C	增加 LVD 的停止 3 (LVDE = LVDSE = 1)		5	110	—	μA	
				3	90	—	μA	
8	C	增加振荡器启用时 <sup>5</sup> 的停止 3 (IRCLKEN = 1 和 IREFSTEN = 1 或 ERCLKEN = 1 和 EREFSTEN = 1)		5	5	—	μA	
				3	5	—	μA	

<sup>1</sup> 典型值典型值在 25°C 时测量的值，除非另有说明。

<sup>2</sup> 本列中的最大值适用于设备的整个操作温度范围，除非另有说明。

<sup>3</sup> 25°C 时在所有部件上进行停止电流测试。在其他温度上的测试取决于部件编号后缀及产品的成熟度。一旦收集到足够的数且被批准，飞思卡尔可能会把特殊温度下的测试从生产测试流程中消除。

<sup>4</sup> 大多数客户都期望可以使用停止 2 或停止 3 的自动唤醒，而非更高电流的等待模式。

<sup>5</sup> 以下条件下的给定值：低量程操作 (RANGE = 0)、低功率模式 (HGO = 0)

## A.8 模拟比较器 (ACMP) 电气特性

表 A-8. 模拟比较器电气规范

编号	C	参数	符号	最小值	典型值	最大值	单位
9	—	电源电压	V <sub>DD</sub>	2.7	—	5.5	V
10	D	电源电流 (活动)	I <sub>DDAC</sub>	—	20	35	μA
11	D	模拟输入电压	V <sub>AIN</sub>	V <sub>SS</sub> - 0.3	—	V <sub>DD</sub>	V
12	D	模拟输入偏移电压	V <sub>AIO</sub>		20	40	mV
13	D	模拟比较器滞后	V <sub>H</sub>	3.0	6.0	20.0	mV
14	D	模拟输入漏电流	I <sub>ALKG</sub>	--	--	1.0	μA
15	D	模拟比较器初始化延迟	t <sub>AINIT</sub>	—	—	1.0	μs

## 附录 B

# 定时器脉宽调制器 (TPMV2)

### 注意

本章节参考 S08TPM 第二版本，它适用于该器件的 3M05C 及更旧的掩膜版本。0M74K 和更新的掩膜版本采用 S08TPM 第三版本。如果你的器件采用 0M74K 或更新的掩膜，请参见 299 页上的第 16 章，“定时器脉冲宽度调节器 (S08TPMV3)”，了解该模块的信息。

## B.1 介绍

TPM 采用每通道一个 I/O 管脚，TPMxCHn，其中 x 是 TPM 数量 (如 1 或 2)，n 是通道的数量 (如 0 - 4)。TPM 与通用 I/O 端口管脚共享其 I/O 管脚 (参见 Pins and Connections 章节，了解更多信息)。

## B.2 特性

TPM 提供以下特性：

- 每个 TPM 可以配置为所有通道上缓冲的且中央对齐的脉宽调制 (CPWM)
- 可以为每个 TPM 独立选择时钟源 (多个 TPM 器件)
- 时钟源可选择 (根据器件选择)：总线时钟、固定系统时钟、外部管脚
- 时钟预分频点按 1, 2, 4, 8, 16, 32, 64, 或 128 分
- 16- 位自由运行或上 / 下 (CPWM) 计数操作
- 16- 位模量寄存器控制计数器范围
- 定时器系统使能
- 每个通道一个中断加上每个 TPM 模块的终端计数中断 (多个 TPM 器件)
- 通道特性：
  - 每个通道可以是输入捕捉，输出比较，或缓冲边沿对齐的 PWM
  - 上升边，下降边或任意边输入捕捉触发器
  - 设置、清除或固定输出比较行动
  - 在 PWM 输出上可选择极性