

Welcome to E-XFL.COM

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	60KB (60K x 8)
Program Memory Type	FLASH
EEPROM Size	2K x 8
RAM Size	4K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 85°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz60clcr

表 1-1. MC9S08DZ60 系列产品的特性（按 MCU 和管脚数量分）

特性	MC9S08DZ60			MC9S08DZ48			MC9S08DZ32			MC9S08DZ16	
Flash 大小 (字节)	60032			49152			33792			16896	
RAM 大小 (字节)	4096			3072			2048			1024	
EEPROM 大小 (字节)	2048			1536			1024			512	
管脚数量	64	48	32	64	48	32	64	48	32	48	32
ACMP1	是										
ACMP2	是	是 ¹	no	是	是 ¹	no	是	是 ¹	no	是 ¹	no
ADC 通道数	24	16	10	24	16	10	24	16	10	16	10
DBG	是										
IIC	是										
IRQ	是										
MCG	是										
MSCAN	是										
RTC	是										
SCI1	是										
SCI2	是										
SPI	是										
TPM1 通道数	6	6	4	6	6	4	6	6	4	6	4
TPM2 通道数	2										
XOSC	是										
COP Watchdog	是										

¹ ACMP20 不可用。

1.2 MCU 结构图

图 1-1 为 MC9S08DZ60 系列产品的系统结构图。

6.5.1.1 A 端口数据寄存器 (PTAD)

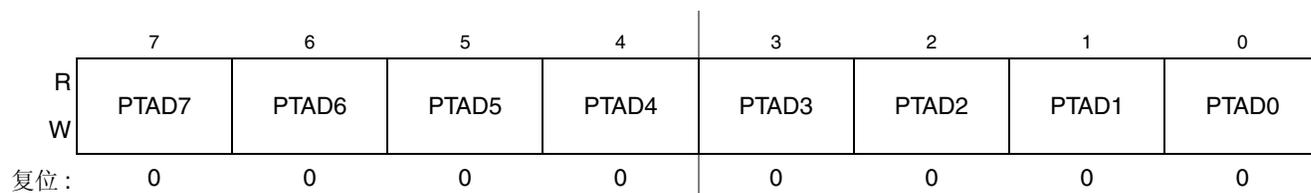


图 6-3. A 端口数据寄存器 (PTAD)

表 6-1. PTAD 寄存器字段描述

字段	描述
7:0 PTAD[7:0]	A 端口数据寄存器位 — 对于配置为输入的 A 端口管脚，读数返回管脚上的逻辑电平。对于配置为输出的 A 端口管脚，读数返回写入寄存器的最后一个值。 写入值被锁定在本寄存器的所有位中。对于配置为输出的 A 端口管脚，逻辑电平驱动相应的 MCU 管脚。 复位强制 PTAD 都为 0，但是这些 0 未被驱出相应的管脚，因为复位还会将所有端口管脚配置为上拉 / 下拉被禁止的高阻抗输入。

6.5.1.2 A 端口数据方向寄存器 (PTADD)

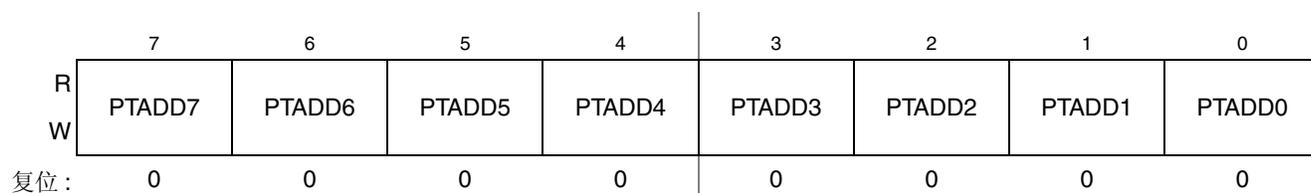


图 6-4. 端口数据方向寄存器 (PTADD)

表 6-2. PTADD 寄存器字段描述

字段	描述
7:0 PTADD[7:0]	A 端口位的数据方向 — 这些读 / 写位控制着 A 端口管脚的方向以及为 PTAD 读数读取的内容。 0 输入 (输出驱动被禁止)，读数返回管脚值。 1 A 端口位 - 输出驱动使能，PTAD 读数返回 PTADn 内容。

6.5.2.7 B 端口中断管脚选择寄存器 (PTBPS)

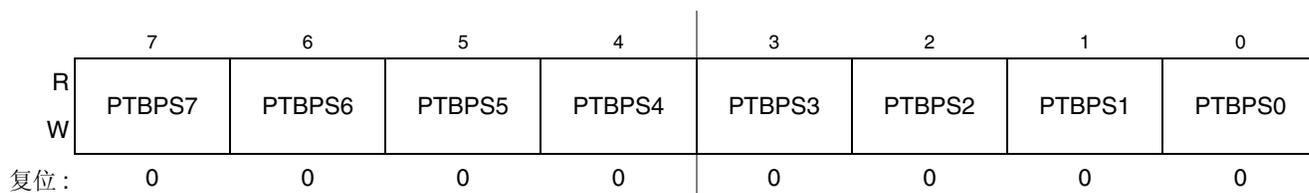


图 6-17. B 端口中断管脚选择寄存器 (PTBPS)

表 6-15. PTBPS 寄存器字段描述

字段	描述
7:0 PTBPS[7:0]	B 端口中断管脚选择 — 每个 PTBPSn 位都能使能相应的 B 端口中断管脚。 0 管脚禁止中断。 1 管脚允许中断。

6.5.2.8 B 端口边沿选择寄存器 (PTBES)

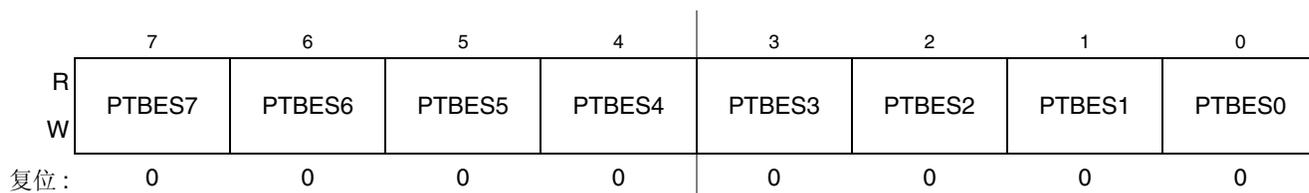


图 6-18. B 端口边沿选择寄存器 (PTBES)

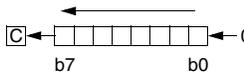
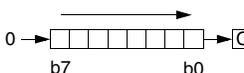
表 6-16. PTBES 寄存器字段描述

字段	描述
7:0 PTBES[7:0]	B 端口边沿选择 — 每个 PTBESn 位都具有双重功能，选择活动中断边沿的极性以及选择上拉或下拉器件（使能的话）。 0 上拉器件与相关的管脚相连，检测中断生成的下降边沿 / 低电平。 1 下拉器件与相关的管脚相连，检测中断生成的上升边沿 / 高电平。

6.5.3 C 端口寄存器

C 端口由下列寄存器控制。

表 7-2. 指令集小结 (第 5 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V I 1 H I N Z C	
INC <i>opr8a</i> INCA INCX INC <i>opr8,X</i> INC <i>,X</i> INC <i>opr8,SP</i>	增量 M ⁻ (M) + \$01 A ⁻ (A) + \$01 X ⁻ (X) + \$01 M ⁻ (M) + \$01 M ⁻ (M) + \$01 M ⁻ (M) + \$01	DIR INH INH IX1 IX SP1	3C dd 4C 5C 6C ff 7C 9E 6C ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↑ 1 1 -	- ↓ ↓ -
JMP <i>opr8a</i> JMP <i>opr16a</i> JMP <i>opr16,X</i> JMP <i>opr8,X</i> JMP <i>,X</i>	跳转 PC ⁻ 跳转地址	DIR EXT IX2 IX1 IX	BC dd CC hh ll DC ee ff EC ff FC	3 4 4 3 3	ppp pppp pppp ppp ppp	- 1 1 -	- - - - -
JSR <i>opr8a</i> JSR <i>opr16a</i> JSR <i>opr16,X</i> JSR <i>opr8,X</i> JSR <i>,X</i>	跳转到子程序 PC ⁻ (PC) + n (n = 1, 2, 或 3) 推 (PCL); SP ⁻ (SP) - \$0001 推 (PCH); SP ⁻ (SP) - \$0001 PC ⁻ 无条件地址	DIR EXT IX2 IX1 IX	BD dd CD hh ll DD ee ff ED ff FD	5 6 6 5 5	ssppp pssppp pssppp ssppp ssppp	- 1 1 -	- - - - -
LDA # <i>opr8i</i> LDA <i>opr8a</i> LDA <i>opr16a</i> LDA <i>opr16,X</i> LDA <i>opr8,X</i> LDA <i>,X</i> LDA <i>opr16,SP</i> LDA <i>opr8,SP</i>	从存储器那里加载累加器 A ⁻ (M)	IMM DIR EXT IX2 IX1 IX SP2 SP1	A6 ii B6 dd C6 hh ll D6 ee ff E6 ff F6 9E D6 ee ff 9E E6 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	- ↓ ↓ -
LDHX # <i>opr16i</i> LDHX <i>opr8a</i> LDHX <i>opr16a</i> LDHX <i>,X</i> LDHX <i>opr16,X</i> LDHX <i>opr8,X</i> LDHX <i>opr8,SP</i>	加载索引寄存器 (H:X) H:X ⁻ (M:M + \$0001)	IMM DIR EXT IX IX2 IX1 SP1	45 jj kk 55 dd 32 hh ll 9E AE 9E BE ee ff 9E CE ff 9E FE ff	3 4 5 5 6 5 5	ppp rrpp prpp prfp pprrpp prpp prpp	0 1 1 -	- ↓ ↓ -
LDX # <i>opr8i</i> LDX <i>opr8a</i> LDX <i>opr16a</i> LDX <i>opr16,X</i> LDX <i>opr8,X</i> LDX <i>,X</i> LDX <i>opr16,SP</i> LDX <i>opr8,SP</i>	从存储器那里加载 X (索引寄存器低) X ⁻ (M)	IMM DIR EXT IX2 IX1 IX SP2 SP1	AE ii BE dd CE hh ll DE ee ff EE ff FE 9E DE ee ff 9E EE ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	- ↓ ↓ -
LSL <i>opr8a</i> LSLA LSLX LSL <i>opr8,X</i> LSL <i>,X</i> LSL <i>opr8,SP</i>	逻辑左移位 t  (同 ASL)	DIR INH INH IX1 IX SP1	38 dd 48 58 68 ff 78 9E 68 ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↑ 1 1 -	- ↓ ↓ ↓
LSR <i>opr8a</i> LSRA LSRX LSR <i>opr8,X</i> LSR <i>,X</i> LSR <i>opr8,SP</i>	逻辑右移位 t 	DIR INH INH IX1 IX SP1	34 dd 44 54 64 ff 74 9E 64 ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↑ 1 1 -	- 0 ↓ ↓

8.4.5 MCG Control Register 3 (MCGC3)

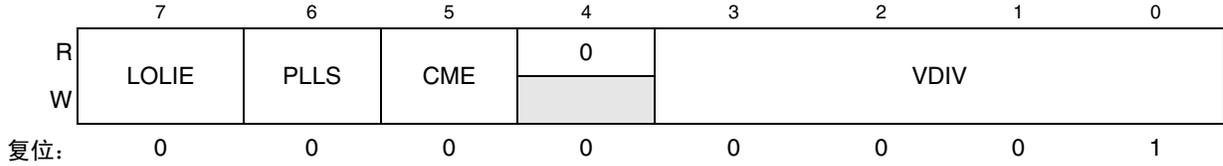


图 8-7. MCG PLL 寄存器 (MCGPLL)

表 8-5. MCG PLL 寄存器字段描述

字段	描述
7 LOLIE	锁定中断丢失使能 — 决定是否在锁定丢失后产生中断请求。LOLIE 位只有在设置 LOLS 后才产生作用。 0 锁定丢失不生成请求 1 锁定丢失生成请求
6 PLLS	PLL 选择 — 控制是选择 PLL 还是选择 FLL。如果 PLLS 位清除，PLL 在所有模式中都被禁止。如果设置了 PLLS，FLL 在所有模式中被禁止。 1 选择 PLL 0 选择 FLL
5 CME	时钟监控器使能 决定是否在外部时钟显示丢失后是否发送复位请求。当 MCG 处于使用外部时钟 (FEE, FBE, PEE, PBE 或 BLPE) 的运行模式或使能外部参考 (在 MCGC2 寄存器中 ERCLKEN=1) 时，CME 位只能设置为逻辑 1。只要 CME 位设置为逻辑 1，MCGC2 寄存器中的 RANGE 位的值都不能更改。 0 时钟监控器禁止 1 外部时钟丢失生成复位请求
3:0 VDIV	VCO 分频器 — 选择用来除 PLL 的 VCO 输出的值。VDIV 位确定被应用到参考时钟频率的倍频因子 (M)。 0000 ENCODING 0 — 预留的 0001 ENCODING 1 — 乘以 4. 0010 ENCODING 2 — 乘以 8. 0011 ENCODING 3 — 乘以 12. 0100 ENCODING 4 — 乘以 16. 0101 ENCODING 5 — 乘以 20. 0110 ENCODING 6 — 乘以 24. 0111 ENCODING 7 — 乘以 28. 1000 ENCODING 8 — 乘以 32. 1001 ENCODING 9 — 乘以 36. 1010 ENCODING 10 — 乘以 40. 1011 ENCODING 11 — 预留的 (默认设置为 M=40) 11xx ENCODING 12-15 — 预留的 (默认设置为 M=40)

当满足以下条件时就进入 PLL Bypassed External 模式：

- CLKS 位写入 00
- IREFS 位写入 0
- PLLS 位写入 1
- RDIV 位写入介于 1 MHz - 2 MHz 频率范围的分频参考时钟。
- LP 位写入 0

在 PLL Bypassed External 模式中，MCGOUT 时钟源自外部参考时钟。使能的外部参考时钟可以是外部晶体 / 谐振器，也可以是另外一个外部时钟源。PLL 时钟频率是参考频率（RDIV 位所选）和倍频因子（VDIV 位所选）乘积。如果使能 BDM，MCGLCLK 值就是 DCO 除以 2（开放环路模式）的得数。如果禁止 BDM，那么 FLL 被禁止且处于低功率状态。

8.5.1.7 Bypassed Low Power Internal (BLPI)

当满足以下条件时就进入 Bypassed Low Power Internal（BLPI）模式：

- CLKS 位写入 01
- IREFS 位写入 1
- PLLS 位写入 0
- LP 位写入 1
- BDM 模式未活动

在 Bypassed Low Power Internal 模式中，MCGOUT 时钟源自内部参考时钟。

在 BLPI 模式中，PLL 和 FLL 总是无效的，且 MCGLCLK 不能用于 BDC 通信。如果 BDM 进入活动状态，该模式将切换为由 PLLS 位状态决定的另外一种内部旁路模式。

8.5.1.8 Bypassed Low Power External (BLPE)

当满足以下条件时就进入 Bypassed Low Power External（BLPE）模式：

- CLKS 位写入 10
- IREFS 位写入 0
- PLLS 位写入 0 或 1
- LP 位写入 1
- BDM 模式未活动

在 Bypassed Low Power External 模式中，MCGOUT 时钟源自外部参考时钟。使能的外部参考时钟可以是外部晶体 / 谐振器，也可以是另外一个外部时钟源。

在 BLPE 模式中，PLL 和 FLL 总是无效的，且 MCGLCLK 不能用于 BDC 通信。如果 BDM 进入活动状态，该模式将切换到由 PLLS 位状态决定的另外一种外部旁路模式。

8.6.1 MCG 模块初始化顺序

MCG 来自于为 FEI 模式配置的复位，其中为 BDIV 除以 2。在 FLL 获取锁定之前，内部参考能在 t_{irefst} 毫秒内稳定。一旦内部参考稳定，FLL 就会在 t_{fil_lock} 毫秒内获取锁定。

在 POR 时，内部参考需要进行调整以确保精确的时钟。飞思卡尔推荐使用闪存位置 0xFFAE 来保存 MCGSC 寄存器中的微调位 FTRIM、推荐 0xFFAF 来保存 MCGTRM 寄存器中的 8 位调整值。MCU 不会自动将这些闪存位置的数值复制到各自的寄存器中。因此，用户代码必须将这些值从闪存复制到寄存器中。

注意

在没有进行首次调整内部参考前，BDIV 值不应被更改为 divide-by-1。不这样做可能会导致 MCU 不符合技术规范。

8.6.1.1 初始化 MCG

由于 MCG 在复位后处于 FEI 模式，复位后可以直接切换到的 MCG 模式有 FEE、FBE 和 FBI 模式 (参见图 8-8)。要直接切换到任何其他模式需要首先配置 MCG 为这三种初始模式中的一种。必须留意检查 MCGSC 寄存器中标志各个模式中所有配置更改的相关状态位。

要从 FEI 模式更改为 FEE 或 FBE 模式，请按下列步骤操作：

1. 使能在 MCGC2 中适当的位来使能外部时钟源；
2. 写至 MCGC1 以选择时钟模式；
 - 如果进入 FEE 模式，适当设置 RDIV、清除 IREFS 位，以切换到外部参考，让 CLKS 位停留在 %00，这样就可以把 FLL 输出选择为系统时钟源。
 - 如果进入 FBE，清除 IREFS 位以切换到外部参考，将 CLKS 位更改为 %10，这样就可以把外部参考选择为系统时钟源。这里还应根据外部参考频率适当设置 RDIV 位，因为尽管 FLL 被旁通，但它仍然处于 FBE 模式。
 - 内部参考可以通过设置 IRCLKEN 位保持运行。如果应用中需要在内部和外部模式之间来回切换，这就十分有用。为了实现最低功耗，当处于外部时钟模式时应禁止内部参考。
3. 在设置了正确的配置位后，等待 MCGSC 寄存器中受影响的位适当地改变，因为它们反应了 MCG 已经切换到正确模式。
 - 如果第 1 步中已经设置了 ERCLKEN，或者 MCG 处于 FEE、FBE、PEE、PBE 或 BLPE 模式，且第 1 步中也设置了 EREFS，等待 OSCINIT 位置位，OSCINIT 位的置位表明外部时钟源已经完成初始化周期且稳定下来。附录 A “电气性能”中给出了正常情况下的晶体启动时间。
 - 如果是 FEE 模式，一定要确保在进一步操作前，IREFST 位已经清除且 LOCK 位置位。
 - 如果是 FBE 模式，请确保 IREFST 位已经清除，LOCK 位已经置位，CLKST 位已经更改为 %10，这样表明已经正确选择了外部参考时钟。尽管在 FBE 模式中 FLL 被旁通，但它仍处于打开，将在 FBE 模式中锁定。

表 10-1. ADC 通道分配

ADCH	通道	输入	ADCH	通道	输入
00000	AD0	PTA0/ADP0/MCLK	01111	AD15	PTB7/ADP15
00001	AD1	PTA1/ADP1/ACMP1+	10000	AD16	PTC0/ADP16
00010	AD2	PTA2/ADP2/ACMP1P-	10001	AD17	PTC1/ADP17
00011	AD3	PTA3/ADP3/ACMP1O	10010	AD18	PTC2/ADP18
00100	AD4	PTA4/ADP4	10011	AD19	PTC3/ADP19
00101	AD5	PTA5/ADP5	10100	AD20	PTC4/ADP20
00110	AD6	PTA6/ADP6	10101	AD21	PTC5/ADP21
00111	AD7	PTA7/ADP7	10110	AD22	PTC6/ADP22
01000	AD8	PTB0/ADP8	10111	AD23	PTC7/ADP23
01001	AD9	PTB1/ADP9	11000– 11001	AD24 through AD25	预留
01010	AD10	PTB2/ADP10	11010	AD26	温度传感器 ¹
01011	AD11	PTB3/ADP11	11011	AD27	内部隙带 ²
01100	AD12	PTB4/ADP12	11100	预留	预留
01101	AD13	PTB5/ADP13	11101	V _{REFH}	V _{REFH}
01110	AD14	PTB6/ADP14	11110	V _{REFL}	V _{REFL}

10.1.3 替代时钟

ADC 模块的时钟源可以是 MCU 总线时钟，总线时钟二分频，模块内的本地异步时钟 (ADACK) 或替代时钟 ALTCLK。MC9S08DZ60 系列 MCU 器件的替代时钟是外部参考时钟 (MCGERCLK)。

所选的时钟源必须运行在一定的频率范围内，这样 ADC 转换时钟 (ADCK) 就可以通过 ADIV 位的设置，在从 ALTCLK 分频后，运行在指定的频率范围 (f_{ADCK}) 内。

当 MCU 处于等待模式时，ALTCLK 是使能的 (满足以上条件)。这使得当 MCU 处于等待模式时，ALTCLK 可以用作 ADC 的工作时钟源。

当 MCU 处于 STOP2 或 STOP3 时，ALTCLK 不能用作 ADC 工作时钟源。

10.3 外部信号描述

ADC 模块最多可支持 28 个独立模拟输入。它还需要 4 个电源 / 参考 / 接地连接。

表 10-2. 信号属性

名称	功能
AD27-AD0	模拟通道输入
V_{REFH}	高参考电压
V_{REFL}	低参考电压
V_{DDAD}	模拟电源
V_{SSAD}	模拟接地

10.3.1 模拟电源 (V_{DDAD})

ADC 模拟部分使用 V_{DDAD} 作为其电源连接。在有些封装中, V_{DDAD} 与 V_{DD} 是内部连接。如果是外部连接, 将 V_{DDAD} 管脚连到与 V_{DD} 相同的电平。为了确保干净的 V_{DDAD} 信号, 可能还需要外部滤波。

10.3.2 模拟接地 (V_{SSAD})

ADC 模拟部分使用 V_{SSAD} 作为其接地连接。在有些封装中, V_{SSAD} 与 V_{SS} 是内部连接。如果是外部连接, 将 V_{SSAD} 管脚连到与 V_{SS} 相同的电平。

10.3.3 参考电压高 (V_{REFH})

V_{REFH} 是转换器的高参考电压。在有些封装中, V_{REFH} 与 V_{DDAD} 是内部连接。如果是外部连接, V_{REFH} 可以连接到与 V_{DDAD} 相同的电平, 或者由介于 V_{DDAD} 最低限值和 V_{DDAD} 电平之间的外部源驱动 (V_{REFH} 必须不能超过 V_{DDAD})。

10.3.4 参考电压低 (V_{REFL})

V_{REFL} 是转换器的低参考电压。在有些封装中, V_{REFL} 与 V_{SSAD} 是内部连接。如果是外部连接, 将 V_{REFL} 管脚连到和 V_{SSAD} 相同的电平。

10.3.5 模拟通道输入 (ADx)

ADC 模块最多可支持 28 个独立的模拟输入。通过 $ADCH$ 通道选择位选择转换。

11.4.3 IIC 控制寄存器 (IICC1)

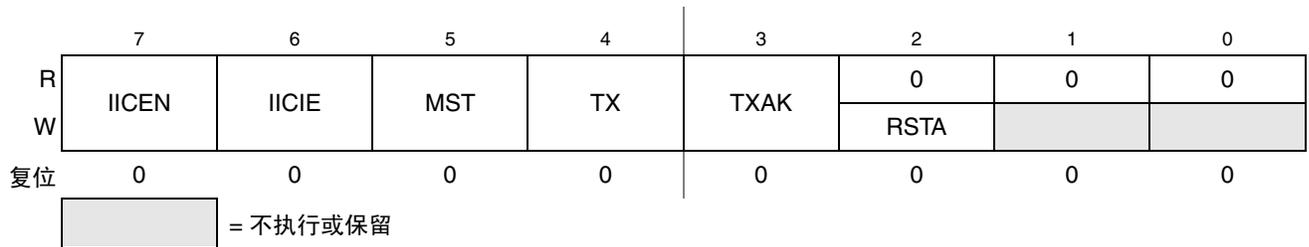


图 11-5. IIC 控制寄存器 (IICC1)

表 11-5. IICC1 字段描述

字段	描述
7 IICEN	IIC 使能。IICEN 位确定是否使能 IIC 模块。 IIC 禁止 1 IIC 使能
6 IICIE	IIC 中断使能。IICIE 位确定是否请求 IIC 中断。 0 IIC 中断请求禁止 1 IIC 中断请求使能
5 MST	主模式选择。当 MST 位从 0 变为 1，总线上产生启动信号，主机模式被选择。当 MST 位从 1 变为 0，生成停止信号，运行模式从主机模式变为从机模式 0 从机模式 1 主机模式
4 TX	发送模式选择。TX 位选择主从传输的方向。在主模式中，TX 位应根据所需传输类型进行设置。因此对于地址周期来说，TX 位始终很高。当作为从机时，TX 位应由软件根据状态寄存器中的 SRW 位进行设置。 0 接收 1 发送
3 TXAK	发送应答使能。在主从接收器的数据应答周期中，该位设置驱动输出到 SDA 的值。 0 收到一个数据字节后，向总线发送应答信号 1 不发送应答信号响应
2 RSTA	重复开始。向该位写入 1 产生重复启动条件，假设它是当前主机的情况。该位始终读取为 0。在错误时间试图重复会导致仲裁丢失。

11.4.4 IIC 状态寄存器 (IICS)

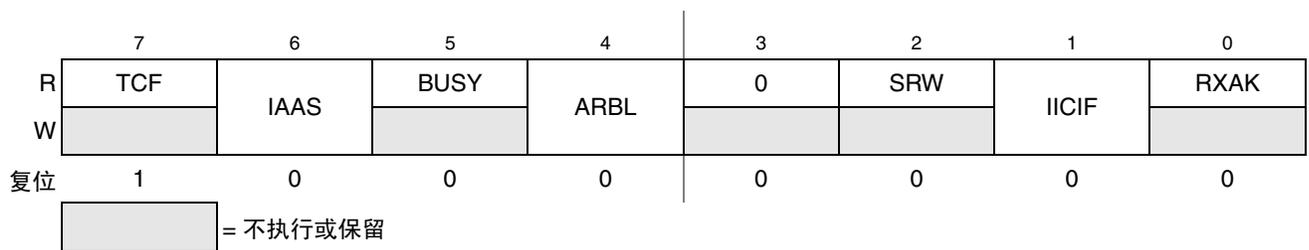


图 11-6. IIC 状态寄存器 (IICS)

S	从机前 7 位 11110 + AD10 + AD9	R/W 0	A1	从机第二个字节 AD[8:1]	A2	Sr	从机前 7 位 11110 + AD10 + AD9	R/W 1	A3	数据	A	...	数据	A	P
---	-------------------------------	----------	----	--------------------	----	----	-------------------------------	----------	----	----	---	-----	----	---	---

表 11-10. 主接收器寻址 10 位地址的从发射器

在主机发送器已经发送了 10 位地址的第一个字节后，从机接收器产生 IIC 中断。软件必须确保 IICD 的内容被忽略，且不作为该中断的有效数据对待。

11.5.3 通用呼叫地址

通用呼叫可以是 7 位地址或 10 位地址。如果设置了 GCAEM 位，IIC 就匹配通用呼叫地址及其自己的从机地址。当 IIC 响应通用呼叫时，它用作从接收器，且在地址周期后设置 IAAS 位。传输完首字节后，软件必须读取 IICD 寄存器，以确定是地址匹配其自己的从机还是通用呼叫。如果值为 00，匹配是通用呼叫。如果 GCAEN 位为 0，IIC 则通过不发送应答的方式忽略通用呼叫地址提供的任何数据。

11.6 复位

IIC 在复位后被禁止，IIC 不能引起 MCU 复位。

11.7 中断

IIC 只产生一个中断。

假设设置了 IICIE 位，当发生表 11-11 中的任意一个事件时，IIC 就生成中断。中断由位 IICIF（IIC 状态寄存器的位）驱动，用位 IICIE（IIC 控制寄存器的位）屏蔽。IICIF 位必须通过软件在中断程序中向其写入 1 来清除。您可以通过读取状态寄存器确定中断类型。

表 11-11. 中断摘要

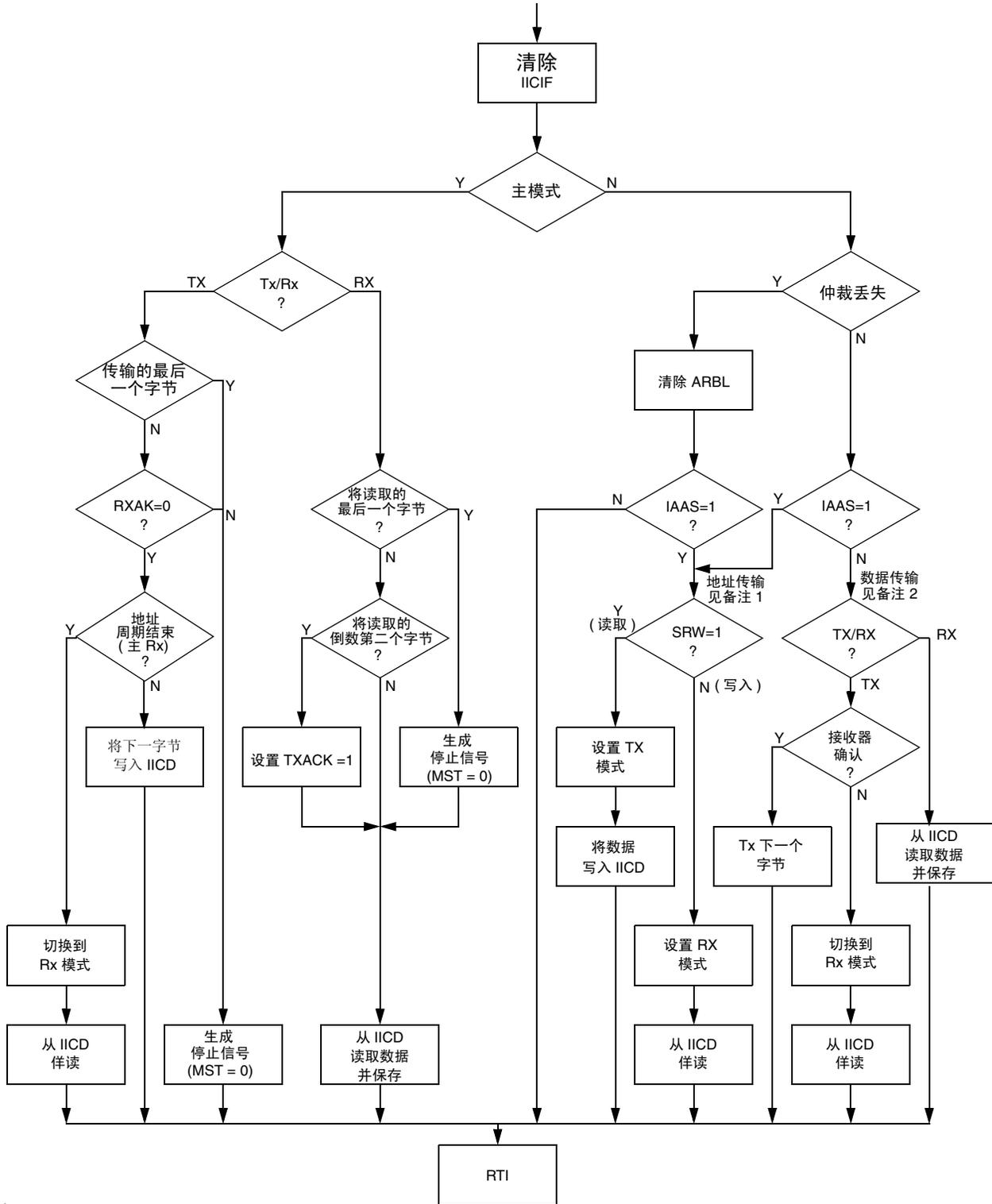
中断源	状态	标记	本地使能
完成 1 字节传输	TCF	IICIF	IICIE
匹配到收到的主叫地址	IAAS	IICIF	IICIE
仲裁丢失	ARBL	IICIF	IICIE

11.7.1 字节传输中断

TCF（传输完成标记）位在第 9 时钟的下降边沿设置，表示字节传输完成。

11.7.2 地址检测中断

当主叫地址匹配已编程的从机地址（IIC 地址寄存器）或者当设置了 GCAEN 位且收到通用呼叫时，就设置状态寄存器中的 IAAS 位。假设设置了 IICIE，CPU 就被中断。CPU 必须检查 SRW 位并相应设置其 Tx 模式。



备注:

1. 如果使能了通用呼叫, 必须进行检查, 以确定收到的地址是否为通用呼叫地址 (0x00)。如果收到的地址是通用呼叫地址, 那么通用呼叫必须由用户软件处理。
2. 当使用 10 位寻址来寻址从器件时, 从器件在扩展地址的首字节后发现中断。用户软件必须为该中断确保这一点, 那就是忽略 IICD 的内容, 且不把它作为有效数据传输对待。

图 11-12. 典型的 IIC 中断程序

表 12-37. 中断矢量

中断源	CCR 掩码	本地使能
唤醒中断 (WUIF)	1 位	CANRIER (WUIE)
错误中断 (CSCIF, OVRIF)	1 位	CANRIER(CSCIE, OVRIE)
接入中断 (RXF)	1 位	CANRIER (RXFIE)
发送中断 (TXE[2:0])	1 bit	CANRIER (TXEIE[2:0])

12.5.7.2 发送中断

三个发送缓冲器中至少有一个空（未安排发送），并可以写入报文发送。空报文缓冲器的 TXEx 标志已置位。

12.5.7.3 接收中断

报文成功接收，并转移到接收器 FIFO 的前景缓冲器（RxFG）。收到 EOF 符号后，立即生成该中断。RXF 标志已置位。如果接收器 FIFO 中有多条报文，一旦下一条报文转移到前景缓冲器，就立即设置 RXF 标志。

12.5.7.4 唤醒中断

如果在 MSCAN 内部睡眠模式期间 CAN 总线上有信号，就生成唤醒中断。WUPE（参见 12.3.1，“MSCAN 控制寄存器 0 (CANCTL0)”）必须使能。

12.5.7.5 错误中断

如果出现了接收器 FIFO 溢出、错误、警报或总线脱离情况，就出现错误中断。12.3.4.1，“MSCAN 接收器标志寄存器 (CANRFLG)”显示以下情况中的一种：

- **溢出** — 出现了如 12.5.2.3，“接收结构”所述的接收器 FIFO 的溢出情况。
- **CAN 状态变化** — 实际值控制着 MSCAN 的 CAN 总线状态。只要错误计数器进入关键范围（Tx/Rx 警报、Tx/Rx 错误、总线脱离），MSCAN 就标志错误情况。造成错误情况的状态变化用 TSTAT 和 RSTAT 标志表示（参见 12.3.4.1，“MSCAN 接收器标志寄存器 (CANRFLG)”和 12.3.5，“MSCAN 接收器中断使能寄存器 (CANRIER)”）。

12.5.7.6 中断响应

中断与 12.3.4.1，“MSCAN 接收器标志寄存器 (CANRFLG)”或 12.3.6，“MSCAN 发送器标志寄存器 (CANTFLG)”中的一个或多个状态标志相关。CANRFLG 和 CANTFLG 中的标志必须在中断处理程序内复位。将 1 写入相应位来清零标志。如果中断条件仍然存在，标志不能清除。只要设置了相应标志中的一个，中断就产生。

注意

必须确保 CPU 只清除引起当前中断的位。正是因为这个原因，不能有位操作指令（BSET）清除中断标志。这种指令可能造成意外清除进入当前中断服务程序后设置的中断标志。

若 $CPHA = 1$ ，则当处于活跃低态时，辅器件开始驱动其 MISO 输出，但直到出现第一个 SPSCK 边沿时才定义数据。第一个 SPSCK 边沿将数据的第一位从移位器转移到主 SPI 器件的 MOSI 输出和辅 SPI 器件的 MISO 输出。第二个 SPSCK 边沿促使主 SPI 器件和辅 SPI 器件分别在它们的 MISO 和 MOSI 输入上进行数据位值采样。在第三个 SPSCK 边沿，SPI 移位器移动 1 个位位置，移到刚刚采样的位值中，将第二个数据位值移出移位器的另一端，分别移到主 SPI 器件和辅 SPI 器件的 MOSI 和 MISO 输出。若 $CPHA = 1$ ，不需要辅 SPI 器件的 SS 输入在两个传输之间进入非激活的高电平状态。

图 13-11 显示了 $CPHA = 0$ 时的时钟格式。在图的顶部，显示了 8 个位时间，作为参考。当选择辅时钟时（SS IN 进入低态），第一个位就开始，第八个位结束于最后一个 SPSCK 边沿。MSB First 和 LSB First 线根据 LSBFE 中的设置显示了 SPI 数据位的顺序。SPSCK 极性的两个变化都显示了出来，但这两个波形中只有一个适用于特定传输，具体哪一个取决于 CPOL 中的值。SAMPLE IN 波形适用于辅器件的 MOSI 输入或主器件的 MISO 输入。MOSI 波形适用于主器件的 MOSI 输出管脚，MISO 波形适用于辅器件的 MISO 输出。SS OUT 波形适用于主器件的辅选择输出（如果 MODFEN，SSOE = 1）。传输的第一位时间开始时，主器件的 SS 输出处于活跃低态，在传输的第 8 个位时间结束后的半个 SPSCK 周期时返回高态。SS IN 波形适用于辅器件的辅选择输入。

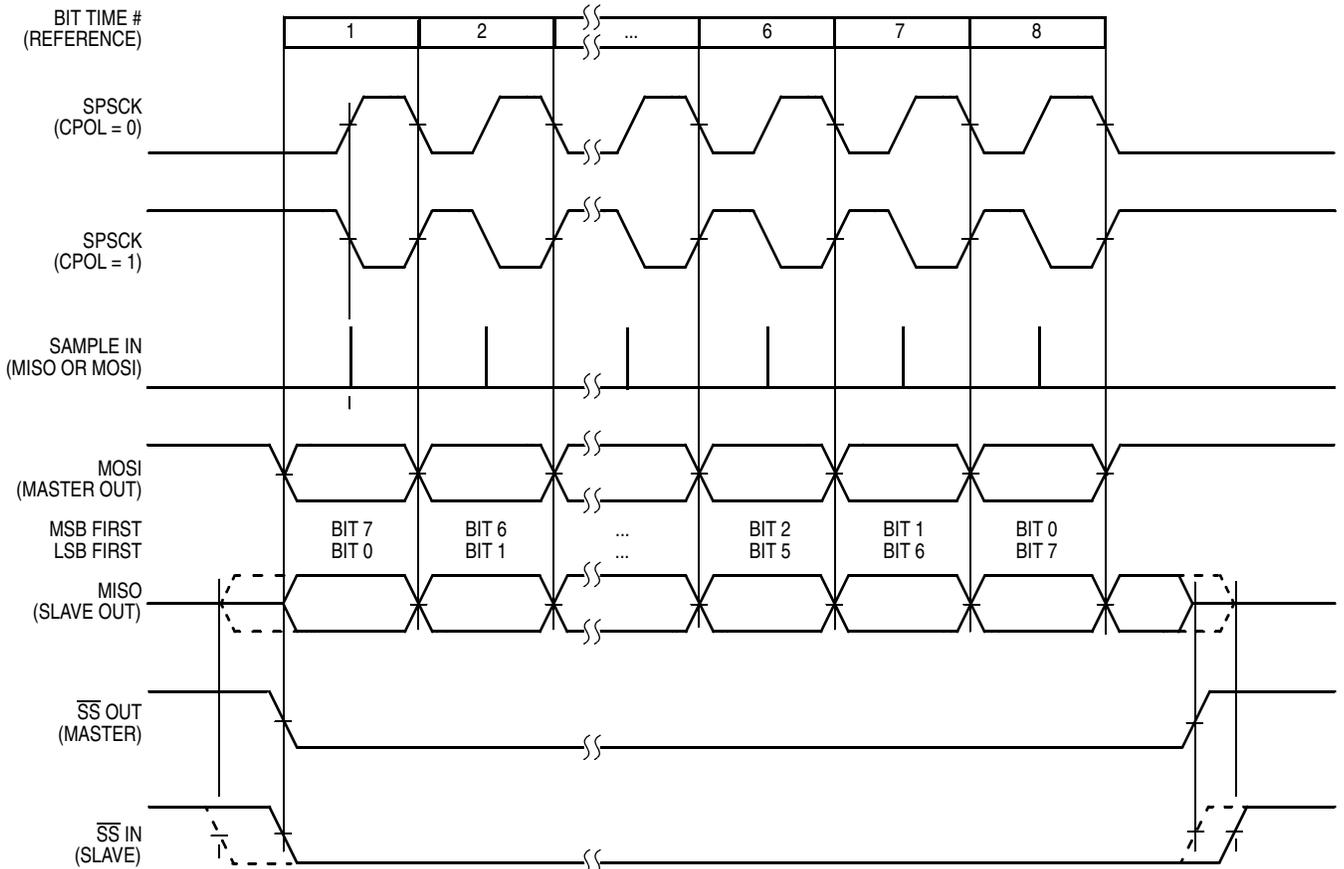


图 13-11. SPI 时钟格式 ($CPHA = 0$)

```
/******  
Function Name : RTC_ISR  
Notes : Interrupt service routine for RTC module.  
*****/  
#pragma TRAP_PROC  
void RTC_ISR(void)  
{  
    /* Clear the interrupt flag */  
    RTCSC.byte = RTCSC.byte | 0x80;  
    /* RTC interrupts every 1 Second */  
    Seconds++;  
    /* 60 seconds in a minute */  
    if (Seconds > 59){  
        Minutes++;  
        Seconds = 0;  
    }  
    /* 60 minutes in an hour */  
    if (Minutes > 59){  
        Hours++;  
        Minutes = 0;  
    }  
    /* 24 hours in a day */  
    if (Hours > 23){  
        Days ++;  
        Hours = 0;  
    }  
}
```

表 A-5. ESD 和闭锁保护特性

编号	参数	符号	最小值	最大值	单位
1	人体模式 (HBM)	V_{HBM}	+/- 2000	-	V
2	充电器件模式 (CDM)	V_{CDM}	+/- 500	-	V
3	$T_A = 125^\circ\text{C}$ 时的闭锁电流	I_{LAT}	+/- 100	-	mA

A.6 DC 特性

本小节介绍了电源要求、I/O 管脚特性及各种操作模式中的电源电流信息。

表 A-6. DC 特性

编号	C	特性	符号	条件	最小值	典型值 ¹	最大值	单位	
1	—	操作电压	V_{DD}		2.7	—	5.5	V	
2	P	所有 I/O 管脚、低驱动强度	V_{OH}	5 V, $I_{Load} = -2\text{ mA}$	$V_{DD} - 1.5$	—	—	V	
	C			3 V, $I_{Load} = -0.6\text{ mA}$	$V_{DD} - 1.5$	—	—		
	C			高压输出	5 V, $I_{Load} = -0.4\text{ mA}$	$V_{DD} - 0.8$	—		—
	C			3 V, $I_{Load} = -0.24\text{ mA}$	$V_{DD} - 0.8$	—	—		
	P	所有 I/O 管脚、高驱动强度		5 V, $I_{Load} = -10\text{ mA}$	$V_{DD} - 1.5$	—	—		
	C			3 V, $I_{Load} = -3\text{ mA}$	$V_{DD} - 1.5$	—	—		
	C			5 V, $I_{Load} = -2\text{ mA}$	$V_{DD} - 0.8$	—	—		
	C			3 V, $I_{Load} = -0.4\text{ mA}$	$V_{DD} - 0.8$	—	—		
3	C	高电流输出 所有端口的最大总 I_{OH}	I_{OHT}	5 V	0	—	-100	mA	
				3 V	0	—	-60		
4	P	所有 I/O 管脚、低驱动强度	V_{OL}	5 V, $I_{Load} = 2\text{ mA}$	—	—	1.5	V	
	C			3 V, $I_{Load} = 0.6\text{ mA}$	—	—	1.5		
	C			低压输出	5 V, $I_{Load} = 0.4\text{ mA}$	—	—		0.8
	C			3 V, $I_{Load} = 0.24\text{ mA}$	—	—	0.8		
	P	所有 I/O 管脚、高驱动强度		5 V, $I_{Load} = 10\text{ mA}$	—	—	1.5		
	C			3 V, $I_{Load} = 3\text{ mA}$	—	—	1.5		
	C			5 V, $I_{Load} = 2\text{ mA}$	—	—	0.8		
	C			3 V, $I_{Load} = 0.4\text{ mA}$	—	—	0.8		
5	C	低电流输出 所有端口的最大总 I_{OL}	I_{OLT}	5 V	0	—	100	mA	
				3 V	0	—	60		
6	C	高压输入; 所有数字输入	V_{IH}	5V	$0.65 \times V_{DD}$	—	—	V	
7	C	低压输入; 所有数字输入	V_{IL}	5V	—	—	$0.35 \times V_{DD}$		
8	C	输入滞后	V_{hys}		$0.06 \times V_{DD}$			mV	
9	P	输入漏电流 (每管脚) 仅针对所有输入管脚	I_{In}	$V_{In} = V_{DD}$ or V_{SS}	—	0.1	1	μA	

A.13 闪存和 EEPROM

本小节详细地描述闪存和 EEPROM 存储器的编程 / 擦除次数及编程 - 擦除容限。

编程和擦除操作除正常 V_{DD} supply 电源外不需要任何特殊电源。有关编程 / 擦除操作的更多信息，请参见第 4 章，“存储器”。

表 A-17. 闪存和 EEPROM 特性

编号	C	参数	符号	最小值	典型值	最大值	单位
16	—	编程 / 擦除的电源电压	$V_{\text{prog/erase}}$	2.7		5.5	V
17	—	读取操作的电源电压 $0 < f_{\text{Bus}} < 8 \text{ MHz}$ $0 < f_{\text{Bus}} < 20 \text{ MHz}$	V_{Read}	2.7		5.5	V
18	—	内部 FCLK 频率 ¹	f_{FCLK}	150		200	kHz
19	—	内部 FCLK 时间 (1/FCLK)	$t_{\text{Fcy}}^{\text{c}}$	5		6.67	μs
20	—	字节编程时间 (任意位置) ⁽²⁾	t_{prog}	9			$t_{\text{Fcy}}^{\text{c}}$
21	—	字节编程时间 (突发模式) ⁽²⁾	t_{Burst}	4			$t_{\text{Fcy}}^{\text{c}}$
22	—	页面擦除时间 ²	t_{Page}	4000			$t_{\text{Fcy}}^{\text{c}}$
23	—	块擦除时间 ⁽²⁾	t_{Mass}	20,000			$t_{\text{Fcy}}^{\text{c}}$
24	C	闪存编程 / 擦除次数 ³ T_L 至 $T_H = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $T = 25^\circ\text{C}$	n_{FLPE}	10,000 —	— 100,000	— —	cycles
25	C	编程 / 擦除次数 ³ T_L 至 $T_H = -40^\circ\text{C}$ to $+0^\circ\text{C}$ T_L to $T_H = 0^\circ\text{C}$ to $+125^\circ\text{C}$ $T = 25^\circ\text{C}$	n_{EEPE}	10,000 50,000 —	— — 100,000	— — —	cycles
26	C	数据保留时间 ⁴	$t_{\text{D-ret}}$	15	100	—	years

¹ 该时钟的频率由软件设置控制。

² 这些值是硬件状态设备控制的值。用户代码无需计周期数。提供该信息的目的是为了计算编程和擦除的大约时间。

³ 闪存和 EEPROM 的典型容限基于内在的位元性能。有关飞思卡尔半导体如何定义典型容限的更多信息，请参考 Engineering Bulletin EB619，非易失性存储器的典型容限。

⁴ 典型数据保留时间值基于在高温时测量的技术的内在能力，并使用阿伦尼乌斯公式降到 25°C。有关飞思卡尔半导体如何定义典型数据保留时间的更多信息，请参考 Engineering Bulletin EB618，非易失性存储器的典型数据保留时间。

附录 B

定时器脉宽调制器 (TPMV2)

注意

本章节参考 S08TPM 第二版本，它适用于该器件的 3M05C 及更旧的掩膜版本。0M74K 和更新的掩膜版本采用 S08TPM 第三版本。如果你的器件采用 0M74K 或更新的掩膜，请参见 299 页上的第 16 章，“定时器脉冲宽度调节器（S08TPMV3）”，了解该模块的信息。

B.1 介绍

TPM 采用每通道一个 I/O 管脚，TPMxCHn，其中 x 是 TPM 数量（如 1 或 2），n 是通道的数量（如 0 - 4）。TPM 与通用 I/O 端口管脚共享其 I/O 管脚（参见 Pins and Connections 章节，了解更多信息）。

B.2 特性

TPM 提供以下特性：

- 每个 TPM 可以配置为所有通道上缓冲的且中央对齐的脉宽调制 (CPWM)
- 可以为每个 TPM 独立选择时钟源（多个 TPM 器件）
- 时钟源可选择（根据器件选择）：总线时钟、固定系统时钟、外部管脚
- 时钟预分频点按 1, 2, 4, 8, 16, 32, 64, 或 128 分
- 16- 位自由运行或上 / 下 (CPWM) 计数操作
- 16- 位模量寄存器控制计数器范围
- 定时器系统使能
- 每个通道一个中断加上每个 TPM 模块的终端计数中断（多个 TPM 器件）
- 通道特性：
 - 每个通道可以是输入捕捉，输出比较，或缓冲边沿对齐的 PWM
 - 上升边，下降边或任意边输入捕捉触发器
 - 设置、清除或固定输出比较行动
 - 在 PWM 输出上可选择极性



图 B-4. 定时器计数器寄存器低 (TPMxCNTL)

当背景模式处于活动状态时，定时器计数器和一致性机制被冻结，以便缓冲器锁定保持背景模式使能时的状态，无论背景模式使能时读取计数器的一个字节还是两个字节。

B.5.3 定时器计数器模量寄存器 (TPMxMODH:TPMxMODL)

读写 TPM 模量寄存器包括 TPM 计数器使用的模量值。在 TPM 计数器达到模量值后，TPM 计数器在下一个时钟 (CPWMS = 0) 位置从 0x0000 重新计数，或者向下计数 (CPWMS = 1)，完成溢出标记 (TOF) 设置。写入 TPMxMODH 或 TPMxMODL 会抑制 TOF，溢出中断，直到书写另一个字节为止。复位操作会把 TPM 计数器模量寄存器设置为 0x0000，由此产生一个空运转定时器计数器 (模量禁止)。

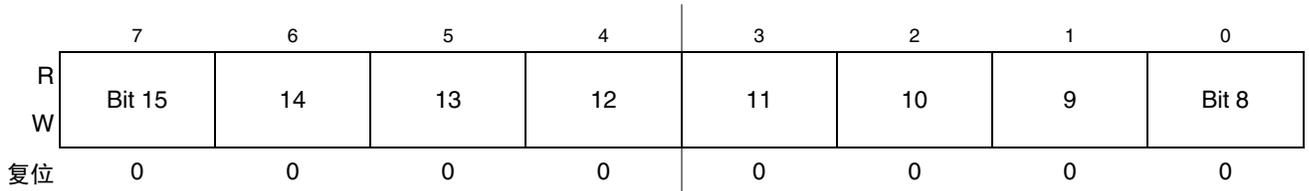


图 B-5. 定时器计数器模量寄存器高 (TPMxMODH)

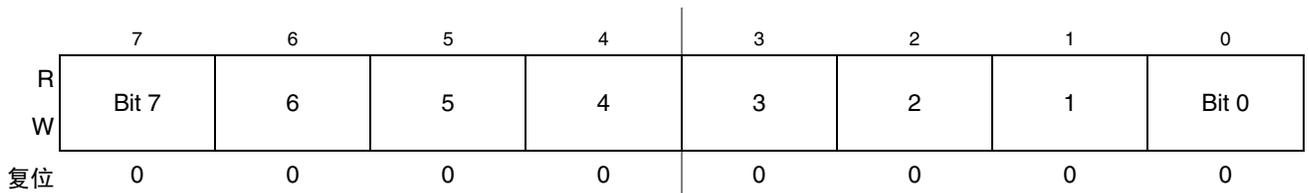


图 B-6. 定时器计数器模量寄存器低 (TPMxMODL)

最好的方法是等待溢出中断，这样模量寄存器的两个字节都可以在发生新溢出之前写入。另一种方法是在写入 TPM 模量寄存器前复位 TPM 计数器，避免第一个计数器溢出时发生混淆。