



Welcome to [E-XFL.COM](https://www.e-xfl.com)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	39
Program Memory Size	60KB (60K x 8)
Program Memory Type	FLASH
EEPROM Size	2K x 8
RAM Size	4K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 16x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 85°C (TA)
Mounting Type	Surface Mount
Package / Case	48-LQFP
Supplier Device Package	48-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz60clf

章节号	标题	页码
B.6.2	通道模式选择	373
B.6.3	中央对齐 PWM 模式	374
B.7	TPM 中断	376
B.7.1	清除定时器中断标记	376
B.7.2	定时器溢出中断描述	376
B.7.3	通道事件中断描述	376
B.7.4	PWM 占空比结束事件	377

附录 C

订购信息和机械图

C.1	订购信息	378
C.1.1	MC9S08DZ60 Series 设备	378
C.2	机械图	378

表 3-2. 停止模式

外围设备	模式	
	Stop2	Stop3
CPU	关闭	待机
RAM	待机	待机
Flash/EEPROM	关闭	待机
并行端口寄存器	关闭	待机
ACMP	关闭	关闭
ADC	关闭	可选择开启 ¹
IIC	关闭	待机
MCG	关闭	可选择开启 ²
MSCAN	关闭	待机
RTC	可选择开启 ³	可选择开启 ³
SCI	关闭	待机
SPI	关闭	待机
TPM	关闭	待机
电压调节器	关闭	可选择开启 ⁴
XOSC	关闭	可选择开启 ⁵
I/O 管脚	状态被保持	状态被保持
BDM	关闭 ⁶	可选择开启
LVD/LVW	关闭 ⁷	可选择开启

¹ 要求启用 DC 时钟和 LVD，否则为待机。

² MCGC1 中设置 IRCLKEN 和 IREFSTEN，否则为待机。

³ 要求启用 RTC，否则为待机。

⁴ 要求启用 LVD 或 BDC。

⁵ MCGC2 中设置 ERCLKEN 和 EREFSTEN，否则为待机。在高频率范围（MCGC2 中设置 RANGE）还要求在 Stop3 中启用 LVD。

⁶ 如果进入 Stop2 模式时设置了 ENBDM，MCU 实际上会进入 Stop3 模式。

⁷ 如果进入 Stop2 模式时设置了 LVDSE，MCU 实际上会进入 Stop3 模式。

表 4-15. FSTAT 寄存器字段描述 (continued)

字段	描述
4 FACCERR	访问错误标记 — FACCERR 在以下情况下自动设置：正确的命令顺序没有严格遵守（错误的命令将被忽略），FCDIV 寄存器初始化之前尝试进行编程或擦除操作，或在命令正在执行时 MCU 进入停止模式。若欲了解会被认为是访问错误的具体操作的更详尽信息，请参见 4.5.6，“访问错误”。FACCERR 通过向 FACCERR 中写入一个 1 来清除。向 FACCERR 中写入 0 没有任何意义或效果。 0 没有访问错误。 1 发生了访问错误。
2 FBLANK	验证为全空（被擦除）标记 — FBLANK 在空白检查命令完成后自动设置为 1（如果整个 Flash 或 EEPROM 阵列被确认已擦除）。FBLANK 通过清除 FCBEF 以写入新的有效命令来清除。向 FBLANK 中写入没有任何意义或效果。 0 在空白检查命令执行完成而且 FCCF = 1 的情况下，FBLANK = 0 表示 Flash 或 EEPROM 阵列未被完全擦除。 1 在空白检查命令执行完成而且 FCCF = 1 的情况下，FBLANK = 1 表示 Flash 或 EEPROM 阵列已完全擦除（全部为 0xFFFF）。

4.5.11.6 Flash 和 EEPROM 命令寄存器 (FCMD)

如表 4-16 所示，正常用户模式下只能识别 6 种命令代码。所有其他命令代码都是非法的，会产生访问错误。请参见 4.5.3，“编程和擦除命令的执行”来了解对 Flash 和 EEPROM 编程及擦除操作的详细描述。

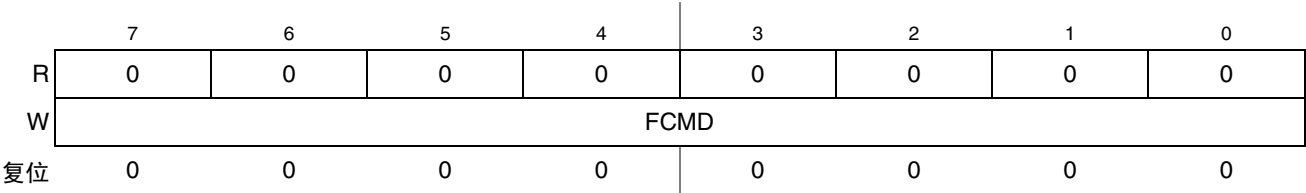


图 4-10. Flash 和 EEPROM 命令寄存器 (FCMD)

表 4-16. Flash 和 EEPROM 命令

命令	FCMD	等同文件标签
空白检查	0x05	mBlank
字节编程	0x20	mByteProg
突发编程	0x25	mBurstProg
分区擦除	0x40	mSectorErase
整体擦除	0x41	mMassErase
分区擦除终止	0x47	mEraseAbort

进行整体擦除操作后没有必要再执行空白检查命令。空白检查只是安全解锁机制的一部分。

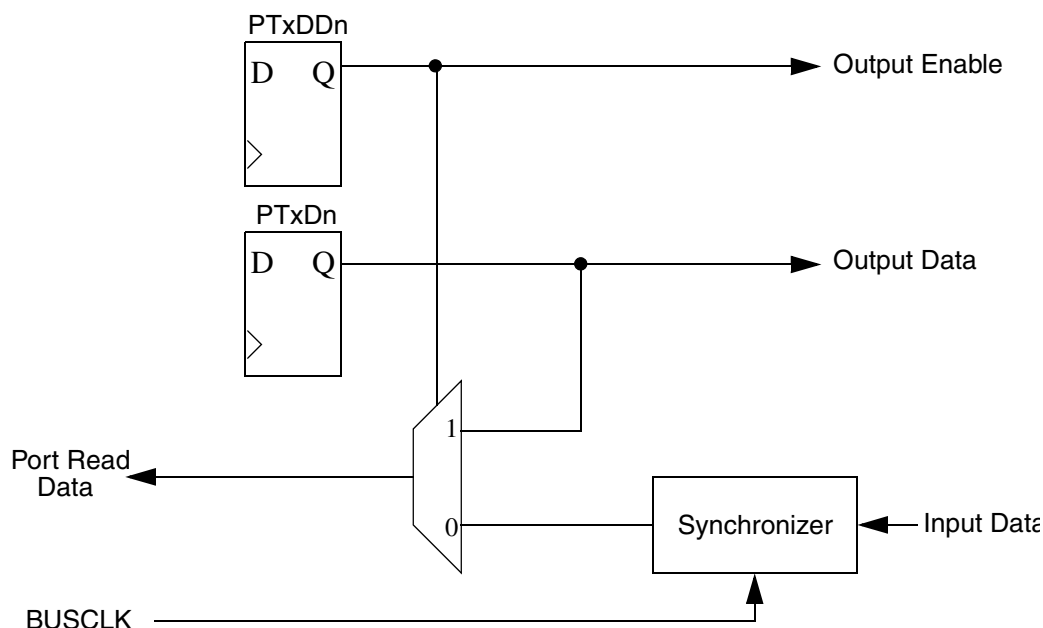


图 6-1. 并行输入 / 输出示意图

6.2 上拉、斜率和驱动强度

与并行输入/输出端口相关的是位于高页寄存器空间的一套寄存器，它们的操作独立于输入/输出寄存器。这些寄存器用来控制管脚的上拉、斜率和驱动强度。

在上拉寄存器（PTxPEn）中设置对应的位可以为所对应的端口管脚使能内部上拉器件。如果并行输入 / 输出控制逻辑或任何外围设备功能将管脚配置为输出，上拉器件就会被禁止，这与对应的上拉寄存器位的状态无关。如果管脚由模拟功能控制，上拉器件同样会被禁止。

在斜率控制寄存器（PTxSEn）中设置对应的位可以为所对应的端口管脚使能斜率控制。该功能启动时，转换控制限制输出的转换速度，减少 EMC 发射。斜率控制对配置为输入的管脚没有任何影响。

注意

工程样品和最终成品的斜率复位默认值可能不同。一定要将斜率控制初始化为规定的值，以保证正确的操作。

在驱动强度选择寄存器（PTxDSn）中设置对应的位可以选择一个具有高输出驱动强度的输出管脚。选定好高驱动后，管脚就能够送出和吸收更大的电流。即使可以将每个 I/O 管脚选择为高驱动，用户也必须保证不超出 MCU 的总送出和吸收电流限制。驱动强度选择旨在影响 I/O 管脚的 DC 行为，然而，AC 行为也会受到影响。高驱动允许管脚以与低驱动使能管脚在更小负载中一样的交换速度，驱动更大的负载。正因为如此，EMC 放射可能会由于使能管脚作为高驱动而受到影响。

6.5.1.5 A 端口驱动强度选择寄存器 (PTADS)

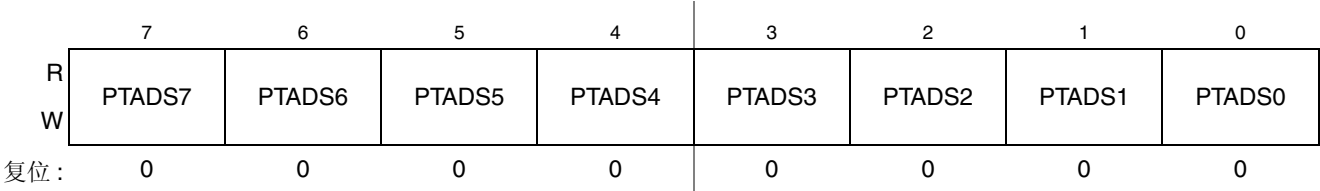


图 6-7. A 端口寄存器的驱动强度选择 (PTADS)

表 6-5. PTADS 寄存器字段描述

字段	描述
7:0 PTADS[7:0]	A 端口位的输出驱动强度选择 — 这些控制位为相关 PTA 管脚选择低输出驱动和高输出驱动。对于配置为输入的 A 端口管脚，这些位不会产生任何影响。 0 A 端口位 - 选择的低输出驱动强度。 1 A 端口位 - 选择的高输出驱动强度。

6.5.1.6 A 端口中断状态和控制寄存器 (PTASC)

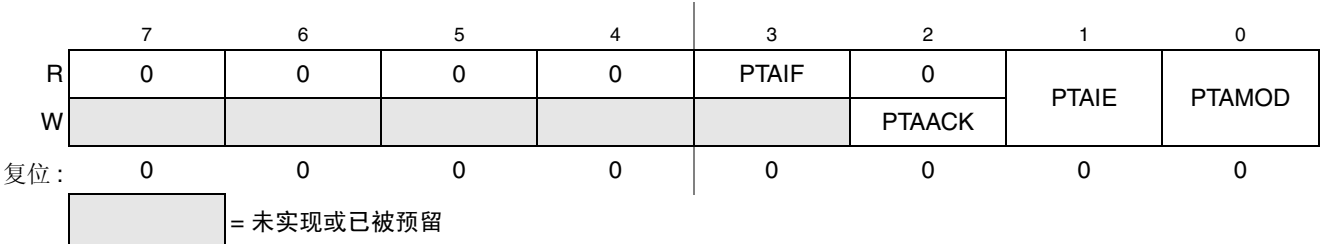


图 6-8. A 端口中断状态和控制寄存器 (PTASC)

表 6-6. PTASC 寄存器字段描述

字段	描述
3 PTAIF	A 端口中断标志 — PTAIF 显示是否检测到 A 端口中断。写入对 PTAIF 没有任何影响。 0 未检测到 A 端口中断。 1 检测到 A 端口中断。
2 PTAACK	A 端口中断确认 — 向 PTAACK 写入 1 是标记清除机制的一部分。PTAACK 的读数总为 0。
1 PTAIE	A 端口中断使能 — PTAIE 决定是否请求 A 端口中断。 0 A 端口中断请求禁止。 1 A 端口中断请求使能。
0 PTAMOD	A 端口检测模式 — PTAMOD（同 PTAES 位一起）控制着 A 端口中断管脚的检测模式。 0 A 端口管脚只检测边沿。 1 A 端口管脚同时检测边沿和电平。

6.5.4.8 D 端口中断边沿选择寄存器 (PTDES)

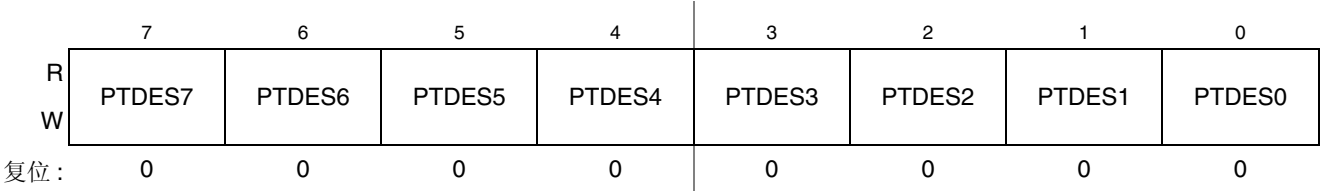


图 6-31. D 端口边沿选择寄存器 (PTDES)

表 6-29. PTDES 寄存器字段描述

字段	描述
7:0 PTDES[7:0]	D 端口边沿选择 — 每个 PTDES _n 位都具有双重功能，选择活动中断边沿的极性以及选择上拉或下拉器件（使能的话）。 0 上拉器件与相关的管脚相连，检测中断生成的下降边沿 / 低电平。 1 下拉器件与相关的管脚相连，检测中断生成的上升边沿 / 高电平。

6.5.5 E 端口寄存器

E 端口由下列寄存器控制。

6.5.5.1 E 端口数据寄存器 (PTED)

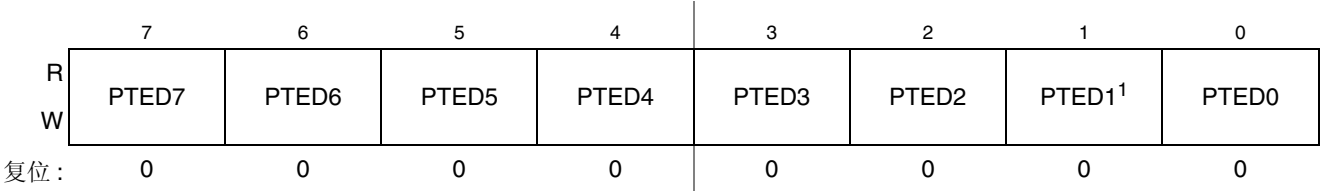


图 6-32. E 端口数据寄存器 (PTED)

¹ 读取这个位总是要返回相关管脚的管脚值，与端口数据方向位中保存的值无关。

表 6-30. PTED 寄存器字段描述

字段	描述
7:0 PTED[7:0]	E 端口数据寄存器位 — 对于配置为输入的 E 端口管脚，读数返回管脚上的逻辑电平。对于配置为输出的 E 端口管脚，读数返回写入寄存器的最后一个值。 写入值被锁定在本寄存器的所有位中。对于配置为输出的 E 端口管脚，逻辑电平被输出到驱出相应的 MCU 管脚。 复位强制 PTED 都为 0，但是这些 0 未被输出到驱出相应的管脚，因为复位还会将所有端口管脚配置为上拉 / 下拉禁止的高抗阻输入。

表 7-2. 指令集小结 (第 8 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V I 1 H	I N Z C
SUB #opr8i SUB opr8a SUB opr16a SUB oprx16,X SUB oprx8,X SUB ,X SUB oprx16,SP SUB oprx8,SP	减 $A \leftarrow (A) - (M)$	IMM DIR EXT IX2 IX1 IX SP2 SP1	A0 ii B0 dd C0 hh ll D0 ee ff E0 ff F0 9E D0 ee ff 9E E0 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	↑ 1 1 -	- ↓ ↓ ↓
SWI	软件中断 $PC \leftarrow (PC) + \$0001$ 推 (PCL); $SP \leftarrow (SP) - \$0001$ 推 (PCH); $SP \leftarrow (SP) - \$0001$ 推 (X); $SP \leftarrow (SP) - \$0001$ 推 (A); $SP \leftarrow (SP) - \$0001$ 推 (CCR); $SP \leftarrow (SP) - \$0001$ $I \leftarrow 1$; PCH 中断向量高字节 PCL 中断向量低字节	INH	83	11	sssssvvfppp	- 1 1 -	1 - - -
TAP	将累加器转移到 CCR $CCR \leftarrow (A)$	INH	84	1	p	↑ 1 1 ↑	↑ ↓ ↓ ↓
TAX	将累加器转移到 X (索引寄存器低) $X \leftarrow (A)$	INH	97	1	p	- 1 1 -	- - - -
TPA	将 CCR 转移到累加器 $A \leftarrow (CCR)$	INH	85	1	p	- 1 1 -	- - - -
TST opr8a TSTA TSTX TST oprx8,X TST ,X TST oprx8,SP	负数或 0(M) 测试 $(M) - \$00$ $(A) - \$00$ $(X) - \$00$ $(M) - \$00$ $(M) - \$00$ $(M) - \$00$	DIR INH INH IX1 IX SP1	3D dd 4D 5D 6D ff 7D 9E 6D ff	4 1 1 4 3 5	rfpp p p rfpp rfp prfpp	0 1 1 -	- ↓ ↓ -
TSX	将 SP 转移到索引寄存器。 $H:X \leftarrow (SP) + \$0001$	INH	95	2	fp	- 1 1 -	- - - -
TXA	将 X (索引寄存器低) 转移到累加器上 $A \leftarrow (X)$	INH	9F	1	p	- 1 1 -	- - - -

表 7-3. 操作码映射（第 2 页，共 2 页）

Bit-Manipulation		Branch	Read-Modify-Write			Control			Register/Memory					
					9E60 6 3 NEG SP1					9ED0 5 4 SUB SP2	9EE0 4 3 SUB SP1			
					9E61 6 4 CBEQ SP1					9ED1 5 4 CMP SP2	9EE1 4 3 CMP SP1			
										9ED2 5 4 SBC SP2	9EE2 4 3 SBC SP1			
					9E63 6 3 COM SP1					9ED3 5 4 CPX SP2	9EE3 4 3 CPX SP1	9EF3 6 3 CPHX SP1		
					9E64 6 3 LSR SP1					9ED4 5 4 AND SP2	9EE4 4 3 AND SP1			
										9ED5 5 4 BIT SP2	9EE5 4 3 BIT SP1			
					9E66 6 3 ROR SP1					9ED6 5 4 LDA SP2	9EE6 4 3 LDA SP1			
					9E67 6 3 ASR SP1					9ED7 5 4 STA SP2	9EE7 4 3 STA SP1			
					9E68 6 3 LSL SP1					9ED8 5 4 EOR SP2	9EE8 4 3 EOR SP1			
					9E69 6 3 ROL SP1					9ED9 5 4 ADC SP2	9EE9 4 3 ADC SP1			
					9E6A 6 3 DEC SP1					9EDA 5 4 ORA SP2	9EEA 4 3 ORA SP1			
					9E6B 8 4 DBNZ SP1					9EDB 5 4 ADD SP2	9EEB 4 3 ADD SP1			
					9E6C 6 3 INC SP1									
					9E6D 5 3 TST SP1									
									9EAE 5 2 LDHX IX	9EBE 6 4 LDHX IX2	9ECE 5 3 LDHX IX1	9EDE 5 4 LDX SP2	9EEE 4 3 LDX SP1	9EFE 5 3 LDHX SP1
					9E6F 6 3 CLR SP1					9EDF 5 4 STX SP2	9EEF 4 3 STX SP1	9EFF 5 3 STHX SP1		

INH 固有
IMM 即时
DIR 直接
EXT 扩展
DD DIR 至 DIR
IX+D IX+ 至 DIR

REL 相关
IX 索引，无偏移
IX1 索引，8 位偏移
IX2 索引，16 位偏移
IMD IMM 至 DIR
DIX+ DIR 至 IX+

SP1 堆栈指针，8 位偏移
SP2 堆栈指针，16 位偏移
IX+ 有索引，无偏移、
带后增量
IX1+ 有索引，1 字节偏移、
带后增量

注意：第 2 页的所有操作码前面都带有 Page 2 Prebyte（9E）

十六进制操作码 | 9E60 6
NEG
3 SP1 | HCS08 周期
指令助记符
寻址模式

8.5.1.9 Stop

每当 MCU 进入 STOP 状态就进入 STOP 模式。在该模式中，FLL 和 PLL 被禁止，所有 MCG 时钟信号静止，但下列情况除外：

当满足下列条件时，MCGIRCLK 将在停止模式中使能：

- IRCLKEN = 1
- IREFSTEN = 1

当满足下列条件时，MCGERCLK 将在停止模式中使能：

- ERCLKEN = 1
- EREFSTEN = 1

8.5.2 模式切换

当在 Engaged Internal 和 Engaged External 间进行模式切换时，IREFS 位可以随时修改，但必须同时修改 RDIV 位，这样参考频率处于 PLLS 位状态所要求的范围内（如果选择 FLL，则介于 31.25 kHz -39.0625 kHz 之间；如果选择 PLL，则介于 1 MHz -2 MHz 之间）。在 IREFS 值更改后，FLL 或 PLL 在切换完成后会被再次锁定。切换完成由 IREFST 位标志。

对于切换到 FBE 模式后立即进入停止模式的特殊情况，如果外部时钟和内部时钟在停止模式中被禁止（EREFSTEN = 0，IREFSTEN = 0），在清除 IREFST 位后必须允许 100us 来切断内部参考。在大多数情况下，由于指令执行次数造成的延迟都足够用。

CLKS 位也可以随时修改，但为了正确配置 MCGLCLK，必须同时修改 RDIV 位，这样参考频率就处于 PLLS 位状态所要求的范围内（如果选择 FLL，则介于 31.25 kHz -39.0625 kHz 之间；如果选择 PLL，则介于 1 MHz -2 MHz 之间）。实际切换到刚选择的时钟由 CLKST 位表示。如果刚选择的时钟不可用，则仍选择原来的时钟。

如需了解更多信息，请参见图 8-8。

8.5.3 总线分频器

BDIV 位可以随时修改，实际切换到新频率将立即进行。

8.5.4 低功率位使用

提供低功率位（LP）的目的是为了在不需要使用 FLL 或 PLL 时禁止它们，从而达到节电目的。然而，在有些应用中可能需要使能 FLL 或 PLL，使它在切换到下一个 Engaged 模式前锁定，以实现最大精确度，只需向 LP 位写入 0，即可完成该操作。

8.6.1 MCG 模块初始化顺序

MCG 来自于为 FEI 模式配置的复位，其中为 BDIV 除以 2。在 FLL 获取锁定之前，内部参考能在 t_{irefst} 毫秒内稳定。一旦内部参考稳定，FLL 就会在 t_{fil_lock} 毫秒内获取锁定。

在 POR 时，内部参考需要进行调整以确保精确的时钟。飞思卡尔推荐使用闪存位置 0xFFAE 来保存 MCGSC 寄存器中的微调位 FTRIM、推荐 0xFFAF 来保存 MCGTRM 寄存器中的 8 位调整值。MCU 不会自动将这些闪存位置的数值复制到各自的寄存器中。因此，用户代码必须将这些值从闪存复制到寄存器中。

注意

在没有进行首次调整内部参考前，BDIV 值不应被更改为 divide-by-1。不这样做可能会导致 MCU 不符合技术规范。

8.6.1.1 初始化 MCG

由于 MCG 在复位后处于 FEI 模式，复位后可以直接切换到的 MCG 模式有 FEE、FBE 和 FBI 模式 (参见图 8-8)。要直接切换到任何其他模式需要首先配置 MCG 为这三种初始模式中的一种。必须留意检查 MCGSC 寄存器中标志各个模式中所有配置更改的相关状态位。

要从 FEI 模式更改为 FEE 或 FBE 模式，请按下列步骤操作：

1. 使能在 MCGC2 中适当的位来使能外部时钟源；
2. 写至 MCGC1 以选择时钟模式；
 - 如果进入 FEE 模式，适当设置 RDIV、清除 IREFS 位，以切换到外部参考，让 CLKS 位停留在 %00，这样就可以把 FLL 输出选择为系统时钟源。
 - 如果进入 FBE，清除 IREFS 位以切换到外部参考，将 CLKS 位更改为 %10，这样就可以把外部参考选择为系统时钟源。这里还应根据外部参考频率适当设置 RDIV 位，因为尽管 FLL 被旁通，但它仍然处于 FBE 模式。
 - 内部参考可以通过设置 IRCLKEN 位保持运行。如果应用中需要在内部和外部模式之间来回切换，这就十分有用。为了实现最低功耗，当处于外部时钟模式时应禁止内部参考。
3. 在设置了正确的配置位后，等待 MCGSC 寄存器中受影响的位适当地改变，因为它们反应了 MCG 已经切换到正确模式。
 - 如果第 1 步中已经设置了 ERCLKEN，或者 MCG 处于 FEE、FBE、PEE、PBE 或 BLPE 模式，且第 1 步中也设置了 EREFS，等待 OSCINIT 位置位，OSCINIT 位的置位表明外部时钟源已经完成初始化周期且稳定下来。附录 A “电气性能” 中给出了正常情况下的晶体启动时间。
 - 如果是 FEE 模式，一定要确保在进一步操作前，IREFST 位已经清除且 LOCK 位置位。
 - 如果是 FBE 模式，请确保 IREFST 位已经清除，LOCK 位已经置位，CLKST 位已经更改为 %10，这样表明已经正确选择了外部参考时钟。尽管在 FBE 模式中 FLL 被旁通，但它仍处于打开，将在 FBE 模式中锁定。

第 9 章

模拟比较器 (S08ACMPV3)

9.1 介绍

模拟比较器模块（ACMP）提供用来比较两个模拟输入电压，或者一个输入电压和一个内部参考电压的电路。比较器电路能够在整个电源电压范围内操作（轨到轨操作）。

MC9S08DZ60 系列的所有 MCU 都能在 64 管脚的封装中提供两个全功能 ACMP。48 管脚封装的 MCU 有两个 ACMP，但 ACMP2 的输出管脚没有引出。32 管脚封装的 MCU 只有一个全功能 ACMP。

NOTE

MC9S08DZ60 系列器件的工作电压范围较高（2.7 V --5.5 V），不支持 STOP1 模式。请忽略 STOP1 的参考。

9.1.1 ACMP 配置报文

当使用带死区参考电压为 ACMP+ 输入时，用户必须通过在 SPMSC1 中设置 BGBE =1，使能死区缓冲，详细内容 5.8.7，“系统电源管理状态和控制寄存器 1 (SPMSC1)”。如需了解死区电压参考报文 A.6，“DC 特性”。

10.2.6 特性

ADC 模块的特性包括：

- 具有 12 位分辨率的线性逐次逼近算法；
- 高达 28 个模拟输入；
- 12、10 或 8 位右对齐输出格式；
- 单次转换或连续转换（单转换后自动返回空闲状态）；
- 采样时间和转换速度 / 功率可配置；
- 转换完成标志和中断；
- 最多可选择 4 个输入时钟源；
- 在等待或 STOP3 模式下实现了低噪音运行；
- 异步时钟源实现了低噪音运行；
- 可选的异步硬件转换触发；
- 与小于、大于或等于可编程值自动比较的中断；

10.2.7 结构图

图 10-2 是 ADC 模块的结构图

可编程预分频器从 CANCLK 生成时间冲量 (Tq) 时钟。时间冲量是 MSCAN 所处理时间的原子单位。

等式 12-2

$$f_{Tq} = \frac{f_{CANCLK}}{(\text{Prescaler value})}$$

位时间再分成三段，如 Bosch CAN 规范所述（见图 12-43）:

- SYNC_SEG: 该段有一个长度固定的时间冲量，信号边沿预计出现在本段。
- 时段 1: 本段包括 CAN 标准的 PROP_SEG 和 PHASE_SEG1。通过设置参数 TSEG1，使之包含 4-16 个时间冲量，可以对其进行编程。
- 时段 2: 本段表示 CAN 标准的 PHASE_SEG2。通过设置 TSEG2 参数，使之具有 2-8 个时间冲量长，可以对其进行编程。

等式 12-3

$$\text{Bit Rate} = \frac{f_{Tq}}{(\text{number of Time Quanta})}$$

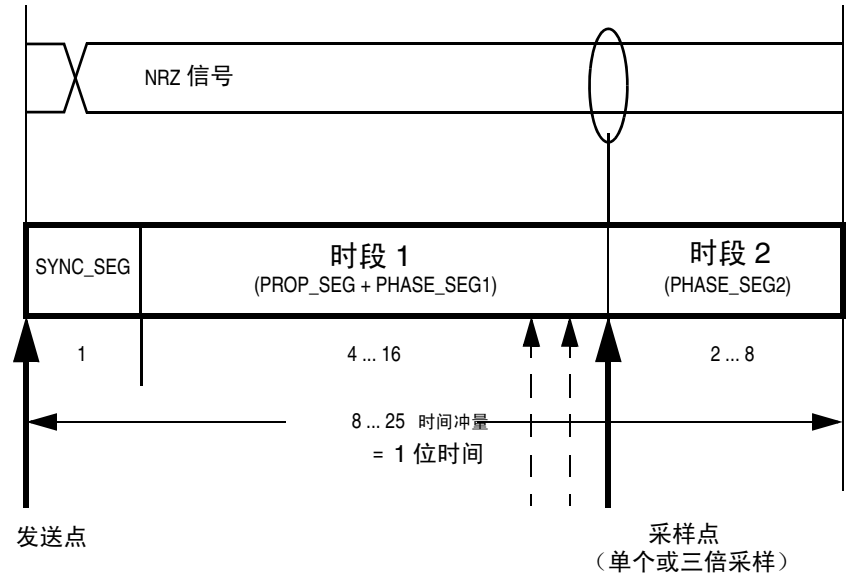


图 12-43. 位时间内的段

表 12-34. 时段句法

名称	描述
SYNC_SEG	系统希望该时段内在 CAN 总线上出现电平转换。
发送点	正处于发送模式的节点在该点上向 CAN 总线传输一个新值。
采样点	正处于接收模式的节点在该点采样 CAN 总线。如果选择了每位采样三次模式，那么该点标志第三采样点的位置。

同步跳转宽度（如需了解详细报文，参见 Bosch CAN 规范）可以通过设置 SJW 参数，在 1-4 个时间冲量范围内进行编程。

SYNC_SEG、TSEG1、TSEG2 和 SJW 参数通过编程 MSCAN 总线计时寄存器（CANBTR0、CANBTR1）进行设置（参见 12.3.3，“MSCAN 总线计时寄存 0 (CANBTR0)” 和 12.3.4，“MSCAN 总线计时寄存器 (CANBTR1)”）。

表 12-35 概括地描述了 CAN 段设置和相关参数值。

注意

用户有责任确保位时间设置遵从 CAN 标准。

表 12-35. 遵从 CAN 标准的位时段设置

时段 1	TSEG1	时段 2	TSEG2	同步跳转宽度	SJW
5 .. 10	4 .. 9	2	1	1 .. 2	0 .. 1
4 .. 11	3 .. 10	3	2	1 .. 3	0 .. 2
5 .. 12	4 .. 11	4	3	1 .. 4	0 .. 3
6 .. 13	5 .. 12	5	4	1 .. 4	0 .. 3
7 .. 14	6 .. 13	6	5	1 .. 4	0 .. 3
8 .. 15	7 .. 14	7	6	1 .. 4	0 .. 3
9 .. 16	8 .. 15	8	7	1 .. 4	0 .. 3

12.5.4 运行模式

12.5.4.1 正常模式

在普通系统模式中，MSCAN 模块如本规范所述运行。

12.5.4.2 特殊模式

在特殊系统模式中，MSCAN 模块如本规范所述运行。

12.5.4.3 仿真模式

在所有仿真模式中，MSCAN 模块如在普通系统模式下一样，如本规范所述运行。

12.5.5.6 MSCAN 断电模式

当出现以下情况时，MSCAN 处于断电模式（表 12-36）

- CPU 处于停止模式，
或
- CPU 处于等待模式且设置了 CSWAI 位

当进入断电模式时，MSCAN 立即停止正在进行的所有发送和接收，可能造成违反 CAN 协议。为了防止 CAN 总线系统出现违反上述规则的严重后果，MSCAN 立即驱动 TXCAN 管脚进入隐性状态。

注意

进入初始化模式时，用户负责保证 MSCAN 不在工作态。推荐步骤是在 CANCTL0 寄存器中设置 INTRQ 位前，把 MSCAN 置入睡眠模式（SLPRQ = 1，SLPAK = 1）。否则，中止正在发送的报文可能导致错误情况，并影响到其他 CAN 总线节点。

在断电模式中，所有时钟停止，且不能访问寄存器。如果在断电模式有效前 MSCAN 未处于睡眠模式，通电后该模块执行一个内部恢复周期。这会给模块再次进入正常模式带来某些固定延迟。

12.5.5.7 可编程唤醒功能

只要检测到 CAN 总线有效（参见 12.3.1，“MSCAN 控制寄存器 0 (CANCTL0)”中的控制位 WUPE）。就可以对 MSCAN 进行编程以唤醒 MSCAN。当处于睡眠模式时，通过将低通滤波器功能应用于 RXCAN 输入，可以更改 CAN 总线检测的灵敏度（参见 12.3.2，“控制寄存器 1 (CANCTL1)”中的控制位 WUPM）。

该功能可以用来防止由于 CAN 总线线路上的短脉冲而唤醒 MSCAN。例如，嘈杂环境中的电磁干扰可以引起尖峰脉冲。

12.5.6 复位初始化

各个单个位的复位状态在 12.3，“寄存器定义”，其中详细阐述了所有寄存器及其位字段。

12.5.7 中断

本小节描述了由 MSCAN 引发的所有中断，列出了使能位和触发标志。文中单独列出并描述了每个中断。

12.5.7.1 中断运行描述

MSCAN 支持四个中断矢量（参见表 12-37），任意一个矢量都可以单独屏蔽。12.3.5，“MSCAN 接收器中断使能寄存器 (CANRIER)”至 12.3.7，“MSCAN 发送器中断使能寄存器 (CANTIER)”)。

注意

专用的中断矢量地址在 Resets and Interrupts 章中有详细说明。

13.4 寄存器定义

SPI 有 5 个 8 位寄存器来选择 SPI 选项、控制波特率、报告 SPI 状态和发送 / 接收数据。

如需了解所有 SPI 寄存器的绝对地址分配，参见本文 Memory 章的直接页面寄存器概述。本小节只提及了寄存器和控制位的名称，飞思卡尔提供的对照表或头文件用来把这些名称转换成适当的绝对地址。

13.4.1 SPI 控制寄存器 1 (SPIC1)

该读 / 写寄存器包括 SPI 使能控制、中断使能和配置选项。

	7	6	5	4	3	2	1	0
R	SPIE	SPE	SPTIE	MSTR	CPOL	CPHA	SSOE	LSBFE
W								
复位	0	0	0	0	0	1	0	0

图 13-5. SPI 控制寄存器 1 (SPIC1)

表 13-1. SPIC1 字段描述

字段	描述
7 SPIE	SPI 中断使能 (用于 SPRF 和 MODF) — 这是 SPI 接收缓冲器已满 (SPRF) 和模式故障 (MODF) 事件的中断使能。 0 禁止从 SPRF 和 MODF 中中断 (使用轮询) 1 当 SPRF 或 MODF 为 1，请求硬件中断
6 SPE	SPI 系统使能 — 禁止 SPI 将暂停正在进行的任何传输、清除数据缓冲器、初始化内部状态设备。SPRF 被清除，并设置 SPTEF 来显示 SPI 发送数据缓冲器空。 0 SPI 系统禁止 1 SPI 系统使能
5 SPTIE	SPI 发送中断使能 — 这是 SPI 发送缓冲器空 (SPTEF) 的中断使能位。 0 禁止从 SPTEF 中中断 (使用轮询) 1 当 SPTEF 为 1 时，请求硬件中断
4 MSTR	主 / 辅模式选择 0 SPI 模块配置为辅 SPI 器件 1 SPI 模块配置为主 SPI 器件
3 CPOL	时钟极性 — 该位在来自主 SPI 或去往从 SPI 的时钟信号间有效地以串联方式放置一个取反逻辑。详情请参见 13.5.1, “SPI 时钟格式”。 0 SPI 时钟高有效 (闲置低态) 1 SPI 时钟低有效 (闲置高态)
2 CPHA	时钟相位 — 该位选择两种时钟格式的一种用于不同类型的同步串行外围器件。详情请参见 13.5.1, “SPI 时钟格式”。 0 SPSCCK 上的第一个边沿出现在 8 周期数据传输的第一个周期的中央 1 SPSCCK 上的第一个边沿出现在 8 周期数据传输的第一个周期的起点

第 14 章

串行通信接口 (S08SCIV4)

14.1 介绍

MC9S08DZ60 系列中的所有 MCU 都包括 SCI1 和 SCI2。

注意

MC9S08DZ60 系列器件在较高电压范围（2.7 V~5.5 V）中运行，不包括 STOP1 模式。请忽略 STOP1 参考。

14.1.1 SCI2 配置信息

使用 SOPT1 寄存器中的 SCI2PS 位，SCI2 模块的 TxD2 和 RxD2 管脚的位置可以在软件控制下重新安排，如表 14-1. 所示。SOPT1 中的 SCI2PS 位选择哪两个通用 I/O 口参予 SCI2 通讯。

表 14-1. SCI2 位置选项

SOPT1 中的 SCI2PS	TxD2 的端口管脚	RxD2 的端口管脚
0 (默认)	PTF0	PTF1
1	PTE6	PTE7

表 14-3. SCIXBDL 字段描述

字段	描述
7:0 SBR[7:0]	波特率模数系数 — SBR[12:0] 中的这 13 个位统称为 BR，它们为 SCI 波特率发生器设置模数除数系数。当 BR = 0，SCI 波特率发生器禁止，以降低电源电流。当 BR = 1~8191 时，SCI 波特率 = BUSCLK / (16xBR)。也可参见表 14-2. 中的 BR 位。

14.2.2 SCI 控制寄存器 1(SCIXC1)

该读 / 写寄存器用于控制 SCI 系统的各种可选功能。

	7	6	5	4	3	2	1	0
R	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT
W								
复位	0	0	0	0	0	0	0	0

图 14-6. SCI 控制寄存器 1 (SCIXC1)

表 14-4. SCIXC1 字段描述

字段	描述
7 LOOPS	循环模式选择 — 在环回模式和正常的 2 管脚全双工模式之间选择。当 LOOPS = 1，发射器输出内部连接到接收器输入。 0 正常运行 — RxD 和 TxD 使用独立管脚。 1 循环模式或单线模式，发射器输出内部连接到接收器输入（见 <st-blue>RSRC 位）。SCI 不使用 RxD 管脚。
6 SCISWAI	等待模式中的 SCI 停止 0 SCI 时钟继续在等待模式中运行，因此 SCI 可以是唤醒 CPU 的中断源。 1 SCI 时钟在 CPU 处于等待模式时冻结。
5 RSRC	接收器源选择 — 该位没有任何意义或影响，除非 LOOPS 位设置为 1。当 LOOPS = 1 时，接收器输入内部连接到 TxD 管脚，RSRC 决定该连接是否也连接到发射器输出。 0 假设 LOOPS = 1，RSRC = 0 选择内部环回模式，SCI 不使用 RxD 管脚。 1 单线 SCI 模式，其中 TxD 管脚连接到发射器输出和接收器输入。
4 M	9 位或 8 位模式选择 0 正常 — 启动 + 8 个数据位（LSB 先发）+ 停止 1 接收器和发射器使用 9 位数据字符 启动 + 8 个数据位（LSB 先发）+ 第 9 个数据位 + 停止
3 WAKE	接收器唤醒方法选择 — 详情请 14.3.3.2, “接收器唤醒操作” 0 闲置线路唤醒 1 地址标记唤醒
2 ILT	闲置线路类型选择 — 将该位设置为 1，确保字符末端的停止位和逻辑 1 位不会计数闲置线路检测逻辑所需的逻辑高电平的 10 或 11 个位时间。如需了解更多信息，14.3.3.2.1, “闲置线路唤醒” 0 开始位后闲置字符位计数开始。 1 停止位后闲置字符位计数开始。

表 16-7. TPM 时钟源选择

CLKSB:CLKSA	预分频器输入的 TPM 时钟源
00	没有选择时钟 (TPM 计数器被关闭)
01	总线速率时钟
10	固定系统时钟
11	外部源

总线速率时钟是 MCU 的主系统总线时钟。这个时钟源不要求同步，因为它是用于所有内部 MCU 活动（包括 CPU 和总线运行）的时钟。

在没有 PLL 或没有使用 PLL 的 MCU 中，固定系统时钟源与总线速率时钟源相同，不需要经过同步器。当存在并使用了 PLL 时，在晶振 2 分时钟源和定时器计数器之间要求同步器，以确保计数器过渡与总线时钟过渡同步。同步器将用于芯片一级，以便将晶振相关源时钟与总线时钟同步。

外部时钟源可与任何 TPM 通道管脚连接。这种时钟源必须始终通过同步器，确保计数器过渡与总线时钟过渡保持同步。总线速率时钟驱动同步器；因此，要满足 Nyquist 标准甚至抖动，外部时钟源的频率必须不能高于总线速率的四分之一。使用适当时钟时，外部时钟可与总线时钟的四分之一一样快。

当外部时钟源共享 TPM 通道管脚时，该管脚不应用于其他通道计数功能。例如，当 TPM 通道 0 管脚同时也用作定时器外部时钟源时，将通道 0 配置用于输入捕捉会造成不明确。（用户应负责避免这种设置。）TPM 通道仍可用于输出比较模式以支持软件计时功能（管脚控制位不影响 TPM 通道管脚）。

16.4.1.2 计数器溢出和模数复位

中断标记和使能与 16 位主计数器相关。标记 (TOF) 是显示定时器计数器溢出的软件可接入指标。不论何时 TOF 标记等于 1，使能信号都在软件轮询 (TOIE=0)（无硬件中断被生成）或中断驱动操作 (TOIE=1)（生成静态硬件中断）间选择。

导致 TOF 被设置的条件取决于 TPM i 是否被配置为中央对齐 PWM (CPWMS=1)。在最简单的模式下没有模数限制，TPM 也不在 CPWMS=1 模式中。在这种情况下，16 位定时器计数器从 0x0000 计数到 0xFFFF，然后在下一个计数时钟周期内溢出为 0x0000。在从 0xFFFF 过渡到 0x0000 时，TOF 被设置。设置了模数限制时，TOF 在从模数寄存器中设置的值向 0x0000 过渡时设置。当 TPM 处于中央对齐 PWM 模式时 (CPWMS=1)，TOF 标记在计数器到达模数寄存器中设置的计数值结束改变方向时被设置（也就是说从模数寄存器中设置的值向下一个更低计数值过渡时）。这与 PWM 周期结束对应（0x0000 计数值与周期中央对应）。

16.4.1.3 计数模式

主定时器的计数器有两种计数模式。选择中央对齐 PWM 时，计数器以向上 / 向下计数模式运行。否则，计数器作为简单的向上计数器运行。作为向上计数器时，定时器计数器从 0x0000 计数到其终端计数，然后从 0x0000 重新开始。终端计数为 0xFFFF 或 TPMxMODH:TPMxMODL 中的模数值。

如果通道值寄存器 TPMxCnVH:TPMxCnVL 为零或负数（位 15 被设置），工作周期将是 0%。如果 TPMxCnVH:TPMxCnVL 是正值（位 15 被清除）并大于（非零）模数设置，工作周期将为 100%，因为工作周期比较将不会发生。这意味着模数寄存器设置的可用周期范围为 $0x0001$ 至 $0x7FFE$ （如果不需要 100% 的工作周期，则为 $0x7FFF$ ）。这不是一个重要的限制条件，因为结果周期远远长于正常应用所需的周期。

$\text{TPMxMODH:TPMxMODL} = 0x0000$ 是不应与中央对齐 PWM 模式一同使用的特例。当 $\text{CPWMS}=0$ 时，这一情况与在 $0x0000$ 和 $0xFFFF$ 之间自由运行的计数器对应，然而当 $\text{CPWMS}=1$ 时，计数器需要与 $0x0000$ 以外的某个模数寄存器值有效匹配，以便将方向从向上计数改变为向下计数。

图 B-11 显示了 TPM 通道寄存器（乘以 2）中的输出比较值。该值决定 CPWM 信号的脉冲宽度（工作周期）。如果 $\text{ELSnA}=0$ ，向上计数时的比较匹配会强制 CPWM 输出信号降低；而向下计数时的比较匹配会强制输出升高。计数器向上计数，直到达到中的模数设置，然后向下计数，直到 0。这样就可将周期设置为 TPMxMODH:TPMxMODL 的两倍。

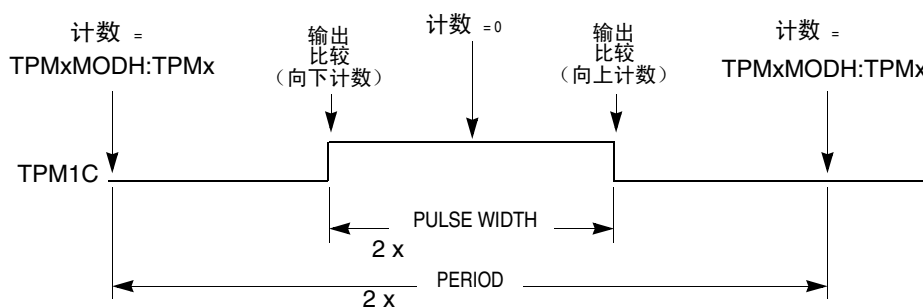


图 B-11. CPWM 周期和脉冲宽度 ($\text{ELSnA} = 0$)

中央对齐 PWM 输出生成的噪音一般比边缘对齐 PWM 小，因为相同系统时钟边上排列的输入 / 输出过渡更少。某些类型的电机也需要这类 PWM。

因为 HCS08 是一个 8 位 MCU 系列。定时器通道寄存器中的设置被缓存，以确保连贯的 16 位更新并避免意外的 PWM 脉冲宽度。写入到任何寄存器，不管是 TPMxMODH 、 TPMxMODL 、 TPMxCnVH 、还是 TPMxCnVL ，实际就是写入到缓冲器寄存器。只有在 16 位寄存器的两个 8 位字节都被写入而且定时器计数器溢出后（在模数寄存器上的终端计数结束后从向上计数改变为向下计数），值才被发送到相应的定时器通道寄存器中。这一 TPMxCNT 溢出要求只适用于 PWM 通道，而不是输出比较。

当 $\text{TPMxCNTH:TPMxCNTL} = \text{TPMxMODH:TPMxMODL}$ 时，TPM 可在计数结束时生成一个 TOF 中断。用户可以选择重新上载任何数量的 PWM 缓冲器，并且它们可以在新的周期开始时同时更新。

TPMxSC 写入操作会取消写入到 TPMxMODH and/or TPMxMODL 中的任何值，并且为模数寄存器复位一致性机制。 TPMxCnSC 写入操作会取消写入到通道值寄存器中的任何值，并且为 TPMxCnVH:TPMxCnVL 复位一致性机制。