



Welcome to [E-XFL.COM](https://www.e-xfl.com)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	53
Program Memory Size	60KB (60K x 8)
Program Memory Type	FLASH
EEPROM Size	2K x 8
RAM Size	4K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 24x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 85°C (TA)
Mounting Type	Surface Mount
Package / Case	64-LQFP
Supplier Device Package	64-LQFP (10x10)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/mc9s08dz60clh

章节号	标题	页码
12.3.14	MSCAN 发送错误计数器 (CANTXERR)	226
12.3.15	MSCAN 标识符接收寄存器 (CANIDAR0-7)	227
12.3.16	MSCAN 标识符掩码寄存器 (CANIDMR0-CANIDMR7)	228
12.4	报文存储模式	229
12.4.1	标识符寄存器 (IDR0-IDR3)	231
12.4.2	标准标识符映射的 IDR0 - IDR3	233
12.4.3	数据段寄存器 (DSR0-7)	234
12.4.4	数据长度寄存器 (DLR)	235
12.4.5	发送缓冲器优先寄存器 (TBPR)	236
12.4.6	时间标签寄存器 (TSRH - TSRL)	236
12.5	功能描述	237
12.5.1	概述	237
12.5.2	报文存储	238
12.5.3	标识符接收滤波器	241
12.5.4	运行模式	247
12.5.5	低功耗选项	248
12.5.6	复位初始化	253
12.5.7	中断	253
12.6	初始化 / 应用信息	255
12.6.1	MSCAN 初始化	255
12.6.2	总线脱离恢复	255

第 13 章 串行外围器件接口 (S08SPIV3)

13.1	介绍	257
13.1.1	特性	259
13.1.2	结构图	259
13.1.3	SPI 波特率生成	261
13.2	外部信号描述	262
13.2.1	SPSCK — SPI 串行时钟	262
13.2.2	MOSI — Master Data Out, Slave Data In	262
13.2.3	MISO — Master Data In, Slave Data Out	262
13.2.4	SS — 从选择	262
13.3	运行模式	262
13.3.1	处于停止模式的 SPI	262
13.4	寄存器定义	263
13.4.1	SPI 控制寄存器 1 (SPIC1)	263
13.4.2	SPI 控制寄存器 2 (SPIC2)	264
13.4.3	SPI 波特率寄存器 (SPIBR)	265
13.4.4	SPI 状态寄存器 (SPIS)	266
13.4.5	SPI 数据寄存器 (SPID)	267
13.5	功能描述	267

章节号	标题	页码
B.6.2	通道模式选择	373
B.6.3	中央对齐 PWM 模式	374
B.7	TPM 中断	376
B.7.1	清除定时器中断标记	376
B.7.2	定时器溢出中断描述	376
B.7.3	通道事件中断描述	376
B.7.4	PWM 占空比结束事件	377

附录 C

订购信息和机械图

C.1	订购信息	378
C.1.1	MC9S08DZ60 Series 设备	378
C.2	机械图	378

安全密钥只能从安全存储器（RAM、EEPROM 或 Flash）中写入，因此在没有安全的用户程序协作的情况下不能通过后台命令输入。

后门对比密钥 (NVBACKKEY through NVBACKKEY+7) 保存在非易失性寄存器空间内的 Flash 位置上，因此用户可以准确地编程这些位置，就象编程任何其他 Flash 位置一样。非易失性寄存器与复位和中断向量在 Flash 的同一个 768 字节块中，因此对这一空间进行块保护同时也可以保护后门对比密钥。块保护不能从用户应用程序上修改，因此，如果向量空间受到块保护，后门安全密钥机制就不能永久性地修改块保护、安全设置或后门密钥。

通过以下步骤，您可以通过后台调试接口始终关闭安全性：

1. 通过写入 FPROT 来禁用任何块保护。FPROT 只能通过后台调试命令写入而不能通过应用软件写入。
2. 在必要时整体擦除 Flash。
3. 对 Flash 进行空白检查。如果 Flash 内完全擦除，那么在下次复位前安全性一直处于关闭状态。为了避免在下次复位后返回到安全模式，对 NVOPT 进行编程使 SEC = 1:0。

4.5.10 EEPROM 映射

只有一半 EEPROM 处于存储器映象中。FCNFG 寄存器中的 EPGSEL 位用于确定阵列的哪一半可从前台访问，而另一半不能从后台访问。对于配置 8 字节 EEPROM 分区，有两种映射模式可供选择：4 字节模式和 8 字节模式。每种模式都通过 FOPT 寄存器中的 EPGMOD 位确定。

在 4 字节分区模式 (EPGMOD = 0) 中，每个 8 个字节分区被分成两部分，4 个字节在前台，4 个在后台，但都在相同的地址上。EPGSEL 位确定哪 4 个字节可以访问。在分区擦除过程中，整个 8 字节分区（前台的 4 个字节和后台的 4 个字节）都被擦除。

在 8 字节分区模式 (EPGMOD = 1) 中，每个 8 字节分区在一个页面上。EPGSEL 位确定哪些分区在后台。在分区擦除过程中，前台的整个 8 字节分区会被擦除。

4.5.11 Flash 和 EEPROM 寄存器及控制位

Flash 和 EEPROM 模块在高端页面寄存器空间内有 7 个 8 位寄存器，在 Flash 的非易失性寄存器空间内有 3 个位置。这些位置中的两个在复位时被拷贝到两个相应的高端页面控制寄存器中。Flash 中还有一个 8 字节对比密钥。对于 Flash 和 EEPROM 寄存器的绝对地址分配情况，请参见表 4-3 和表 4-5。这一部分用名称指代寄存器和控制位。通常飞思卡尔半导体提供变量定义或头文件用于将这些名称转换为相应的绝对地址。

4.5.11.1 Flash 和 EEPROM 时钟分频寄存器 (FCDIV)

该寄存器的第 7 位是一个只读标记。6:0 位可以在任何时候读取但只能写入一次。在开始任何擦除或编程操作之前，写入该寄存器以将非易失性内存系统的时钟频率设置在可接受的限度内。

6.5.2.5 B 端口驱动强度选择寄存器 (PTBDS)

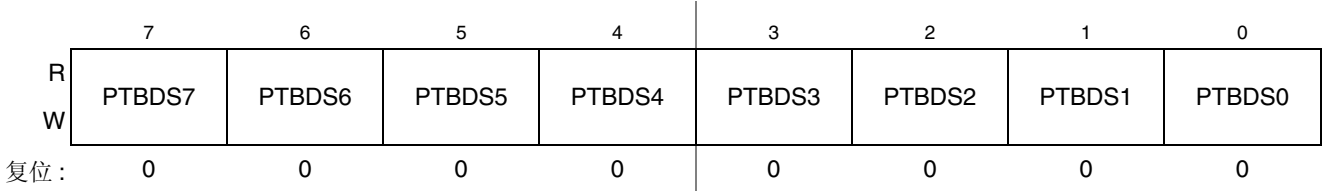


图 6-15. B 端口寄存器驱动强度选择 (PTBDS)

表 6-13. PTBDS 寄存器字段描述

字段	描述
7:0 PTBDS[7:0]	B 端口位的输出驱动强度选择 — 这些控制位为相关 PTB 管脚选择低输出驱动和高输出驱动。对于配置为输入的 B 端口管脚，这些位不会产生任何影响。 0 B 端口位 - 选择的低输出驱动强度。 1 B 端口位 - 选择的高输出驱动强度。

6.5.2.6 B 端口中断状态和控制寄存器 (PTBSC)

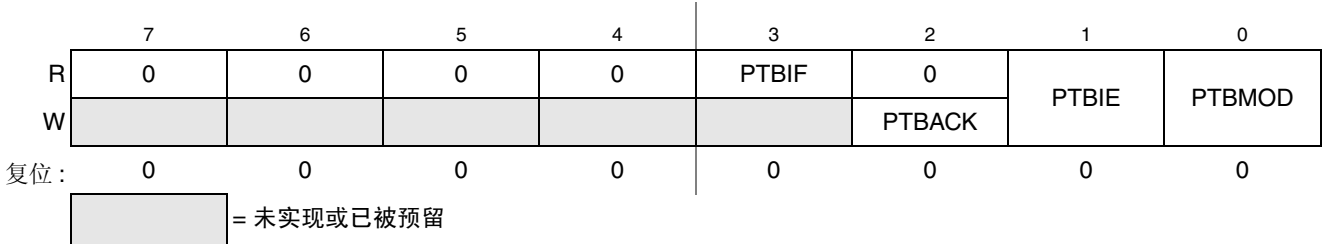


图 6-16. B 端口中断状态和控制寄存器 (PTBSC)

表 6-14. PTBSC 寄存器字段描述

字段	描述
3 PTBIF	B 端口中断标志 — PTBIF 显示是否检测到 B 端口中断。写入对 PTBIF 没有任何影响。 0 未检测到 B 端口中断。 1 检测到 B 端口中断。
2 PTBACK	B 端口中断确认 — 向 PTBACK 写入 1 是标记清除机制的一部分。PTBACK 的读数总为 0。
1 PTBIE	B 端口中断使能 — PTBIE 决定是否请求 B 端口中断。 0 B 端口中断请求禁止。 1 B 端口中断请求使能。
0 PTBMOD	B 端口检测模式 — PTBMOD（同 PTBES 位一起）控制着 B 端口中断管脚的检测模式。 0 B 端口管脚只检测边沿。 1 B 端口管脚同时检测边沿和电平。

7.4 特殊运算

CPU 执行一些特殊运算，这些运算和指令类似，但不像其他 CPU 指令那样有操作码。此外，有些指令，如 STOP 和 WAIT，还会直接影响其他 MCU 电路。本节提供了有关这些运算报文。

7.4.1 复位顺序

上电复位 (POR) 事件、内部条件 (如 COP 看门狗) 或外部低效复位管脚有效状态等都可以导致复位。发生复位事件时，CPU 立即停止正在处理的任何操作 (MCU 在响应复位事件前，无需等待指令边界)。如需了解 MCU 如何识别复位和决定源的详细信息，请参见“复位，中断和系统配置”章。

当确定复位是否来自内部源的顺序已经确定且复位管脚的电平不再处于复位有效状态时，复位事件就视为已经结束。复位事件结束后，CPU 执行一个 6 周期顺序，从 0xFFFFE 和 0xFFFF 中获取复位向量，并填写指令队列，为执行第一个程序指令做准备。

7.4.2 中断时序

发生中断请求时，CPU 在响应中断前会完成当前指令。此时，程序计数器指向下一个指令的开始位置，这个位置也是 CPU 完成中断操作后的返回位置。CPU 通过执行与软件中断 (SWI) 指令一样的运算顺序响应中断，但不同的是，用于向量获取的地址由中断时序开始时处于等待状态优先级最高的中断决定。

CPU 中断的时序为：

1. 把 PCL、PCH、X、A 和 CCR 的内容顺序保存到堆栈上；
2. 在 CCR 中设置 I 位；
3. 获取中断向量高阶部分；
4. 获取中断向量低阶部分；
5. 延迟一个空闲总线周期；
6. 获取从中断向量显示的地址开始的 3 个字节程序报文来填写指令队列，为执行中断服务程序的第一个指令做好准备。

当 CCR 内容被推送到堆栈后，在 CCR 中 I 位被置位，防止中断服务程序中出现其他中断。尽管可以用中断服务程序的指令来清除 I 位，但这样会发生中断嵌套 (不推荐使用该方法，因为它会让程序难以调试和维护)。

为了实现与早期 M68HC05 的兼容，H:X 索引寄存器对 (H) 的高阶部分未作为中断顺序的一部分保存在堆栈上。用户必须在服务程序开始时使用 PSHH 指令来保存 H，然后在结束中断服务程序的 RTI 前使用 PULH 指令。如果您确定中断服务程序不使用任何指令或可能修改 H 值的自动增量寻址模式，就没有必要保存 H。

软件中断 (SWI) 指令类似硬件中断，只是它不是由 CCR 中的全局 I 位进行屏蔽，它与程序中的指令操作码有关，因此它不同步于程序执行。

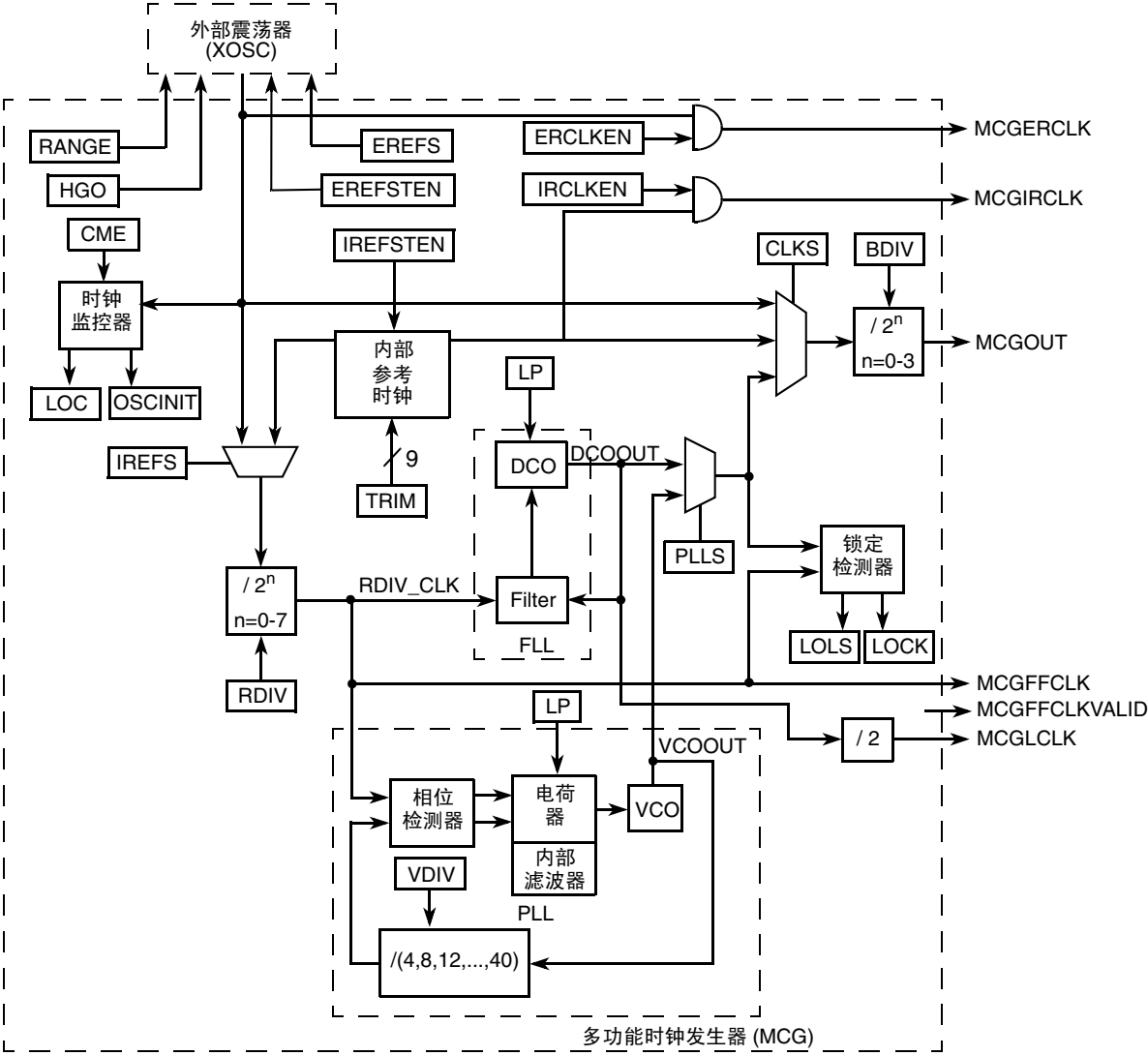


图 8-2. 多功能时钟发生器 (MCG) 结构图

10.2.6 特性

ADC 模块的特性包括：

- 具有 12 位分辨率的线性逐次逼近算法；
- 高达 28 个模拟输入；
- 12、10 或 8 位右对齐输出格式；
- 单次转换或连续转换（单转换后自动返回空闲状态）；
- 采样时间和转换速度 / 功率可配置；
- 转换完成标志和中断；
- 最多可选择 4 个输入时钟源；
- 在等待或 STOP3 模式下实现了低噪音运行；
- 异步时钟源实现了低噪音运行；
- 可选的异步硬件转换触发；
- 与小于、大于或等于可编程值自动比较的中断；

10.2.7 结构图

图 10-2 是 ADC 模块的结构图

11.8 初始化 / 应用报文

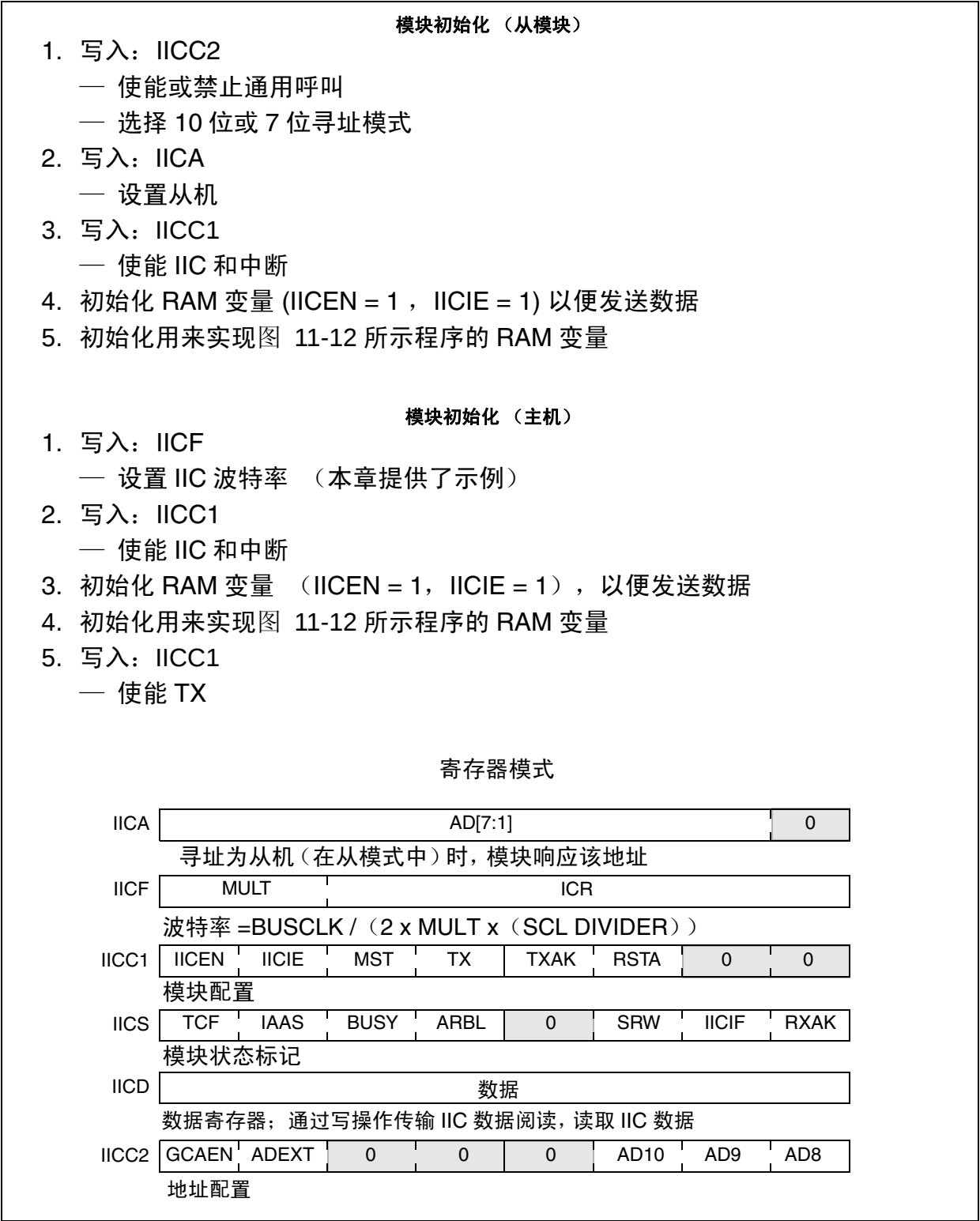


图 11-11. IIC 模块快速启动

表 12-2. 寄存器字段描述

字段	描述
1 SLPAK	睡眠模式确认— 该标记显示 MSCAN 模块是否已经进入睡眠模式 (参见 12.5.5.4, “MSCAN 睡眠模式”)。它用作 SLPRQ 睡眠模式请求的握手标志。t. 当 SLPRQ = 1、SLPAK = 1 时, 睡眠模式是有效的。根据 WUPE 设置, 如果在处于睡眠模式检测到 CAN 总线有信号, MSCAN 将清除该标志。CPU 清除 SLPRQ 位也将复位 SLPK 位。 0 正在运行 —MSCAN 正常运行 1 睡眠模式使能 — MSCAN 已经进入睡眠模式
0 INITAK	初始化模式确认— 该标志显示 MSCAN 模块是否处于初始化模式 (参见 12.5.5.5, “MSCAN I 初始化模式”)。它用作 INITRQ 初始化模式请求的握手标志。当 INITRQ = 1, INITAK = 1 时, 初始化模式被使能。当 MSCAN 处于初始化模式时, 寄存器 CANCTL1、CANBTR0、CANBTR1、CANIDAC、CANIDAR0 - CANIDAR7 和 CANIDMR0 - CANIDMR7 只能通过 CPU 写入 0 正在运行 —MSCAN 正常运行 1 初始化模式使能— MSCAN 处于初始化模式

12.3.3 MSCAN 总线计时寄存 0 (CANBTR0)

CANBTR0 寄存器配置 MSCAN 模块的各种 CAN 总线计时参数。

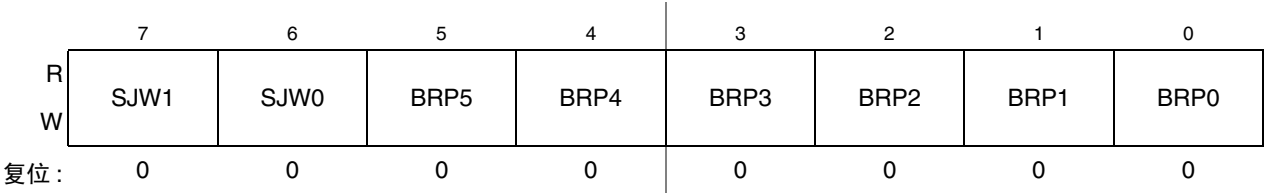


图 12-6. MSCAN 总线计时寄存器 0(CANBTR0)

读取: 任何时间
写入: 处于初始化模式 (INITRQ = 1, INITAK = 1) 的任何时间

表 12-3. CANBTR0 寄存器字段描述

字段	描述
7:6 SJW[1:0]	同步跳转宽度—同步跳转宽度决定要实现 CAN 总线上的数据传输重新同步, 一个位可以缩短或延长的时间冲量 (Tq) 的最大值 (参见表 12-4).
5:0 BRP[5:0]	波特率预分频器—该位确定用来构建位计时的时间冲量 (Tq) 时钟 (参见表 12-5).

注意

当初始化模式处于有效状态时， CANTFLG 寄存器保持复位状态（INITRQ=1， INITAK=1）。当未处于初始化模式时，该寄存器可以写入（INITRQ = 0 and INITAK = 0）。

读取：任何时间
写入：TXEx 标志不处于初始化模式的任何时间；写入 1 清除标志，写入 0 忽略标志。

表 12-11. CANTFLG 寄存器字段描述

字段	描述
2:0 TXE[2:0]	发送器缓冲器空—该标志表示相关发送报文缓冲器空，因此没有安排用于发送。在发送缓冲器中放好报文并准备好发送后，CPU 必须清除该标志。报文发送成功后，MSCAN 设置该标志。当发送请求由于中止请求而被成功中止时，MSCAN 也设置该标志（参见 12.3.8，“MSCAN Transmitter 发送器报文中止请求寄存器 (CANTARQ)”）。如果未被屏蔽，当设置了该标志时产生发送中断。 清除 TXEx 标志也会清除相应的 ABTAKx（参见 12.3.9，“MSCAN 发送器报文中止确认寄存器 (CANTAACK)”）。当设置了 TXEx 标志时，相应的 ABTRQx 位被清除（参见 12.3.8，“MSCAN Transmitter 发送器报文中止请求寄存器 (CANTARQ)”）。 当监听模式处于有效状态时（参见 12.3.2，“控制寄存器 1 (CANCTL1)”）TXEx 标志不能清除且不进行任何发送。 当相应的 TXEx 位被清除（TXEx = 0）且缓冲器被安排用于发送时，对发送缓冲器的读写操作会被拦截。 0 相关报文缓冲器已满（加载了准备发送的报文） 1 相关报文缓冲器空（未安排）

12.3.7 MSCAN 发送器中断使能寄存器 (CANTIER)

该寄存器包含发送缓冲器空中断标志的中断使能位。

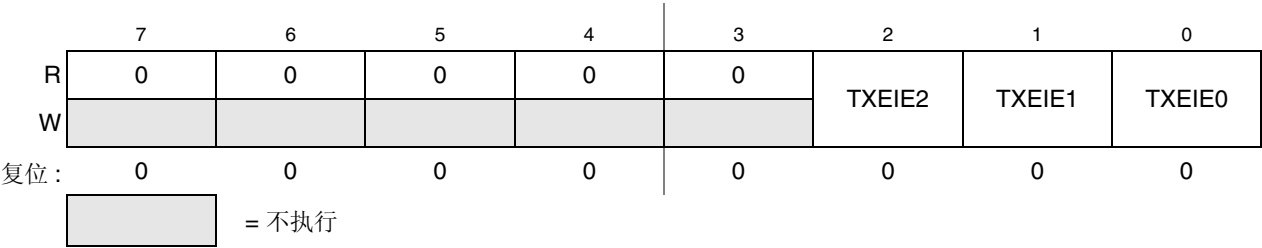


图 12-11. MSCAN 发送器中断使能寄存器 (CANTIER)

注意

当初始化模式处于有效状态时， CANTIER 寄存器保持复位状态（INITRQ=1， INITAK=1）。当未处于初始化模式时，该寄存器可以写入（INITRQ=0， INITAK=0）。

读取：任何时间
写入：未处于初始化模式的任何时间

12.5.3.2 协议违反保护

MSCAN 能够防止用户由于编程错误而意外违反 CAN 协议。保护逻辑实施以下功能：

- 接收和发送错误计数器不能写入或以别的方式操作。
- 当 MSCAN 在线时，控制 MSCAN 的配置的所有寄存器均不能被修改。MSCAN 必须处于初始化模式。CANCTL0/CANCTL1 寄存器中的相应 INITRQ/INITAK 握手位（参见 12.3.1，“MSCAN 控制寄存器 0 (CANCTL0)”）作为一个锁来保护以下寄存器：
 - MSCAN 控制 1 寄存器 (CANCTL1)
 - MSCAN 总线定时寄存器 0 和 1 (CANBTR0, CANBTR1)
 - MSCAN 标识符接收控制寄存器 (CANIDAC)
 - MSCAN 标识符接收寄存器 (CANIDAR0 - CANIDAR7)
 - MSCAN 标识符掩码寄存器 (CANIDMR0 - CANIDMR7)
- 当 MSCAN 进入节电模式或初始化模式时，TXCAN 管脚立即被强制进入隐性状态（参见 12.5.5.6，“MSCAN 断电模式”和 12.5.5.5，“MSCAN I 初始化模式”）。
- MSCAN 使能位（CANE）在正常系统操作模式下只能写入一次，从而为意外禁止 MSCAN 提供了进一步保护。

12.5.3.3 时钟系统

图 12-42 显示 MSCAN 时钟发生电路的结构。

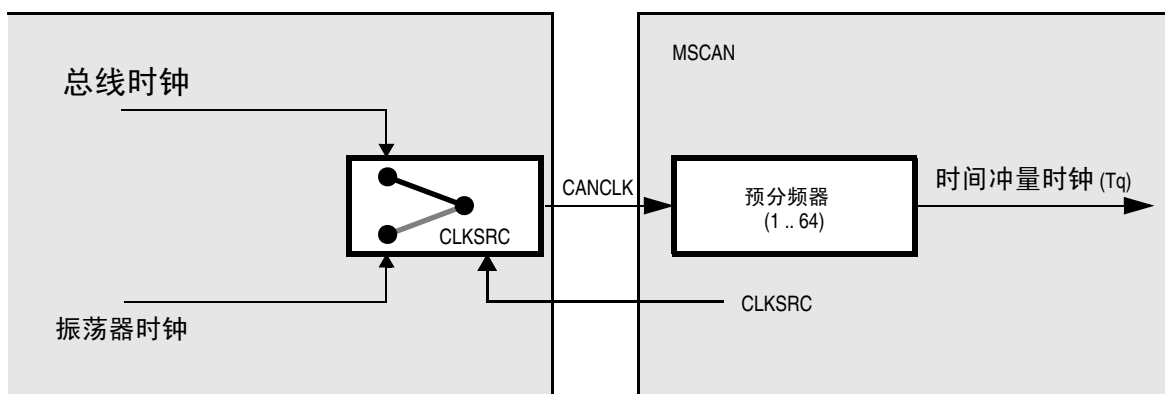


图 12-42. MSCAN 时钟机制

CANCTL1 寄存器 (12.3.2/-214) 中的时钟源位（CLKSRC）决定内部 CANCLK 是连接到晶体振荡器（振荡器时钟）输出还是连接到总线时钟。

必须选择能满足 CAN 协议的振荡器精度要求（高达 0.4%）的时钟源。此外，对于高 CAN 总线速率（1 Mbps）来说，要求 45%-55% 的时钟占空比。

如果总线时钟从 PLL 中生成，由于抖动，建议选择振荡器时钟而不是总线时钟，特别是以较快的 CAN 总线速率时。PLL 锁可能太宽，不能确保所需的时钟精度。

对于那些没有时钟和复位发生器（CRG）的微控制器，CANCLK 的驱动则来自晶体振荡器（振荡时钟）。

表 14-6. SCIS1 字段描述

字段	描述
5 RDRF	接收数据寄存器已满标记 — 当字符从接收移位器传输到接收数据寄存器（SCID）时，设置 RDRF。要清除 RDRF，当 RDRF = 1 时读 SCIS1，然后读 SCI 数据寄存器（SCID）。 0 接收数据寄存器空。 1 接收数据寄存器已满。
4 IDLE	闲置线路标记 — 在一段时间的活动后，当 SCI 接收线路已经闲置了一个全字符时间时，就设置 IDLE。当 ILT = 0，接收器在起始位后开始计数闲置位时间。因此，如果接收字符都为 1，这些位时间和停止位时间计数入接收器用于探测一个闲置线路所需逻辑高态（10 或 11 个位时间，取决于 M 控制位）的全字符时间。当 ILT = 1，接收器直到停止位后才开始计数闲置位时间。因此，停止位和前一字符末端的任何逻辑高态位时间不会计数入接收器用于探测一个闲置线路所需逻辑高态的全字符时间。 要清除 IDLE，当 IDLE = 1 时读取 SCIS1，然后读取 SCI 数据寄存器（SCID）。清除 IDLE 后，不能再次进行设置，直到接收到新字符且已设置了 RDRF。IDLE 只设置一次，即便接收线路闲置了很长一段时间。 0 没有检测到闲置线路 1 检测到闲置线路
3 OR	接收器溢出标记 — 当新的串行字符做好了传输到接收数据寄存器（缓冲器）的准备时，但原来接收的字符还没有从 SCID 读取，设置 OR。在这种情况下，新字符（和所有相关错误信息）丢失，因为没有空间将它们移到 SCID。要清除 OR，当 OR = 1 时读 SCIS1，然后读 SCI 数据寄存器（SCID）。 0 没有溢出 1 接收溢出（新 SCI 数据丢失）
2 NF	噪音标记 — 接收器中采用的先进的采样技术在起始位中提取 7 个样本，在每个数据位和停止位中提取 3 个样本。如果这些样本中任何一个样本与帧中任何位时间内的其余样本不一致，就要在 RDRF 为这个字符而置 1 的同时设置标记 NF。要清除 NF，读 SCIS1，然后读 SCI 数据寄存器（SCID）。 0 没有检测到噪音 1 SCID 中的已接收字符中检测到噪音
1 FE	成帧错误标记 — 当接收器在应该是停止位的时候检测到逻辑 0 时，同时设置 FE 和 RDRF。这表示接收器与字符帧没有完全统一。要清除 FE，当 FE = 1 时读 SCIS1，然后读 SCI 数据寄存器（SCID）。 0 未检测到成帧错误，这不能保证成帧正确。 1 成帧错误。
0 PF	奇偶效验错误标记 — 当奇偶效验使能（PE = 1）且已接收字符中的奇偶校验位与预期奇偶效验值不一致时，同时设置 PF 和 RDRF。要清除 PF，读 SCIS1，然后读 SCI 数据寄存器（SCID）。 0 没有奇偶效验错误 1 奇偶效验错误

14.2.5 SCI 状态寄存器 2 (SCIS2)

该寄存器有一个只读状态标记。

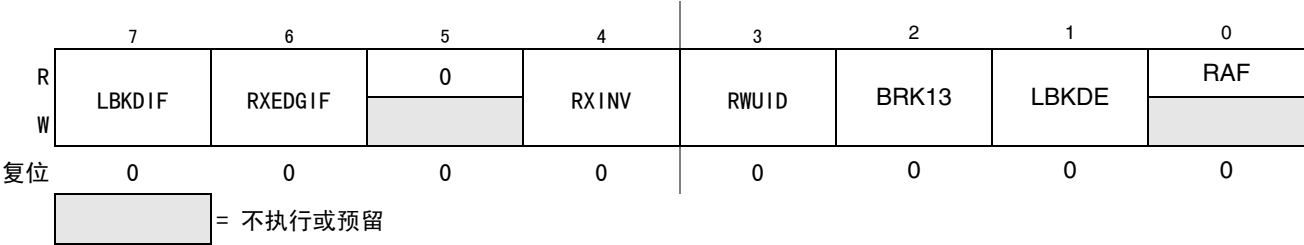


图 14-9. SCI 状态寄存器 2 (SCIS2)

14.2.6 SCI 控制寄存器 3 (SCIxC3)

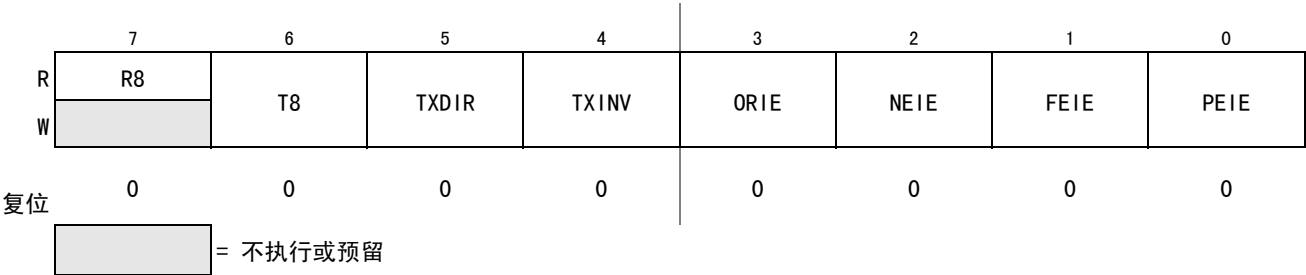


图 14-10. SCI 控制寄存器 3 (SCIxC3)

表 14-8. SCIxC3 字段描述

字段	描述
7 R8	接收器的第 9 个数据位 — 当 SCI 配置用于 9 位数据（M = 1）时，R8 可以视为 SCIxD 寄存器中缓冲数据的 MSB 左侧的第 9 个接收数据位。读 9 位数据时，读 SCIxD 前读取 R8，因为读 SCIxD 能够完成自动的标记清除顺序，允许 R8 和 SCIxD 被新数据覆盖。
6 T8	9 个数据位发射器 — 当 SCI 配置用于 9 位数据（M = 1）时，T8 可以视为 SCIxD 寄存器中缓冲数据的 MSB 左侧的第 9 个接收数据位。写 9 位数据时，整个 9 位值在 SCIxD 写入后被传输到 SCI 移位寄存器，因此，T8 应在 SCIxD 写入前写入（如果它需要从它的原来值中修改）。如果 T8 不需要在新值（例如当它用于生成标记或空间奇偶效验）中修改，它就不需要在每次写 SCIxD 时写入。
5 TXDIR	单线模式中的 TxD 管脚方向 — 当 SCI 配置用于单线半双工运行（LOOPS = RSRC = 1）时，该位决定 TxD 管脚上数据的方向。 0 TxD 管脚是单线模式中的输入。 1 TxD 管脚是单线模式中的输出。
4 TXINV ¹	发送数据反转 — 设置该位反转已发送数据输出的极性。 0 发送数据未被反转 1 发送数据被反转
3 ORIE	溢出中断使能 — 该位使能溢出标记（OR）以生成硬件中断请求。 0 OR 中断禁止（使用轮询） 1 当 OR = 1 时允许硬件中断
2 NEIE	噪音错误中断使能 — 该位使能噪音标记（NF）以生成硬件中断请求。 0 NF 中断禁止（使用轮询） 1 当 NF = 1 时允许硬件中断
1 FEIE	成帧错误中断使能 — 该位使能成帧错误标记（FE）以生成硬件中断请求。 0 NF 中断禁止（使用轮询） 1 当 NF = 1 时允许硬件中断
0 PEIE	奇偶效验错误中断使能 — 该位使能奇偶错误标记（PF）以生成硬件中断请求。 0 PF 中断禁止（使用轮询） 1 当 PF = 1 时允许硬件中断

¹ 设置 TXINV 会反转所有情况下的 TxD 输出：数据位、起始位和停止位、中止符、闲置。

如果相应 TIE 或 TCIE 本地中断允许位为 0，那么就使用软件轮询来监控 TDRE 和 TC 状态标记，而不是发生软件中断。

当程序检测到接收数据寄存器已满 ($RDRF = 1$) 时，它通过读 SCIXD 从接收数据寄存器获取数据。RDRF = 1 时读 SCIXS1，这样 RDRF 标记就被清除，然后再读 SCIXD。

当使用轮询时，该顺序自然在用户程序的正常过程中得到满足。如果使用硬件中断，就必须在中断服务程序 (ISR) 中读 SCIXS1。在正常情况下，这无论如何都要在 ISR 中完成，以检查接收错误，这样该顺序就自动满足了。

当 RxD 线路在很长一段时间内保持闲置时，IDLE 状态标记包括可以防止其进行重复设置的逻辑。当 IDLE = 1 时，读 SCIXS1 可以清除 IDLE，然后再读 SCIXD。在已经清除 IDLE 后，它不能再次进行设置，直到接收器已经收到至少一个新字符并已设置 RDRF。

如果在造成设置 RDRF 的已接收字符中检测到有关错误，就在设置 RDRF 的同时设置错误标记，如噪音标记 (NF)、成帧错误 (FE) 和奇偶效验错误标记 (PF)。这些标记不会在溢出情况下设置。

如果当一个新字符准备好从接收移位器传输到接收数据缓冲器时已经设置了 RDRF，就设置溢出 (OR) 标记，而数据及任何有关的 NF、FE 或 PF 条件丢失。

任何时候，RxD 串行数据输入管脚上的活动边沿都会引起 RXEDGIF 标记设置。把 1 写入 RXEDGIF 会清除该标记。该功能取决于正被使能 ($RE = 1$) 的接收器。

14.3.5 其他 SCI 功能

以下几节描述其他 SCI 功能。

14.3.5.1 8 位和 9 位数据模式

通过在 SCIXC1 中设置 M 控制位，SCI 系统（发射器和接收器）在经过配置后可以运行在 9 位数据模式中。在 9 位模式中，在 SCI 数据寄存器的 MSB 的左侧有一个第 9 数据位。对发送数据缓冲器来说，该位保存在 SCIXC3 中的 T8。对接收器来说，第 9 位保存在 SCIXC3 中的 R8。

为了连贯写入发送数据寄存器，写入 SCIXD 前请先写入 T8 位。

如果作为新字符第 9 位发送的位值和上一字符的位值相同，则不需要重新写入 T8。当数据从发送数据缓冲器传输到发送移位器时，在数据从 SCIXD 传输到移位器的同时 T8 中的值被复制。

9 位数据模式通常和奇偶效验一起使用，以允许数据的 8 个位加第 9 位中的奇偶效验位。或者与地址标记唤醒一起使用，这样第 9 数据位可以作为唤醒位。在自定义协议中，第 9 位还可以作为软件控制标记。

三种时钟源可由软件选择：低功率振荡器时钟（LPO）、外部时钟（ERCLK）和内部时钟（IRCLK）。RTC 时钟选择位（RTCLKS）用于选择想要的时钟源。如果一个不同值被写入到 RTCLKS 中，预分频器和 RTCCNT 计数器将复位为 0x00。

RTCPS 和 RTCLKS[0] 位选择想要的除数值。如果不同值被写入到 RTCPS 中，预分频器和 RTCCNT 计数器将复位为 0x00。表 15-6 显示了不同的预分频器周期值。

表 15-6. 预分频器周期

RTCPS	1-kHz 内部时钟源 (RTCLKS = 00)	1-MHz 外部时钟源 (RTCLKS = 01)	32-kHz 内部时钟源 (RTCLKS = 10)	32-kHz 外部时钟源 (RTCLKS = 11)
0000	Off	Off	Off	Off
0001	8 ms	1.024 ms	250 μ s	32 ms
0010	32 ms	2.048 ms	1 ms	64 ms
0011	64 ms	4.096 ms	2 ms	128 ms
0100	128 ms	8.192 ms	4 ms	256 ms
0101	256 ms	16.4 ms	8 ms	512 ms
0110	512 ms	32.8 ms	16 ms	1.024 s
0111	1.024 s	65.5 ms	32 ms	2.048 s
1000	1 ms	1 ms	31.25 μ s	31.25 ms
1001	2 ms	2 ms	62.5 μ s	62.5 ms
1010	4 ms	5 ms	125 μ s	156.25 ms
1011	10 ms	10 ms	312.5 μ s	312.5 ms
1100	16 ms	20 ms	0.5 ms	0.625 s
1101	0.1 s	50 ms	3.125 ms	1.5625 s
1110	0.5 s	0.1 s	15.625 ms	3.125 s
1111	1 s	0.2 s	31.25 ms	6.25 s

RTC 模数寄存器（RTCMOD）允许将比较值设置为从 0x00 到 0xFF 的任何值。当计数器处于有效状态时，计数器以所选速率递增，直到计数与模数值匹配。当这些值匹配时，计数器复位为 0x00 并继续计数。任何时候发生匹配时，实时中断标记（RTIF）会被设置。该标记在从模数值过渡为 0x00 时设置。写入 RTCMOD 将使预分频器和 RTCCNT 计数器复位为 0x00。

RTC 允许在设置 RTIF 时生成中断。要使能实时中断，在 RTCSC 中设置实时中断使能位（RTIE）。向 RTIF 写入 1 可以清除 RTIF。

17.2 背景调试控制器 (BDC)

HCS08 系列中的所有 MCU 都包含一个单线背景调试接口，它支持片上非易失性存储器的在线编程和先进的非侵入式调试功能。与早期的 8- 位 MCU 的调试接口不同，这个系统不干扰正常的应用资源。它不使用任何用户存储器或存储器映射中的地址，也不分享任何片上外设。

BDC 命令分为两大组：

- 激活背景调试模式命令要求目标 MCU 处于激活背景调试模式(用户程序未运行)。激活背景调试模式命令允许读写 CPU 寄存器，允许用户一次跟踪一个用户指令，或从激活背景调试模式进入用户程序。
- 非侵入式命令可以随时执行，即使用户的程序正在运行。
非侵入式命令允许用户在背景调试控制器中读写 MCU 存储器位置或存取状态和控制寄存器。

一般地，可以用相当简单的接口盒将来自主机的命令转换为与单线背景调试系统连接所需的串行命令。根据开发工具供应商的不同，这个接口盒可以采用标准 232 串行端口，或是并行打印端口，或是其它类型的通信端口，如用来与 PC 通信的 USB 接口。这个接口盒一般通过接地、BKGD 管脚、RESET，有时还有 VDD 与目标系统连接。RESET 引脚的开漏连接允许主机强制目标系统复位，这有助于重新获得对已失目标系统的控制，或在片上非易失性存储器重新编程之前，控制目标系统的启动。有时可以用 VDD 来允许接口盒使用目标系统的电源，避免再使用一个电源。但是，如果单独对接口盒供电，它可以连接到一个正在运行的目标系统，而不必强制目标系统复位，否则会干扰正在运行的应用程序。

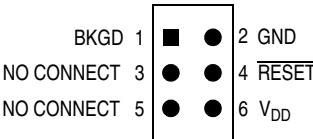


图 17-1. 工具接口

17.2.1 BKGD 管脚描述

BKGD 是单线背景调试接口管脚。这个管脚的主要功能是实现激活背景调试模式命令和数据的
双向串行通信。在复位过程中，这个管脚用来选择激活背景调试模式启动或启用用户的应用程
序。这个管脚还用来请求定时同步响应脉冲，允许主机开发工具确定背景调试串行通信的正确时
钟频率。

BDC 串行通信采用首先引入在微处理器 M68HC12 系列上的定制串行协议。这个协议假定主机
知道通信时钟速率，这个速率按目标 BDC 所有通信通过主机启动和控制所有通信，主机驱动高
到低边沿发出每个位时间开始信号。命令和数据以最重要的位先发 (MSB 先发) 的方式发送。有
关通信协议的详细信息，请参见 17.2.2，“通信详细介绍”。

如果主机尝试与 BDC 时钟速率未知的目标 MCU 沟通，可以发送 SYNC 命令给目标 MCU，请
求定时同步响应信号，通过这个信号，主机可以判断正确的通信速率。

BKGD 是伪开漏管脚，有一个片上上拉，因此不需要外部上拉电阻。与典型的开漏管脚不同，
管脚上的外部 RC 时间常数（受外部容性的影响），在信号上升时间上几乎不起作用。定制协议
提供瞬态加速脉冲，强制提高这个管脚的上升时间，而没有驱动电平冲突风险。参见 17.2.2，
“通信详细介绍”，了解更多详情。

SYNC 命令与其它 BDC 命令不同，因为主机不必要知道 BDC 通信的正确通信速率，直到它分析完 SYNC 命令的响应后。

要发出 SYNC 命令，主机：

- 保持 BKGD 管脚为低电平至少 128 周期，而且是以最慢的 BDC 时钟来计 (最慢的时钟一般是参考振荡器 /64 或自时钟速率 /64。)
- 驱动 BKGD 达到高电平，实现瞬态加速，快速上升时间 (这个加速脉冲一般是系统中最快的时钟的一个周期)
- 去除 BKGD 管脚的所有驱动，这样它可回复到高阻抗。
- 监视 BKGD 管脚得到同步响应脉冲

当检测到主机的 SYNC 请求 (比在正常 BDC 通信过程中发生的慢时钟要长)，则目标：

- 等待 BKGD 返回到逻辑高电平
- 延迟 16 个周期，允许主机停止驱动高电平加速脉冲
- 驱动 BKGD 低态 128 BDC 时钟周期
- 驱动一个周期的高电平加速脉冲，在 BKGD 上实现快速上升时间
- 去除 BKGD 管脚的所有驱动，这样它可回复到高阻抗。

主机测量这个 128 周期的响应脉冲的低电平时间，判断速率，进行后续的 BDC 通信。主机一般可以确定正确的通信速率，与实际目标速率的误差只有百分之几，通信协议能够接受百分之几的速率误差。

17.2.4 BDC 硬件断点

BDC 包括一个相对简单的硬件断点，将 CPU 地址总线与 BDCBKPT 寄存器中的 16- 位匹配值进行比较。这个断点可以生成强制断点或标记断点。强制断点使 CPU 在存取断点地址后的第一个指令边界进入激活背景调试模式。标记的断点使指令操作码在断点地址被标记，这样当 CPU 到达指令队列的终点时，将进入激活后台模式，而不是执行该指令。这意味着标记的断点可能放置在指令操作代码的地址上，而强制断点可以设置在任何地址。

BDC 状态和控制寄存器 (BDCSCR) 中的断点使能 (BKPTEN) 控制位用来激活断点逻辑 (BKPTEN = 1)。当 BKPTEN = 0 (复位后它的默认值)，断点逻辑禁止，无论其它 BDC 断点中的值是多少，也不管控制位如何，均不请求断点。BDCSCR 中的强制 / 标记选择 (FTS) 控制位用来选择强制 (FTS = 1) 或标记 (FTS = 0) 类型断点。

片上调试模块 (DBG) 包括两个额外的硬件断点的电路，这两个硬件断点比 BDC 模块中的简单断点更灵活。

B.7.4 PWM 占空比结束事件

对于配置用于 PWM 运行的通道，有两种可能性：

- 当通道配置用于边缘对齐 PWM 时，定时器计数器与标志活动工作周期结束的通道值寄存器匹配时，通道标记被设置。
- 当通道配置用于中央对齐 PWM 时，定时器计数与每个 PWM 周期的通道值寄存器的两倍相匹配。在这种 CPWM 情况下，通道标记会在定时器计数器与通道值寄存器匹配时，即在活动工作周期开始和结束时被设置。

这种标记通过 B.7.1，“清除定时器中断标记”中所述的两步序列清除。