

Welcome to E-XFL.COM

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	60KB (60K x 8)
Program Memory Type	FLASH
EEPROM Size	2K x 8
RAM Size	4K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/pro/item?MUrl=&PartUrl=mc9s08dz60mlc

章节号	标题	页码
11.4	寄存器定义	193
11.4.1	IIC 地址寄存器 (IICA)	193
11.4.2	11.3.2 IIC 分频器寄存器 (IICF)	193
11.4.3	IIC 控制寄存器 (IICC1)	196
11.4.4	IIC 状态寄存器 (IICS)	196
11.4.5	IIC 数据 I/O 寄存器 (IICD)	197
11.4.6	IIC 控制寄存器 2 (IICC2)	198
11.5	功能描述	199
11.5.1	IIC 协议	199
11.5.2	10 位地址	202
11.5.3	通用呼叫地址	203
11.6	复位	203
11.7	中断	203
11.7.1	字节传输中断	203
11.7.2	地址检测中断	203
11.7.3	仲裁丢失中断	204
11.8	初始化 / 应用报文	205

第 12 章 飞思卡尔控制器局域网 (S08MSCANV1)

12.1	介绍	207
12.1.1	特性	209
12.1.2	运行模式	209
12.1.3	结构图	210
12.2	外部信号描述	210
12.2.1	RXCAN — CAN 接收器输入管脚 Y	210
12.2.2	TXCAN — CAN T 发射器输出管脚	210
12.2.3	CAN 系统	210
12.3	寄存器定义	211
12.3.1	MSCAN 控制寄存器 0 (CANCTL0)	211
12.3.2	控制寄存器 1 (CANCTL1)	214
12.3.3	MSCAN 总线计时寄存 0 (CANBTR0)	215
12.3.4	MSCAN 总线计时寄存器 (CANBTR1)	216
12.3.5	MSCAN 接收器中断使能寄存器 (CANRIER)	219
12.3.6	MSCAN 发送器标志寄存器 (CANTFLG)	220
12.3.7	MSCAN 发送器中断使能寄存器 (CANTIER)	221
12.3.8	MSCAN Transmitter 发送器报文中止请求寄存器 (CANTARQ)	222
12.3.9	MSCAN 发送器报文中止确认寄存器 (CANTAACK)	223
12.3.10	MSCAN 发送缓冲器选择寄存器 (CANTBSEL)	223
12.3.11	MSCAN 标识符验收控制寄存器 (CANIDAC)	224
12.3.12	MSCAN 其他寄存器 (CANMISC)	225
12.3.13	MSCAN 接收错误计数器 (CANRXERR)	226

表 1-2 为芯片模块的功能版本。

表 1-2. 模块版本

模块	版本
中央处理器 (CPU)	3
多功能时钟生成器 (MCG)	1
模拟比较器 (ACMP)	3
模数转换器 (ADC)	1
IIC 总线 (IIC)	2
飞思卡尔的 CANN (MSCAN)	1
串行外围接口 (SPI)	3
串行通信接口 (SCI)	4
实时计数器 (RTC)	1
定时器脉宽调制器 (TPM)	3 ¹
调试模块 (DBG)	2

表 4-14. Flash 块保护 (continued)

FPS	受保护的地址域	受保护的内存大小 (字节)	受保护的扇区数量
0x1B	0x2800–0xFFFF	54K	72
0x1A	0x2200–0xFFFF	55.5K	74
0x19	0x1C00–0xFFFF	57K	76
0x18–0x00	0x0000–0xFFFF	64K	86

4.5.11.5 Flash 和 EEPROM 状态寄存器 (FSTAT)

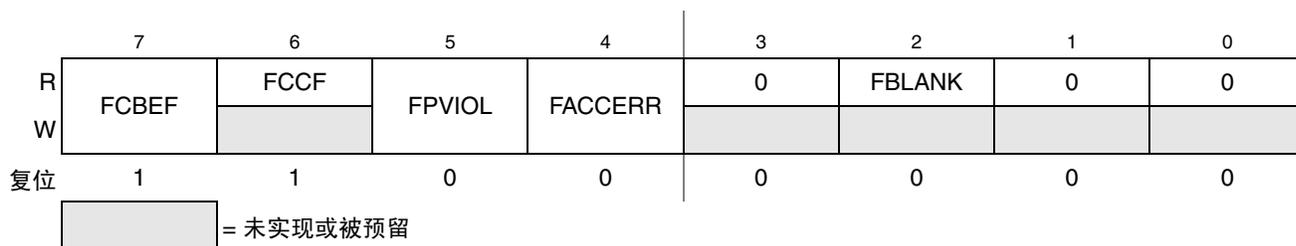


图 4-9. Flash 和 EEPROM 状态寄存器 (FSTAT)

表 4-15. FSTAT 寄存器字段描述

字段	描述
7 FCBEF	命令缓冲器空标记 — FCBEF 位用于发出命令。它还用于标识命令缓冲器是空的，因此可以在执行突发编程时执行新的命令顺序。FCBEF 位通过在写入 1 或一个突发编程命令被发送到阵列中以进行编程时清除。只有突发编程命令可以被缓冲。 0 命令缓冲器满 (没有准备好缓冲额外的命令)。 1 命令缓冲器中可写入新的突发编程命令。
6 FCCF	命令完成标记 — FCCF 在命令缓冲器变空而且没有处理任何命令时自动设置。FCCF 在开始执行一个新命令时自动清除 (通过将 1 写到 FCBEF 中以登记一个命令)。向 FCCF 写入内容没有任何意义或效果。 0 命令正在执行过程中。 1 所有命令都已完成。
5 FPVIOL	保护规则违反标记 — FPVIOL 在发出试图擦除或编程受保护块中的一个位置的命令后自动置 1 (错误的命令会被忽略)。FPVIOL 通过向 FPVIOL 中写入 1 来清除。 0 无保护规则违反。 1 有人尝试擦除或编程一个受保护的位置。

6.5.3.1 C 端口数据寄存器 (PTCD)

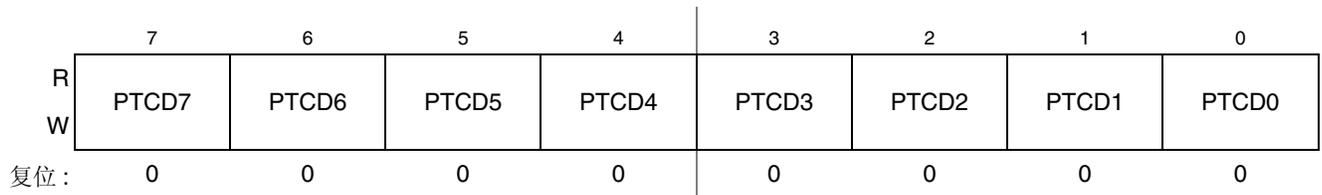


图 6-19. C 端口数据寄存器 (PTCD)

表 6-17. PTCD 寄存器字段描述

字段	描述
7:0 PTCD[7:0]	C 端口数据寄存器位 — 对于配置为输入的 C 端口管脚，读数返回管脚上的逻辑电平。对于配置为输出的 C 端口管脚，读数返回写入寄存器的最后一个值。 写入值被锁定在本寄存器的所有位中。对于配置为输出的 C 端口管脚，逻辑电平被输出到相应的 MCU 管脚。 复位强制 PTCD 都为 0，但是这些 0 未被输出到驱出相应的管脚，因为复位还会将所有端口管脚配置为上拉 / 下拉禁止的高抗阻输入。

6.5.3.2 C 端口数据方向寄存器 (PTCDD)

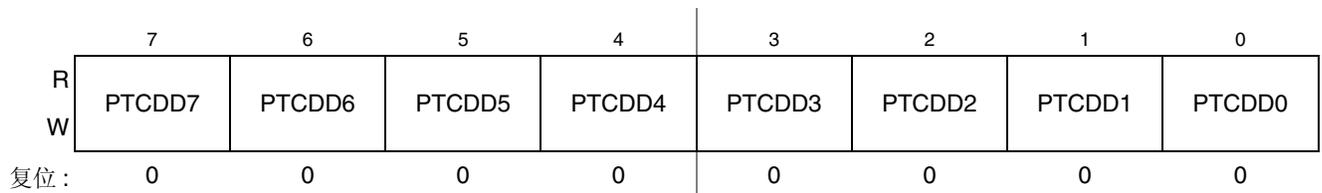


图 6-20. C 端口数据方向寄存器 (PTCDD)

表 6-18. PTCDD 寄存器字段描述

字段	描述
7:0 PTCDD[7:0]	C 端口位的数据方向 — 这些读 / 写位控制着 C 端口管脚的方向以及为 PTCD 读数读取的内容。 0 输入（输出驱动禁止），读数返回管脚值。 1 C 端口位 - 输出驱动使能，PTCD 读数返回 PTCDn 内容。

6.5.6.1 F 端口数据寄存器 (PTFD)

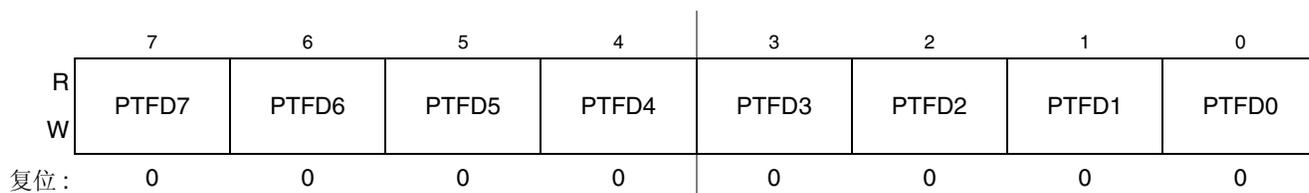


图 6-37. F 端口数据寄存器 (PTFD)

表 6-35. PTFD 寄存器字段描述

字段	描述
7:0 PTFD[7:0]	F 端口数据寄存器位 — 对于配置为输入的 F 端口管脚，读数返回管脚上的逻辑电平。对于配置为输出的 F 端口管脚，读数返回写入寄存器的最后一个值。 写入值被锁定在本寄存器的所有位中。对于配置为输出的 F 端口管脚，逻辑电平被输出到驱出相应的 MCU 管脚。 复位强制 PTFD 都为 0，但是这些 0 未被输出到驱出相应的管脚，因为复位还会将所有端口管脚配置为上拉 / 下拉被禁止的高阻抗输入。

6.5.6.2 F 端口数据方向寄存器 (PTFDD)

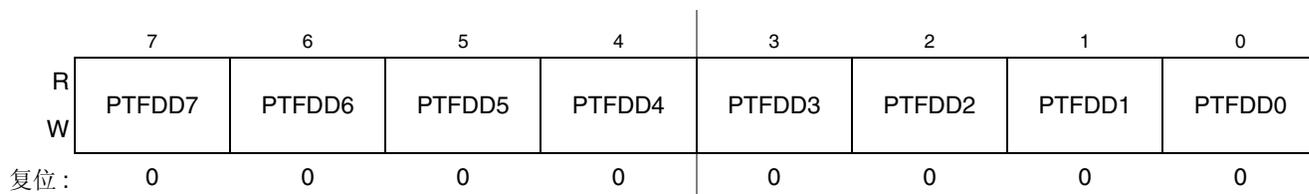


图 6-38. F 端口数据方向寄存器 (PTFDD)

表 6-36. PTFDD 寄存器字段描述

字段	描述
7:0 PTFDD[7:0]	F 端口位的数据方向 — 这些读 / 写位控制着 F 端口管脚的方向以及为 PTFD 读数读取的内容。 0 输入 (输出驱动被禁止)，读数返回管脚值。 1 B 端口位 - 输出驱动使能，PTFD 读数返回 PTFDn 内容。

7.4.3 等待模式操作

WAIT 指令通过清除 CCR 中的 I 位来使能中断。然后它暂停 CPU 时钟，以减少整体功耗，CPU 此时正在等待将把 CPU 从等待模式唤醒的中断或复位事件。当发生中断或复位事件时，CPU 时钟会重新开始工作，中断或复位事件被正常处理。

如果串行 BACKGROUND 命令通过背景调试接口发送到 MCU，与此同时 CPU 处于等待模式，那么 CPU 时钟会重新开始工作，CPU 进入活动后台模式，可以处理其他串行后台命令。这样就确保了即使主机开发系统处于等待模式，它仍能访问目标 MCU。

7.4.4 停止模式操作

在通常情况下，包括晶体振荡器（使用时）在内的所有系统时钟在停止模式中都会暂停，以最大限度地减少功耗。在这类系统中，需要外部电路来控制停止模式所花费的时间，并且在需要重新开始处理时发出一个信号来唤醒目标 MCU。与早期 M68HC05 和 M68HC08 MCU 不同的是，HCS08 可以在经过配置后使停止模式以最少的时钟运行。这同样允许内部周期信号将 MCU 从停止模式唤醒。

如果主机调试系统与背景调试管脚（BKGD）连接，且串行命令通过后台接口设置了 ENBDM 控制位（或者因为 MCU 被重置为活动后台模式），那么当 MCU 进入停止模式时，振荡器就被迫保持活动状态。这时，当通过背景调试接口将串行 BACKGROUND 命令发送到 MCU，而与此同时 CPU 处于停止模式时，CPU 时钟会重新开始工作，CPU 进入可以处理其他串行后台命令的活动后台模式。这样就确保了即使 MCU 处于等待模式主机开发系统仍能访问目标 MCU。

停止模式恢复取决于特殊 HCS08 及振荡器是否在停止模式中停止。更多信息请参见“运行模式”。

7.4.5 BGND 指令

相对于 M68HC08，BGND 指令是 HCS08 的新增指令。普通用户程序中不会使用 BGND，因为它强制 CPU 停止处理用户指令而进入活动后台模式。重新执行用户程序的唯一方法是通过复位，或由主机调试系统通过背景调试接口发出 GO、TRACE1 或 AGGO 串行命令。

基于软件的断点可以通过用 BGND 操作码在所需断点地址上取代操作码的方式进行设置。当程序到达该断点地址时，CPU 会被迫进入活动后台模式，而不是继续用户程序。

表 7-2. 指令集小结 (第 3 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR							
						V	I	H	Z	C			
BRA <i>rel</i>	总是分支 (如果 I = 1)	REL	20 rr	3	ppp	-	1	1	-	-	-	-	-
BRCLR <i>n,opr8a,rel</i>	如果存储器的位 <i>n</i> 清除, 分支 (如果 (Mn) = 0)	DIR (b0)	01 dd rr	5	rpppp	-	1	1	-	-	-	-	↓
		DIR (b1)	03 dd rr	5	rpppp								
		DIR (b2)	05 dd rr	5	rpppp								
		DIR (b3)	07 dd rr	5	rpppp								
		DIR (b4)	09 dd rr	5	rpppp								
		DIR (b5)	0B dd rr	5	rpppp								
		DIR (b6)	0D dd rr	5	rpppp								
		DIR (b7)	0F dd rr	5	rpppp								
BRN <i>rel</i>	从不分支 (如果 I = 0)	REL	21 rr	3	ppp	-	1	1	-	-	-	-	-
BRSET <i>n,opr8a,rel</i>	如果存储器的位 <i>n</i> 设置, 分支 (如果 (Mn) = 1)	DIR (b0)	00 dd rr	5	rpppp	-	1	1	-	-	-	-	↓
		DIR (b1)	02 dd rr	5	rpppp								
		DIR (b2)	04 dd rr	5	rpppp								
		DIR (b3)	06 dd rr	5	rpppp								
		DIR (b4)	08 dd rr	5	rpppp								
		DIR (b5)	0A dd rr	5	rpppp								
		DIR (b6)	0C dd rr	5	rpppp								
		DIR (b7)	0E dd rr	5	rpppp								
BSET <i>n,opr8a</i>	在存储器里设置位 <i>n</i> (Mn - 1)	DIR (b0)	10 dd	5	rfwpp	-	1	1	-	-	-	-	-
		DIR (b1)	12 dd	5	rfwpp								
		DIR (b2)	14 dd	5	rfwpp								
		DIR (b3)	16 dd	5	rfwpp								
		DIR (b4)	18 dd	5	rfwpp								
		DIR (b5)	1A dd	5	rfwpp								
		DIR (b6)	1C dd	5	rfwpp								
		DIR (b7)	1E dd	5	rfwpp								
BSR <i>rel</i>	分支到子程序 PC = (PC) + \$0002 推 (PCL); SP = (SP) - \$0001 推 (PCH); SP = (SP) - \$0001 PC = (PC) + <i>rel</i>	REL	AD rr	5	ssppp	-	1	1	-	-	-	-	-
		DIR	31 dd rr	5	rpppp	-	1	1	-	-	-	-	-
		DIR	41 ii rr	4	pppp								
		IMM	51 ii rr	4	pppp								
IX1+	61 ff rr	5	rpppp										
CBEQ <i>opr8a,rel</i>	比较 ...	DIR	31 dd rr	5	rpppp	-	1	1	-	-	-	-	
CBEQA # <i>opr8i,rel</i>	分支, 如果 (A) = (M)	IMM	41 ii rr	4	pppp								
CBEQX # <i>opr8i,rel</i>	分支, 如果 (A) = (M)	IMM	51 ii rr	4	pppp								
CBEQ <i>opr8,X+,rel</i>	分支, 如果 (X) = (M)	IX1+	61 ff rr	5	rpppp								
CBEQ <i>,X+,rel</i>	分支, 如果 (A) = (M)	IX+	71 rr	5	rfppp								
CBEQ <i>opr8,SP,rel</i>	分支, 如果 (A) = (M)	SP1	9E 61 ff rr	6	prpppp								
CLC	清除进位 (C = 0)	INH	98	1	p	-	1	1	-	-	-	-	0
CLI	清除中断屏蔽位 (I = 0)	INH	9A	1	p	-	1	1	-	0	-	-	-
CLR <i>opr8a</i>	清除 M = \$00	DIR	3F dd	5	rfwpp	0	1	1	-	-	0	1	-
CLRA	A = \$00	INH	4F	1	p								
CLR X	X = \$00	INH	5F	1	p								
CLR H	H = \$00	INH	8C	1	p								
CLR <i>opr8,X</i>	M = \$00	IX1	6F ff	5	rfwpp								
CLR <i>,X</i>	M = \$00	IX	7F	4	rfwp								
CLR <i>opr8,SP</i>	M = \$00	SP1	9E 6F ff	6	prfwpp								

表 7-2. 指令集小结 (第 8 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V I I H	I N Z C
SUB #opr8i SUB opr8a SUB opr16a SUB oprx16,X SUB oprx8,X SUB ,X SUB oprx16,SP SUB oprx8,SP	减 A'' (A) - (M)	IMM DIR EXT IX2 IX1 IX SP2 SP1	A0 ii B0 dd C0 hh ll D0 ee ff E0 ff F0 9E D0 ee ff 9E E0 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	↑ 1 1 -	- ↓ ↓ ↓
SWI	软件中断 PC'' (PC) + \$0001 推 (PCL); SP'' (SP) - \$0001 推 (PCH); SP'' (SP) - \$0001 推 (X); SP'' (SP) - \$0001 推 (A); SP'' (SP) - \$0001 推 (CCR); SP'' (SP) - \$0001 I'' 1; PCH'' 中断向量高字节 PCL'' 中断向量低字节	INH	83	11	sssssvvfppp	- 1 1 -	1 - - -
TAP	将累加器转移到 CCR CCR'' (A)	INH	84	1	p	↑ 1 1 ↑	↓ ↓ ↓ ↓
TAX	将累加器转移到 X (索引寄存器低) X'' (A)	INH	97	1	p	- 1 1 -	- - - -
TPA	将 CCR 转移到累加器 A'' (CCR)	INH	85	1	p	- 1 1 -	- - - -
TST opr8a TSTA TSTX TST oprx8,X TST ,X TST oprx8,SP	负数或 0(M) 测试 (M) - \$00 (A) - \$00 (X) - \$00 (M) - \$00 (M) - \$00 (M) - \$00	DIR INH INH IX1 IX SP1	3D dd 4D 5D 6D ff 7D 9E 6D ff	4 1 1 4 3 5	rfpp p p rfpp rfp prfpp	0 1 1 -	- ↓ ↓ -
TSX	将 SP 转移到索引寄存器. H:X'' (SP) + \$0001	INH	95	2	fp	- 1 1 -	- - - -
TXA	将 X(索引寄存器低) 转移到累加器上 A'' (X)	INH	9F	1	p	- 1 1 -	- - - -

9.1.2 特性

ACMP 具有以下特性：

- 完全的轨到轨供电操作。
- 可选择的比较器输出上升沿中断、下降沿中断，或上升沿及下降沿中断。
- 与内部固定的带死区参考电压比较选项。
- 允许在管脚 ACMPxO 上看到比较器结果输出的选项。

9.1.3 运行模式

本节介绍等待、停止和背景调试模式中的 ACMP 运行。

9.1.3.1 等待模式中的 ACMP

如果在进入等待模式前已经使能 ACMP，ACMP 将继续在等待模式中运行。因此，如果使能 ACMP 中断（ACIE 已设置），可以用 ACMP 使 MCU 退出等待模式。为了实现尽可能低的功耗，如果等待模式中不需要 ACMP 作为中断源，应通过软件关闭 ACMP。

9.1.3.2 停止模式中的 ACMP

ACMP 在所有停止模式中都被禁止，无论执行停止指令前的设置如何。因此，ACMP 不能作为停止模式的唤醒源。

在 STOP2 模式中，ACMP 模块的电源完全关闭。当从 STOP2 模式中唤醒时，ACMP 模块处于复位状态。

在 STOP3 模式中，ACMP 模块的时钟暂停。寄存器不受影响。此外，ACMP 比较器电路进入低功耗状态。STOP3 中不会发生比较操作。

如果 STOP3 由于复位而退出，ACMP 将进入复位状态。如果 STOP3 由于中断而退出，ACMP 将从进入 STOP3 时的状态继续运行。

9.1.3.3 使能背景调试模式中的 ACMP

当微控制器处于使能背景调试模式时，ACMP 继续正常运行。

11.5.1.8 握手

时钟同步机制可以用作数据传输中的握手。在完成一个字节的传输（9 个位）后，从机可以保持 SCL 低位。在这种情况下，它会暂停总线时钟，强迫主机时钟进入等待状态，直到从机释放 SCL 线。

11.5.1.9 时钟延展

时钟同步机制可以被从机用于减缓传输的比特速率。在主机已经拉低 SCL 后，从机可以继续拉低 SCL 一定时间，然后再释放它。如果从机 SCL 低态周期长于主机 SCL 低态周期，那么就会将 SCL 总线信号低态周期延展。

11.5.2 10 位地址

对于 10 位寻址，0x11110 用于地址首字节的前 5 位。10 位寻址传输过程中可能出现不同的读/写格式组合。

11.5.2.1 主发送器寻址从接收器

传输方向不变（见表 11-9）。当 10 位地址跟随开始信号发送时，每个从机会把该从机地址首字节的前 7 位与其自己的地址进行比较，并测试第 8 个位（R/W 方向位）是否为 0。一个以上的从机能够匹配并生成应答（A1）。然后，匹配的每个从机会把该从机地址第二个字节的 8 个位与其自己的地址进行比较。只有一个从机找到匹配并生成应答（A2）。匹配的从机与此主机通信，直到收到停止信号（P）或跟随着其他从机地址的重复开始信号（Sr）。

S	从机前面 7 位 11110 + AD10 + AD9	R/W 0	A1	从机前面 7 位 AD[8:1]	A2	数据	A	...	数据	A/A	P
---	--------------------------------	----------	----	---------------------	----	----	---	-----	----	-----	---

表 11-9. 主发送器寻址 10 位地址的辅接收器

在主机发送器已经发送了 10 位地址的第一个字节后，从机接收器产生 IIC 中断。软件必须确保 IICD 的内容被忽略，且不作为该中断的有效数据对待。

11.5.2.2 主接收器寻址从发送器

如果传输方向被第二个 R/W 位改变（见表 11-10）。一直到应答位 A2（包括应答位 A2）前，该流程与主发送器寻址从接收器中的描述都相同。在重复开始条件（Sr）后，匹配的从接收器记得它以前曾被寻址过。从接收器然后就检查 Sr 后的从机地址首字节的前 7 位是否与开始条件（S）后的前 7 位相同，并测试第 8（R/W）个位是否为 1。如果匹配，从接收器就认为它已经被确认为发送器，并生成应答 A3。从发送器保持匹配，直到收到停止信号（P）或跟随着其他从机地址的重复开始信号（Sr）。

重复开始条件（Sr）之后，所有其他从机也将从机地址首字节的前 7 位与它们自己的地址进行比较，测试第 8（R/W）位。然而，这些从机都没有匹配，因为 R/W=1（用于 10 位器件）或 11110XX 从机地址（用于 7 位节点）不匹配。

表 12-17. 标识符接收模式设置

IDAM1	IDAM0	标识符接收模式
0	0	2 个 32 位接收 滤波器
0	1	4 个 16 位接收 滤波器
1	0	8 个 8 位接收 滤波器
1	1	滤波器关闭

表 12-18. 标识符接收有效标志指示器

IDHIT2	IDHIT1	IDHIT0	标识符接收有效标志
0	0	0	滤波器 0 有效标志
0	0	1	滤波器 1 有效标志
0	1	0	滤波器 2 有效标志
0	1	1	滤波器 3 有效标志
1	0	0	滤波器 4 有效标志
1	0	1	滤波器 5 有效标志
1	1	0	滤波器 6 有效标志
1	1	1	滤波器 7 有效标志

IDHITx 指示器总是与前景缓冲器 (RxFG) 中的报文有关。当报文被转移到接收器 FIFO 的前景缓冲器时, 指示器也相应更新。

12.3.12 MSCAN 其他寄存器 (CANMISC)

这种寄存器提供了一些其他功能。

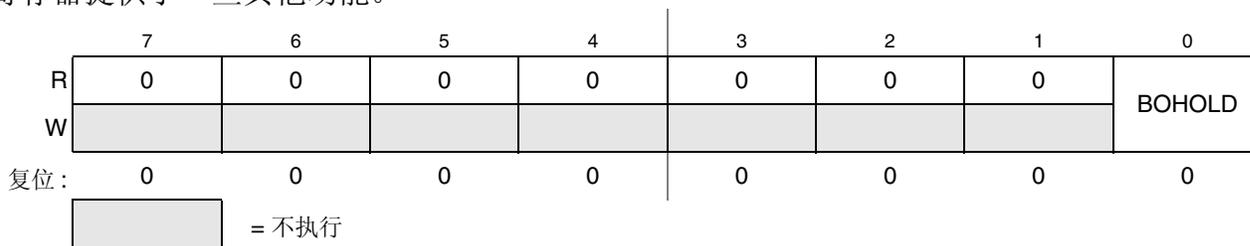


图 12-16. MSCAN 其他寄存器 (CANMISC)

读取: 任何时间

写入: 任何时间; 写入 '1' 清除标志, 写入 '0' 忽略标志

表 12-19. CANMISC 寄存器字段描

字段	描述
0 BOHOLD	总线脱离状态持续到用户请求 —12.3.2, “控制寄存器 1 (CANCTL1)” “MSCAN 控制寄存器 1 (CANCTL1)” 中设置了 BORM, 此标志位显示模块是否已经进入总线脱离状态。清除该位则请求从总线脱离恢复。如需了解详细报文, 12.6.2, “总线脱离恢复”。 0 模块未总线脱离, 或在总线脱离状态并已请求恢复 1 模块总线脱离, 并保持该状态直到用户请求

Register Name		Bit 7	6	5	4	3	2	1	Bit0
IDR0	R W	ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21
IDR1	R W	ID20	ID19	ID18	SRR ⁽¹⁾	IDE ⁽¹⁾	ID17	ID16	ID15
IDR2	R W	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
IDR3	R W	ID6	ID5	ID4	ID3	ID2	ID1	ID0	RTR ²
DSR0	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR1	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR2	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR3	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR4	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR5	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR6	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR7	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DLR	R W					DLC3	DLC2	DLC1	DLC0

 = Unused, always read 0¹

图 12-23. 接收 / 发送报文缓冲器 — 扩展标识符映射

¹ SRR 和 IDE 都为 1。

² RTR 的位置在扩展和标准标识符映射间存在差异。

表 14-6. SCIS1 字段描述

字段	描述
5 RDRF	接收数据寄存器已满标记 — 当字符从接收移位器传输到接收数据寄存器 (SCixD) 时, 设置 RDRF。要清除 RDRF, 当 RDRF = 1 时读 SCIS1, 然后读 SCI 数据寄存器 (SCixD)。 0 接收数据寄存器空。 1 接收数据寄存器已满。
4 IDLE	闲置线路标记 — 在一段时间的活动后, 当 SCI 接收线路已经闲置了一个全字符时间时, 就设置 IDLE。当 ILT = 0, 接收器在起始位后开始计数闲置位时间。因此, 如果接收字符都为 1, 这些位时间和停止位时间计数入接收器用于探测一个闲置线路所需逻辑高态 (10 或 11 个位时间, 取决于 M 控制位) 的全字符时间。当 ILT = 1, 接收器直到停止位后才开始计数闲置位时间。因此, 停止位和前一字符末端的任何逻辑高态位时间不会计数入接收器用于探测一个闲置线路所需逻辑高态的全字符时间。 要清除 IDLE, 当 IDLE = 1 时读取 SCIS1, 然后读取 SCI 数据寄存器 (SCixD)。清除 IDLE 后, 不能再次进行设置, 直到接收到新字符且已设置了 RDRF。IDLE 只设置一次, 即便接收线路闲置了很长一段时间。 0 没有检测到闲置线路 1 检测到闲置线路
3 OR	接收器溢出标记 — 当新的串行字符做好了传输到接收数据寄存器 (缓冲器) 的准备时, 但原来接收的字符还没有从 SCixD 读取, 设置 OR。在这种情况下, 新字符 (和所有相关错误信息) 丢失, 因为没有空间将它们移到 SCixD。要清除 OR, 当 OR = 1 时读 SCIS1, 然后读 SCI 数据寄存器 (SCixD)。 0 没有溢出 1 接收溢出 (新 SCI 数据丢失)
2 NF	噪音标记 — 接收器中采用的先进的采样技术在起始位中提取 7 个样本, 在每个数据位和停止位中提取 3 个样本。如果这些样本中任何一个样本与帧中任何时间内的其余样本不一致, 就要在 RDRF 为这个字符而置 1 的同时设置标记 NF。要清除 NF, 读 SCIS1, 然后读 SCI 数据寄存器 (SCixD)。 0 没有检测到噪音 1 SCixD 中的已接收字符中检测到噪音
1 FE	成帧错误标记 — 当接收器在应该是停止位的时候检测到逻辑 0 时, 同时设置 FE 和 RDRF。这表示接收器与字符帧没有完全统一。要清除 FE, 当 FE = 1 时读 SCIS1, 然后读 SCI 数据寄存器 (SCixD)。 0 未检测到成帧错误, 这不能保证成帧正确。 1 成帧错误。
0 PF	奇偶效验错误标记 — 当奇偶效验使能 (PE = 1) 且已接收字符中的奇偶校验位与预期奇偶效验值不一致时, 同时设置 PF 和 RDRF。要清除 PF, 读 SCIS1, 然后读 SCI 数据寄存器 (SCixD)。 0 没有奇偶效验错误 1 奇偶效验错误

14.2.5 SCI 状态寄存器 2 (SCIS2)

该寄存器有一个只读状态标记。

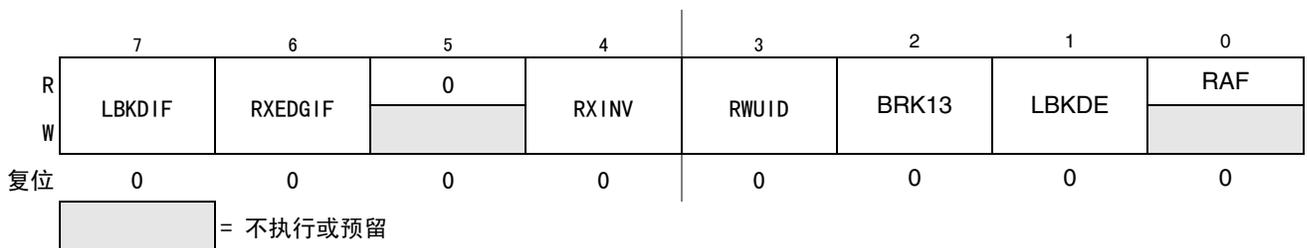


图 14-9. SCI 状态寄存器 2 (SCIS2)

- 中央对齐 pwm 模式

16 位模数寄存器值的两倍设置 PWM 输出周期，而通道值寄存器设置一半占空比持续时间。定时器计数器向上计数，直到达到模数值，然后向下计数直到达到 0。向下计数的情况下，计数与通道值寄存器匹配时，PWM 输出进入活动状态。向上计数的情况下，计数与通道值寄存器匹配时，PWM 输出进入非活动状态。这类 PWM 信号被称为中央对齐，因为所有通道的活动占空比的中心与计数值 0 对齐。用于小型设备中的发动机类型需要这类 PWM 应用。

这只是一个简要介绍。运行模式的详细介绍请参见后面的各小节。

16.1.3 结构图

TPM 为每个通道使用一个输入 / 输出 (I/O) 管脚，即 TPMxCHn (定时器通道 n)，其中 n 为通道编号 (1-8)。TPM 与通用 I/O 端口管脚分享其 I/O 管脚 (请参考全芯片规范中的输入 / 输出管脚描述，了解如何完成具体芯片执行)。

图 16-2 显示了 TPM 结构。TPM 的中心组件是 16 位计数器。该计数器既可作为自由运行的计数器运行，又可作为模数向上 / 向下计数器运行。TPM 计数器 (以正常的向上计数模式运行时) 为输入捕捉、输出比较和边缘对齐 PWM 功能提供定时参考。定时器计数器模数寄存器 TPMxMODH:TPMxMODL 控制计数器的模数值 (0x0000 或 0xFFFF 值有效地使计数器自由运行)。软件可随时读取计数器值而不影响计数序列。向 TPMxCNT 计数器的任何一半写入任何数据值都会复位计数器。

16.3 寄存器定义

本小节包括按地址顺序排列的寄存器描述。

16.3.1 TPM 状态和控制寄存器 (TPMxSC)

TPMxSC 包含用于配置中断使能、TPM 配置、时钟源和预分频器等因素的溢出状态标志和控制位。这些控制与本定时器模块中的所有通道相关。

	7	6	5	4	3	2	1	0
R	TOF	TOIE	CPWMS	CLKSB	CLKSA	PS2	PS1	PS0
W	0							
复位	0	0	0	0	0	0	0	0

图 16-7. TPM 状态和控制寄存器 (TPMxSC)

表 16-2. TPMxSC 字段描述

字段	描述
7 TOF	定时器溢出标志。这个读 / 写标记在 TPM 定时器达到 TPM 计数器模数寄存器中设置的模数值后复位为 0x0000 时被设置。设置了 TOF 的情况下，读取 TPM 状态和控制寄存器，然后将逻辑 0 写入 TOF 可清除 TOF。如果清除序列完成前发生另一个 TPM 溢出，则序列被复位，因此为较早 TOF 完成清除序列后 TOF 仍将保持设置状态。这样做的目的是确保 TOF 中断请求在为前一个 TOF 完成清除序列期间不会丢失。复位可清除 TOF。向 TOF 写入逻辑数 1 是无效的。 0 TPM 计数器未达到模数值或未溢出 1 TPM 计数器已溢出。
6 TOIE	定时器溢出中断使能。这个读 / 写位使能 TPM 溢出中断。如果 TOIE 被设置，那么在 TOF 等于 1 时会生成中断。复位可清除 TOIE。 0 TOF 中断关闭（用于软件轮询） 1 TOF 中断允许
5 CPWMS	中央对齐 PWM 选择。如果存在，这个读 / 写位选择 CPWM 运行模式。默认情况下，TPM 在执行输入捕捉、输出比较和边缘对齐 PWM 功能时以向上计数模式运行。设置 CPWMS 可重新配置 TPM，以便在执行 CPWM 功能时以向上 / 向下计数模式运行。复位可清除 CPWMS。 0 所有通道以输入捕捉、输出比较或边缘对齐 PWM 模式运行，即按每个通道的状态和控制寄存器中 MSnB:MSnA 控制位所选的模式运行。 1 所有通道以中央对齐 PWM 模式运行。
4-3 CLKS[B:A]	时钟源选择。表 16-3 所示，这个 2 位字段用于关闭 TPM 系统或选择三个时钟源之一来驱动计数器预分频器。固定系统时钟源仅在采用基于 PLL 的系统时钟的系统中有意义。没有 PLL 时，固定系统时钟源与总线速率时钟相同。TPM 模块使外部源与总线时钟保持同步，而片上同步电路使固定系统时钟源（PLL 存在时）与总线时钟保持同步。当 PLL 存在但未使能时，固定系统时钟源与总线速率时钟相同。
2-0 PS[2:0]	预分频器因子选择。这个 3 位字段表 16-4 所示为 TPM 时钟输入选择 8 个系数之一。任何时钟源同步或时钟源选择后，这个预分频器被定位，以便影响所选的驱动 TPM 系统的时钟源。新值被更新到寄存器位上之后，这个新的预分频器因子将在下一个系统时钟周期内影响时钟源。

16.4 功能描述

所有 TPM 功能都与一个允许灵活选择时钟源和预分频器因数的中央 16 位计数器相关。此外，还有一与主计数器关联的 16 位模数寄存器。

CPWMS 控制位可在 PWM 中所有通道的中央对齐 TPM 操作 (CPWMS=1) 或通用定时功能 (CPWMS=0) 间选择。在后一种情况下，每个通道可独立配置，以输入捕捉、输出比较或边缘对齐 PWM 模式运行。CPWMS 控制位位于主 TPM 状态和控制寄存器中，因为它会影响 TPM 中的所有通道，而且会影响主计数器的运行方式。(在 CPWM 模式下，计数器变为向上/向下模式，而不是用于通用定时器功能的向上计数模式。)

后面各小节介绍了主计数器及计数器的每一种运行模式 (输入捕捉、输出比较、边缘对齐 PWM 和中央对齐 PWM)。因为管脚运行和中断活动的细节取决于运行模式，这些主题将在相关模式的说明部分中介绍。

16.4.1 计数器

所有定时器功能都基于 16 位主计数器 (TPMxCNTH:TPMxCNTL)。这一部分讨论时钟源的选择、计数终止溢出、向上计数和向下计数以及手动计数器复位。

16.4.1.1 计数器时钟源

计数器状态和控制寄存器 (TPMxSC) 中的 2 位字段 CLKSB:CLKSAs 从三个可能的时钟源中进行选择或选择 OFF (可有效地关闭 TPM)。请参见表 16-3。任何 MCU 复位后，CLKSB:CLKSA=0:0，因此不会选择任何时钟源，TPM 处于非常低功耗的状态。这些控制位可随时读取或写入，关闭定时器 (将 00 写入到 CLKSB:CLKSA f 字段) 不会影响计数器或其他定时器寄存器中的值。

表 A-7. 电源电流特性 (续)

编号	C	参数	符号	V _{DD} (V)	典型值 ¹	最大值 ²	单位	
5	P ⁴	停止 2 模式 电源电流 -40 °C (C, V, & M 后缀) 25 °C (所有部件) 105 °C (仅 V 后缀) 125 °C (仅 M 后缀) -40 °C (C, V, & M 后缀) 25 °C (所有部件) 105 °C (仅 V 后缀) 125 °C (仅 M 后缀)	S2I _{DD}	5	0.8	—	μA	
	P ⁴				0.9	—		
	P				25	37		
	P				46	70		
	C			-40 °C (C, V, & M 后缀) 25 °C (所有部件) 105 °C (仅 V 后缀) 125 °C (仅 M 后缀)	3	0.7		—
	C					0.8		—
	C					20		30
	C					40		60
6	C	增加 RTC 时的停止 2 或停止 3 ⁴ 的加法器、25°C		5	300	—	nA	
				3	300	—	nA	
7	C	增加 LVD 的停止 3 (LVDE = LVDSE = 1)		5	110	—	μA	
				3	90	—	μA	
8	C	增加振荡器启用时 ⁵ 的停止 3 (IRCLKEN = 1 和 IREFSTEN = 1 或 ERCLKEN = 1 和 EREFSTEN = 1)		5	5	—	μA	
				3	5	—	μA	

¹ 典型值典型值在 25°C 时测量的值，除非另有说明。

² 本列中的最大值适用于设备的整个操作温度范围，除非另有说明。

³ 25°C 时在所有部件上进行停止电流测试。在其他温度上的测试取决于部件编号后缀及产品的成熟度。一旦收集到足够的数且被批准，飞思卡尔可能会把特殊温度下的测试从生产测试流程中消除。

⁴ 大多数客户都期望可以使用停止 2 或停止 3 的自动唤醒，而非更高电流的等待模式。

⁵ 以下条件下的给定值：低量程操作 (RANGE = 0)、低功率模式 (HGO = 0)

A.8 模拟比较器 (ACMP) 电气特性

表 A-8. 模拟比较器电气规范

编号	C	参数	符号	最小值	典型值	最大值	单位
9	—	电源电压	V _{DD}	2.7	—	5.5	V
10	D	电源电流 (活动)	I _{DDAC}	—	20	35	μA
11	D	模拟输入电压	V _{AIN}	V _{SS} - 0.3	—	V _{DD}	V
12	D	模拟输入偏移电压	V _{AIO}		20	40	mV
13	D	模拟比较器滞后	V _H	3.0	6.0	20.0	mV
14	D	模拟输入漏电流	I _{ALKG}	--	--	1.0	μA
15	D	模拟比较器初始化延迟	t _{AINIT}	—	—	1.0	μs

A.9 ADC 特性

表 A-9. 12 位 ADC 操作条件

特性	条件	符号	最小值	典型值 ¹	最大值	单位	注释
电源电压	绝对	V_{DDAD}	2.7	—	5.5	V	
	Delta to V_{DD} ($V_{DD}-V_{DDAD}$) ²	DV_{DDAD}	-100	0	+100	mV	
接地电压	Delta to V_{SS} ($V_{SS}-V_{SSAD}$) ²	DV_{SSAD}	-100	0	+100	mV	
参考电压 高		V_{REFH}	2.7	V_{DDAD}	V_{DDAD}	V	仅在 64 管脚封装中适用 { $V_{REFH} < V_{DDAD}$ 描述性的, 未在生产中测试}
参考电压 低		V_{REFL}	V_{SSAD}	V_{SSAD}	V_{SSAD}	V	不适用于 64 管脚封装 (只适用于 32 和 48 管脚封装)
输入电压		V_{ADIN}	V_{REFL}	—	V_{REFH}	V	
输入电容		C_{ADIN}	—	4.5	5.5	pF	
输入电阻		R_{ADIN}	—	3	5	k Ω	
模拟信号源电阻	12 位模式 $f_{ADCK} > 4\text{MHz}$ $f_{ADCK} < 4\text{MHz}$	R_{AS}	—	—	2	k Ω	MCU 外部
	10 位模式 $f_{ADCK} > 4\text{MHz}$ $f_{ADCK} < 4\text{MHz}$		—	—	5		
	8 位模式 (所有有效 f_{ADCK})		—	—	10		
ADC 转换时钟频率	高速 (ADLPC=0)	f_{ADCK}	0.4	—	8.0	MHz	
	低速 (ADLPC=1)		0.4	—	4.0		

¹ 典型值假设 $V_{DDAD} = 5.0\text{V}$ 、温度 = 25°C 、 $f_{ADCK} = 1.0\text{MHz}$ ，除非另有其他说明。典型值仅用于参考，并在生产中测试。

² DC 潜在差。