

Welcome to [E-XFL.COM](http://E-XFL.COM)

### What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

### Applications of "[Embedded - Microcontrollers](#)"

#### Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I <sup>2</sup> C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	16KB (16K x 8)
Program Memory Type	FLASH
EEPROM Size	512 x 8
RAM Size	1K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	<a href="https://www.e-xfl.com/pro/item?MUrl=&amp;PartUrl=s9s08dz16f1mlc">https://www.e-xfl.com/pro/item?MUrl=&amp;PartUrl=s9s08dz16f1mlc</a>

# MC9S08DZ60 系列产品的特性

## 8 位 HCS08 中央处理器 (CPU)

- 40-MHz HCS08 CPU (20-MHz 总线)
- HC08 指令集, 带附加的 BGND 指令
- 支持最多 32 个中断 / 复位源

## 片内存储器

- 整个工作电压和温度范围内可读取 / 编程 / 擦除的 Flash 存储器
  - MC9S08DZ60 = 60K
  - MC9S08DZ48 = 48K
  - MC9S08DZ32 = 32K
  - MC9S08DZ16 = 16K
- 最大 2K 的 EEPROM 在线可编程内存; 支持 8 字节单页或 4 字节双页擦除分区; 执行 Flash 程序的同时可进行编程和擦除操作; 支持擦除取消操作
- 最大 4K 的随机存取内存 (RAM)

## 省电模式

- **两种超低功耗停止模式**
- 降低功耗的等待模式
- 超低功耗实时时钟中断, 在运行、等待和停止模式下均可操作

## 时钟源选项

- 振荡器 (XOSC) — 闭环控制的皮尔斯 (Pierce) 振荡器; 支持范围 31.25 kHz 至 38.4 kHz 或 1 MHz 至 16MHz 之间的晶体或陶瓷谐振器
- 多功能时钟生成器 (MCG) — PLL 和 FLL 模式 (在使用内部温度补偿时 FLL 能够达到 1.5% 内的偏差); 带微调功能的内部参考时钟源; 带可选择晶体振荡器或陶瓷谐振器的外部参考时钟源

## 系统保护

- 监视微控制器正常操作的看门狗 (COP) 复位, 支持选择专用的后备 1-kHz 内部时钟源或总线时钟运行
- 带复位和中断的低压检测电路; 可选择的电压阈值
- 支持非法指令代码复位
- 支持非法操作地址复位
- 支持 Flash 块保护
- 支持时钟信号丢失保护

## 开发支持

- 单线背景调试接口
- 片上及在线仿真 (ICE), 带总线实时捕获功能

## 外围设备

- ADC — 24 通道, 12 位分辨率, 2.5 $\mu$ s 转换时间, 自动比较功能, 1.7 mV/ $^{\circ}$ C 温度传感器, 包含内部间隙参考源通道
- ACMPx — 两个模拟比较器, 支持比较器输出的上升、下降或任意边沿触发的中断; 可选择与内部参考电压源进行比较
- MSCAN — CAN 协议 - V2.0 A 和 B; 支持标准和扩展数据帧; 支持远程帧; 5 个带有 FIFO 存储机制的接收缓冲器; 灵活的接收识别符过滤器, 可编程如下: 2 x 32 位、4 x 16 位或 8 x 8 位
- SCIx — 两个 SCI, 可支持 LIN 2.0 协议和 SAE J2602 协议; 全双工; 主节点支持 break 信号生成; 从节点支持 break 信号检测; 支持激活边沿唤醒
- SPI — 全双工或单线双向; 双重缓冲发射和接收; 主从模式选择; 支持高位优先或低位优先的移位
- IIC — 支持最高 100kbps 的总线波特率; 多主节点模式运行; 可编程的从地址; 通用呼叫地址; 逐字节数据传输驱动的中断
- TPMx — 一个 6 通道 (TPM1) 和一个 2 通道 (TPM2); 可支持输入捕捉, 输出比较, 或每个通道带缓冲的边沿对齐 PWM 输出
- RTC — (实时时钟计数器) 8 位模数计数器, 带基于二进制或十进制的预分频器; 实时时钟功能, 使用外部晶体和 RTC 来确保精确时基、时间、日历或任务调度功能; 内带低功耗振荡器 (1 kHz), 用于周期唤醒而不需要外部器件

## 输入 / 输出

- 53 个通用输入 / 输出 (I/O) 管脚和 1 个专用输入管脚
- 24 个中断管脚, 每个管脚带触发极性选择
- 所有输入管脚上带电压滞后和可配置的上下拉器件
- 所有输入管脚上可配置输出斜率和驱动强度

## 封装选项

- 64 管脚小尺寸四方扁平封装 (LQFP) — 10x10 mm
- 48 管脚小尺寸四方扁平封装 (LQFP) — 7x7 mm
- 32 管脚小尺寸四方扁平封装 (LQFP) — 7x7 mm



## 第 2 章 管脚和连接

本章描述连接到各封装管脚的信号，内容包括管脚布局图、建议的系统连接并对信号进行了详细地描述。

### 2.1 器件管脚分配

本节介绍了 MC9S08DZ60 系列 MCU 各种封装的管脚分配状况。

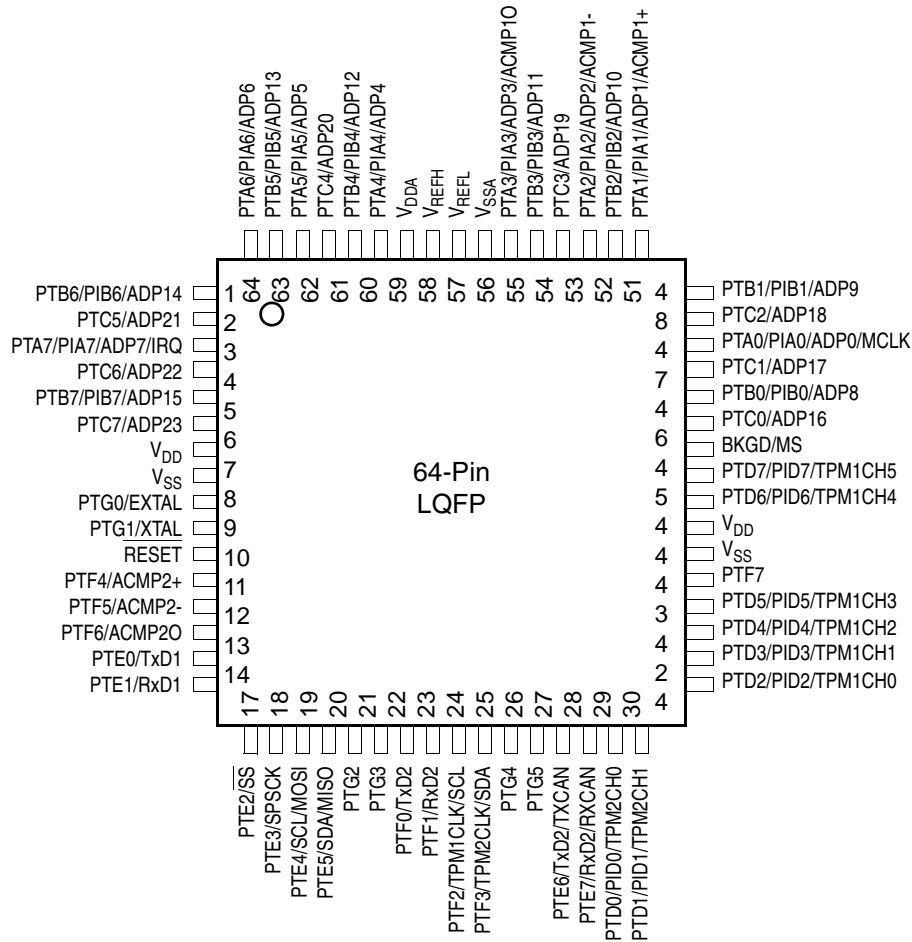


图 2-1. 64 管脚 LQFP

## 第 3 章 操作模式

### 3.1 简介

本章介绍 MC9S08DZ60 系列产品的操作模式，同时描述了如何进入各种模式、如何从各种模式中退出及各种模式下可提供的功能。

### 3.2 特性

- 主动后台模式：用于代码开发
- 等待模式：CPU 关闭以省电；系统时钟正常运行，内部稳压器正常工作
- 停止模式：系统时钟被关闭，内部稳压器处于待机状态
  - Stop3 — 所有内部电路都接通电源以实现快速恢复
  - Stop2 — 内部电路的部分电源被关闭；RAM 内容被保留

### 3.3 运行模式

这是 MC9S08DZ60 系列产品的正常操作模式。当 BKGD/MS 管脚位于复位的上升边最高位置时选择该模式。在这种模式下，CPU 执行内部存储器中的代码。代码在复位完成后运行，并且从内存 0xFFFFE - 0xFFFF 上获取其起始地址。

### 3.4 主动后台模式

主动后台模式功能通过 HCS08 内核中的后台调试控制器（BDC）进行管理。在软件开发过程中，BDC 与片上调试模块（DBG）一起用于分析 MCU 的运行情况。

进入主动后台模式的方式有以下五种：

- 当处于复位的上升沿时，BKGD/MS 脚置于低电平；
- 通过 BKGD/MS 脚收到 BACKGROUND 命令时；
- 执行 BGND 指令时；
- 遇到 BDC 断点时；
- 遇到 DBG 断点时。

进入主动后台模式后，CPU 保持挂起状态，等待串行后台命令而不执行来自用户应用程序的指令。

表 4-3. 高端页面寄存器总结 (第 1 页, 共 3 页)

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0x1881	CANCTL1	CANE	CLKSRC	LOOPB	LISTEN	BORM	WUPM	SLPAK	INITAK
0x1882	CANBTR0	SJW1	SJW0	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0
0x1883	CANBTR1	SAMP	TSEG22	TSEG21	TSEG20	TSEG13	TSEG12	TSEG11	TSEG10
0x1884	CANRFLG	WUPIF	CSCIF	RSTAT1	RSTAT0	TSTAT1	TSTAT0	OVRIF	RXF
0x1885	CANRIER	WUPIE	CSCIE	RSTATE1	RSTATE0	TSTATE1	TSTATE0	OVRIE	RXFIE
0x1886	CANTFLG	0	0	0	0	0	TXE2	TXE1	TXE0
0x1887	CANTIER	0	0	0	0	0	TXEIE2	TXEIE1	TXEIE0
0x1888	CANTARQ	0	0	0	0	0	ABTRQ2	ABTRQ1	ABTRQ0
0x1889	CANTAACK	0	0	0	0	0	ABTAK2	ABTAK1	ABTAK0
0x188A	CANTBSEL	0	0	0	0	0	TX2	TX1	TX0
0x188B	CANIDAC	0	0	IDAM1	IDAM0	0	IDHIT2	IDHIT1	IDHIT0
0x188C	预留	0	0	0	0	0	0	0	0
0x188D	CANMISC	0	0	0	0	0	0	0	BOHOLD
0x188E	CANRXERR	RXERR7	RXERR6	RXERR5	RXERR4	RXERR3	RXERR2	RXERR1	RXERR0
0x188F	CANTXERR	TXERR7	TXERR6	TXERR5	TXERR4	TXERR3	TXERR2	TXERR1	TXERR0
0x1890 – 0x1893	CANIDAR0 – CANIDAR3	AC7	AC6	AC5	AC4	AC3	AC2	AC1	AC0
0x1894 – 0x1897	CANIDMR0 – CANIDMR3	AM7	AM6	AM5	AM4	AM3	AM2	AM1	AM0
0x1898 – 0x189B	CANIDAR4 – CANIDAR7	AC7	AC6	AC5	AC4	AC3	AC2	AC1	AC0
0x189C – 0x189F	CANIDMR4 – CANIDMR7	AM7	AM6	AM5	AM4	AM3	AM2	AM1	AM0
0x18BE	CANTTSRH	TSR15	TSR14	TSR13	TSR12	TSR11	TSR10	TSR9	TSR8
0x18BF	CANTTSRL	TSR7	TSR6	TSR5	TSR4	TSR3	TSR2	TSR1	TSR0
0x18C0 – 0x18FF	预留	—	—	—	—	—	—	—	—

<sup>1</sup> 该位被预留。用户必须在该位上写一个 1。否则可能会导致出现异常。

### 6.5.4.4 D 端口斜率使能寄存器 (PTDSE)

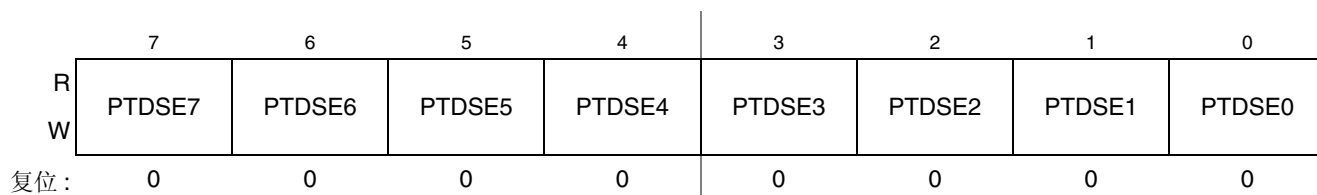


图 6-27. D 端口寄存器斜率使能 (PTDSE)

表 6-25. PTDSE 寄存器字段描述

字段	描述
7:0 PTDSE[7:0]	<b>D 端口位输出斜率使能</b> — 这些控制位决定着是否为相关的 PTD 管脚使能输出斜率控制。对于配置为输入的 D 端口管脚，这些位不会产生任何影响。 0 D 端口位 - 输出斜率控制禁止。 1 D 端口位 - 输出斜率控制使能。

**注意:** 工程样品和最终成品的斜率复位默认值可能不同。一定要将斜率控制初始化为所需的值，以确保正确的操作。

### 6.5.4.5 D 端口驱动强度选择寄存器 (PTDDS)

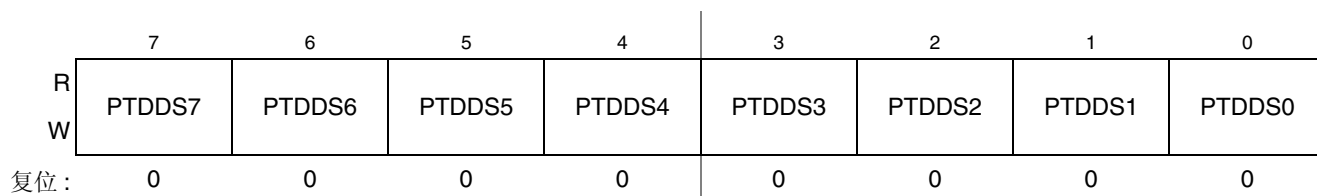


图 6-28. D 端口寄存器驱动强度选择 (PTDDS)

表 6-26. PTDDS 寄存器字段描述

字段	描述
7:0 PTDDS[7:0]	<b>D 端口位输出驱动强度选择</b> — 这些控制位为相关 PTD 管脚选择低输出驱动和高输出驱动。对于配置为输入的 D 端口管脚，这些位不会产生任何影响。 0 D 端口位 - 选择的低输出驱动强度。 1 D 端口位 - 选择的高输出驱动强度。

### 6.5.7.2 G 端口数据方向寄存器 (PTGDD)

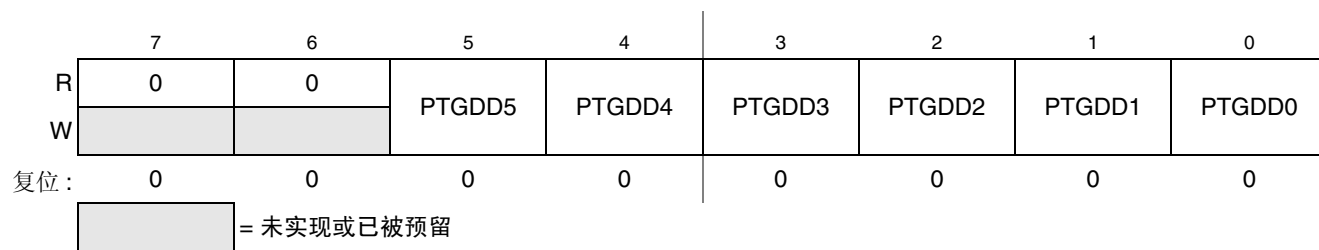


图 6-43. G 端口数据方向寄存器 (PTGDD)

表 6-41. PTGDD 寄存器字段描述

字段	描述
5:0 PTGDD[5:0]	<b>G 端口位的数据方向</b> — 这些读 / 写位控制着 G 端口管脚的方向以及为 PTGD 读数读取的内容。 0 输入 (输出驱动被禁止), 读数返回管脚值。 1 G 端口位 - 输出驱动使能, PTGD 读数返回 PTGDn 内容。

### 6.5.7.3 G 端口上拉使能寄存器 (PTGPE)

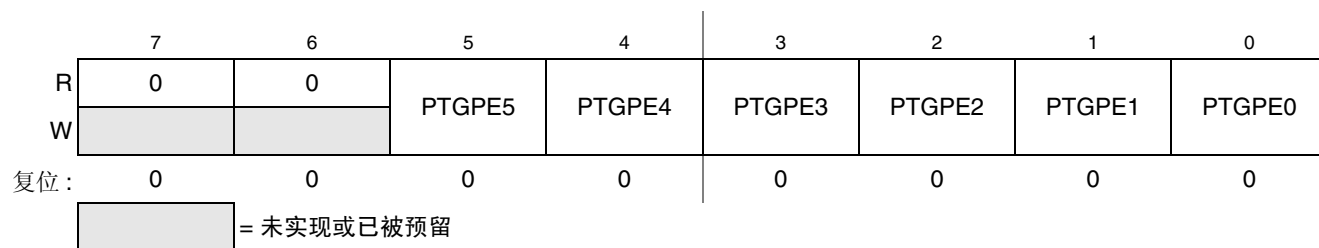


图 6-44. G 端口寄存器内部上拉使能 (PTGPE)

表 6-42. PTGPE 寄存器字段描述

字段	描述
5:0 PTGPE[5:0]	<b>G 端口的内部上拉使能位</b> — 这些控制位决定着是否为相关的 PTG 管脚使能内部上拉器件。对于配置为输出的 G 端口管脚, 这些位不会产生影响, 同时内部拉器件被禁止。 0 G 端口位 - 内部上拉器件被禁止。 1 G 端口位 - 内部上拉器件使能。

#### 注意

只有当使用管脚中断功能且配置了相应的边沿选择和管脚选择功能时, 才能使用下拉器件。



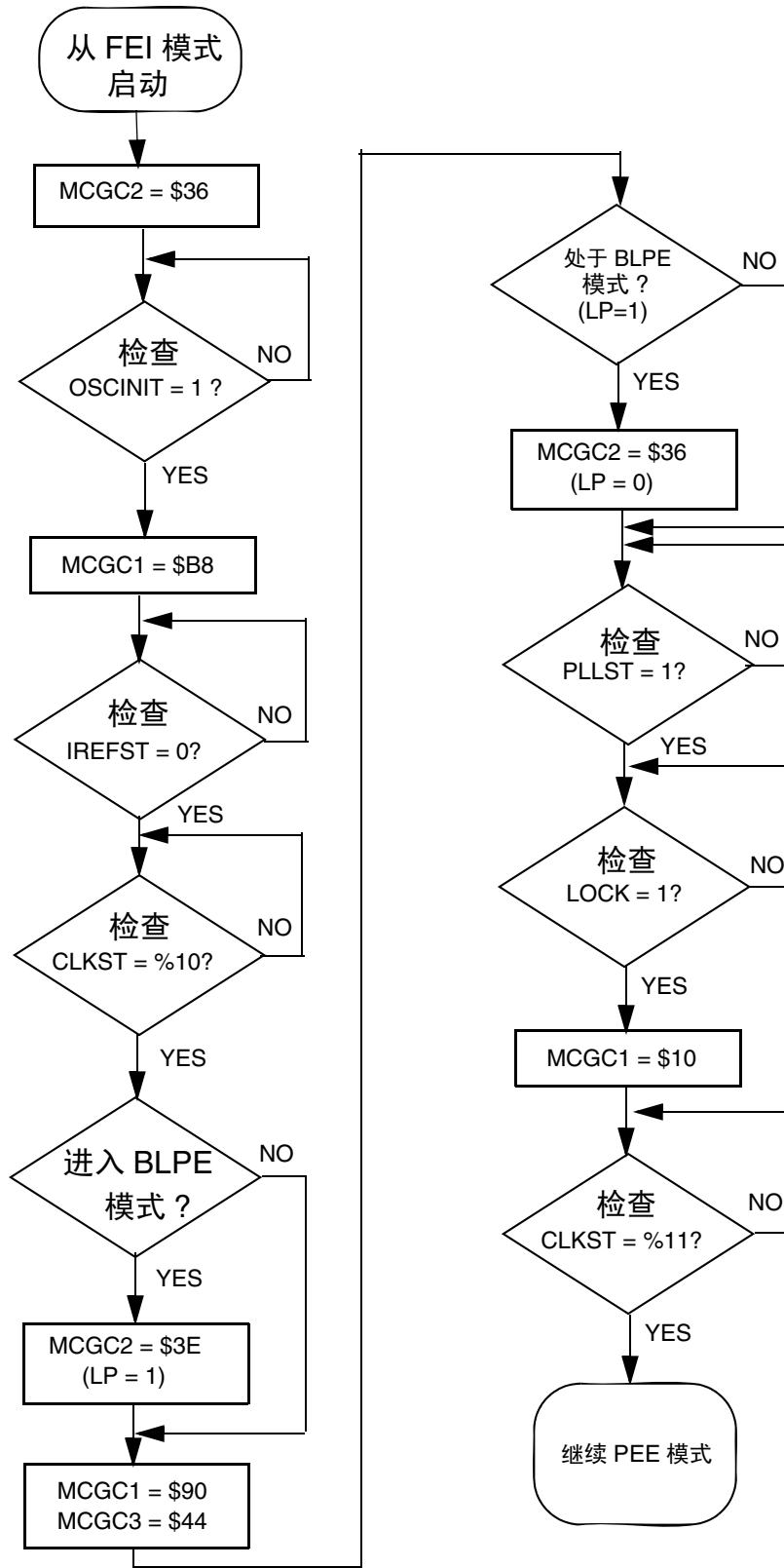


图 8-9. 使用 4 MHz 晶体从 FEI 转换到 PEE 模式的流程图

## 9.3 存储器映射 / 寄存器定义

ACMP 包括一个寄存器:

- 一个 8 位状态和控制寄存器

如需了解 ACMP 寄存器的绝对地址分配, 请参见本文档的存储器节“直接页面寄存器概述”。本节仅按寄存器和控制位的名称及相关地址偏移进行参考。

有些 MCU 的 ACMP 可能不止一个, 因此寄存器名称包括占位符 (x), 以明确正在参考哪个 ACMP。

表 9-2. ACMP 寄存器摘要

名称		7	6	5	4	3	2	1	0
ACMPxSC	R	ACME	ACBGS	ACF	ACIE	ACO	ACOPE	ACMOD	
	W								

### 9.3.1 ACMPx 状态和控制寄存器 (ACMPxSC)

ACMPxSC 包括状态标记和使能和配置 ACMP 所需的控制位。

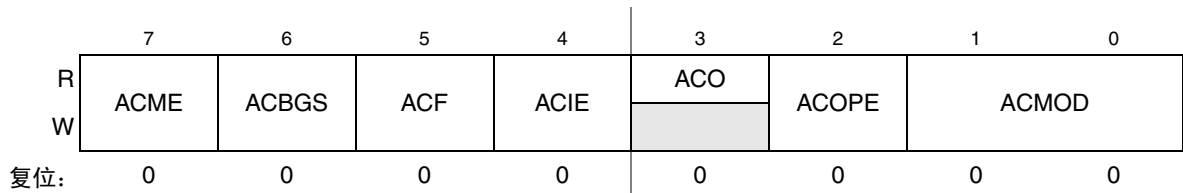


图 9-3. ACMPx 状态和控制寄存器 (ACMPxSC)

表 9-3. ACMPxSC 字段描述

字段	描述
7 ACME	模拟比较器模块使能。使能 ACMP 模块。 0 ACMP 关闭 1 ACMP 使能
6 ACBGS	模拟比较器死区选择。选择带死区参考电压或 ACMPx+ 管脚作为模拟比较器同相输入的输入。 0 外部管脚 ACMPx+ 选择为比较器的同相输入 1 内部参考选择为比较器的同相输入
5 ACF	模拟比较器标记。每次发生比较事件时都设置 ACF。比较事件由 ACMOD 定义。通过在 ACF 上写入 1 来清除 ACF。 0 未发生比较事件。 1 已发生比较事件。
4 ACIE	模拟比较器中断使能。从 ACMP 那里使能中断。设置了 ACIE 后, 在 ACF 置位时中断被触发。 0 中断禁止 1 中断使能
3 ACO	模拟比较器输出。ACO 读数返回模拟比较器输出的当前值。ACO 复位为 0, 在 ACMP 禁止时 (ACME = 0) 读数为 0。

### 10.4.3 数据结果高地址寄存器 (ADCRH)

	7	6	5	4	3	2	1	0
R	0	0	0	0	ADR11	ADR10	ADR9	ADR8
W								
复位:	0	0	0	0	0	0	0	0

图 10-6. 数据结果高地址寄存器 (ADCRH)

在 10 位模式中，ADCRH 包含 10 位转换结果中的高 2 位。在配置 10 位模式时，ADR11 - ADR10 等于 0。当为 8 位模式进行配置时，ADR11 - ADR8 等于 0。

在 12 位和 10 位模式中，每次完成转换时 ADCRH 都被更新，除非使能了自动比较但不满足比较条件。在 12 位和 10 位模式中，读取 ADCRH 能够防止在读取 ADCRL 之前 ADC 将后续转换结果传输到结果寄存器。如果 ADCRL 是在下一次转换完成后才被读取，那么中间转换结果会被丢失。在 8 位模式中，没有与 ADCRL 的互锁。

当 MODE 位被更改时，ADCRH 中的任何数据都将无效。数据结果低地址寄存器 (ADCRL)

ADCRL 包含 12 位或 10 位转换结果中的低 8 位。每次转换完成时，8 位转换寄存器的 8 个位都被更新，除非使能了自动比较但不满足比较条件。在 12 位和 10 位模式中，读取 ADCRH 能够防止在读取 ADCRL 之前 ADC 将后续转换结果传输到结果寄存器。如果 ADCRL 是在下一次转换完成后才被读取，那么中间转换结果会被丢失。在 8 位模式中，没有与 ADCRH 的互锁。当 MODE 位被更改时，ADCRL 中的任何数据都将无效。

	7	6	5	4	3	2	1	0
R	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
W								
复位:	0	0	0	0	0	0	0	0

图 10-7. 数据结果低态寄存器 (ADCRL)

### 10.4.4 比较值高地址寄存器 (ADCCVH)

在 12 位模式中，ADCCVH 寄存器包含 12 位比较值的高 4 位。当比较功能使能时，这些位与 12 位模式转换结果的高 4 位进行比较。

	7	6	5	4	3	2	1	0
R	0	0	0	0	ADCV11	ADCV10	ADCV9	ADCV8
W								
复位:	0	0	0	0	0	0	0	0

图 10-8. 比较值高态寄存器 (ADCCVH)

在 10 位模式中，ADCCVH 寄存器包含 10 位比较值 (ADCV9 - ADCV8) 的高 2 位。当比较功能使能时，这些位就与 10 位模式转换结果的高 2 位进行比较。

表 10-10. APCTL2 寄存器字段描述

字段	描述
7 ADPC15	<b>ADC 管脚控制 15</b> — ADPC15 用来控制与通道 AD15 连接的管脚。 0 AD15 管脚 I/O 控制使能 1 AD15 管脚 I/O 控制禁止
6 ADPC14	<b>ADC 管脚控制 14</b> — ADPC14 用来控制与通道 AD14 连接的管脚。 0 AD14 管脚 I/O 控制使能 1 AD14 管脚 I/O 控制禁止
5 ADPC13	<b>ADC 管脚控制 13</b> — ADPC13 用来控制与通道 AD13 连接的管脚。 0 AD13 管脚 I/O 控制使能 1 AD13 管脚 I/O 控制禁止
4 ADPC12	<b>ADC 管脚控制 12</b> — ADPC12 用来控制与通道 AD12 连接的管脚。 0 AD12 管脚 I/O 控制使能 1 AD12 管脚 I/O 控制禁止
3 ADPC11	<b>ADC 管脚控制 11</b> — ADPC11 用来控制与通道 AD11 连接的管脚。 0 AD11 管脚 I/O 控制使能 1 AD11 管脚 I/O 控制禁止
2 ADPC10	<b>ADC 管脚控制 10</b> — ADPC10 用来控制与通道 AD10 连接的管脚。 0 AD10 管脚 I/O 控制使能 1 AD10 管脚 I/O 控制禁止
1 ADPC9	<b>ADC 管脚控制 9</b> — ADPC9 用来控制与通道 AD9 连接的管脚。 0 AD9 管脚 I/O 控制使能 1 AD9 管脚 I/O 控制禁止
0 ADPC8	<b>ADC 管脚控制 8</b> — ADPC8 用来控制与通道 AD8 连接的管脚。 0 AD8 管脚 I/O 控制使能 1 AD8 管脚 I/O 控制禁止

### 10.4.10 管脚控制寄存器 3 (APCTL3)

APCTL3 用来控制 ADC 模块的通道 16-23。

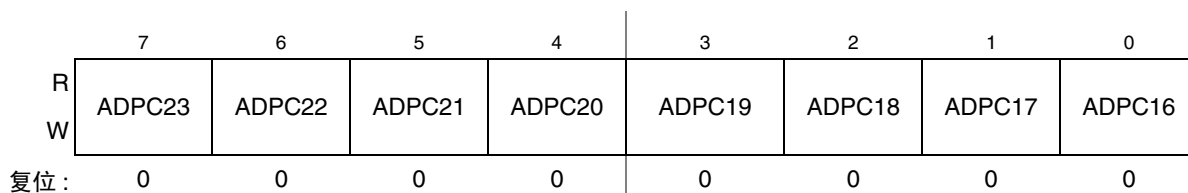


图 10-13. 管脚控制寄存器 3 (APCTL3)

### 10.5.7.1 ADACK 禁止的 STOP3 模式

如果异步时钟 ADACK 未被选为转换时钟，执行 STOP 指令将中止当前转换，并把 ADC 置入空闲状态。ADCRH 和 ADCRL 内容不受 STOP3 模式的影响。从 STOP3 模式退出后，需要软件或硬件触发来重新开始转换。

### 10.5.7.2 ADACK 使能的 STOP3 模式

如果异步时钟 ADACK 已被选为转换时钟，ADC 会在 STOP3 模式中继续运行。为了保证 ADC 操作，MCU 的电压调节器在 STOP3 模式中必须保持工作状态。有关该 MCU 的配置报文，请参阅模块介绍。

如果正在进行转换时 MCU 进入 STOP3 模式，那么转换会继续，直到完成。在 MCU 处于 STOP3 模式时，通过硬件触发或使能连续转换，可以发起转换。

如果 ADC 中断使能 (AIEN = 1)，转换完成事件就会设置 COCO，生成 ADC 中断，把 MCU 从 STOP3 模式中唤醒。

#### 注意

ADC 模块可以从停止状态唤醒系统，让 MCU 开始以运行级电流工作，而不产生系统级中断。为了防止这一情况，在进入 STOP3 并继续 ADC 转换时，软件应当确保数据传输拦截机制（在 11.4.4.2 节“完成转换”中做过介绍）已经清除。

### 10.5.8 MCU STOP1 和 STOP2 模式运行

当 MCU 进入 STOP1 或 STOP2 模式时，ADC 模块会被自动禁止。所有模块寄存器在退出 STOP1 或 STOP2 模式后都包含它们的复位值。因此，在从 STOP1 或 STOP2 退出后，模块必须重新使能和重新配置。

## 10.6 初始化报文

本节给出了一个为用户提供如何初始化和配置 ADC 模块的一些基本指导的示例。用户可以从众多选项中灵活选择配置模块的 8 位、10 位或 12 位分辨率、单或连续转换、查询或中断法。

请参见表 11-8、表 11-9 和表 11-10，获取示例中使用的报文。

### 注意

十六进制值前加了一个 0x，二进制值前加了一个 %，十进制值没有前置字符。

### 10.6.1 ADC 模块初始化示例

#### 10.6.1.1 初始化顺序

在使用 ADC 模块完成转换前，必须进行初始化步骤。初始化的常见顺序如下：

1. 更新配置寄存器 (ADCCFG)，选择输入时钟源和用来生成内部时钟 ADCK 的分频率。该寄存器也可用于选择采样时间和低功率配置。
2. 更新状态和控制寄存器 2 (ADCSC2)，选择转换触发（硬件或软件）与比较功能选项，如使能的话。
3. 更新状态和控制寄存器 1 (ADCSC1)，选择转换是连续转换还是只完成一次，并使能或禁止转换完成中断。同时还选择执行转换的输入通道。

#### 10.6.1.2 伪代码示例

在本例中，ADC 模块设置为：中断使能，在低功率情况下实施 10 位转换，该转换在输入通道 1 上有一个长采样时间，这里的内部 ADCK 时钟用总线时钟除以 1 得来。

##### ADCCFG = 0x98 (%10011000)

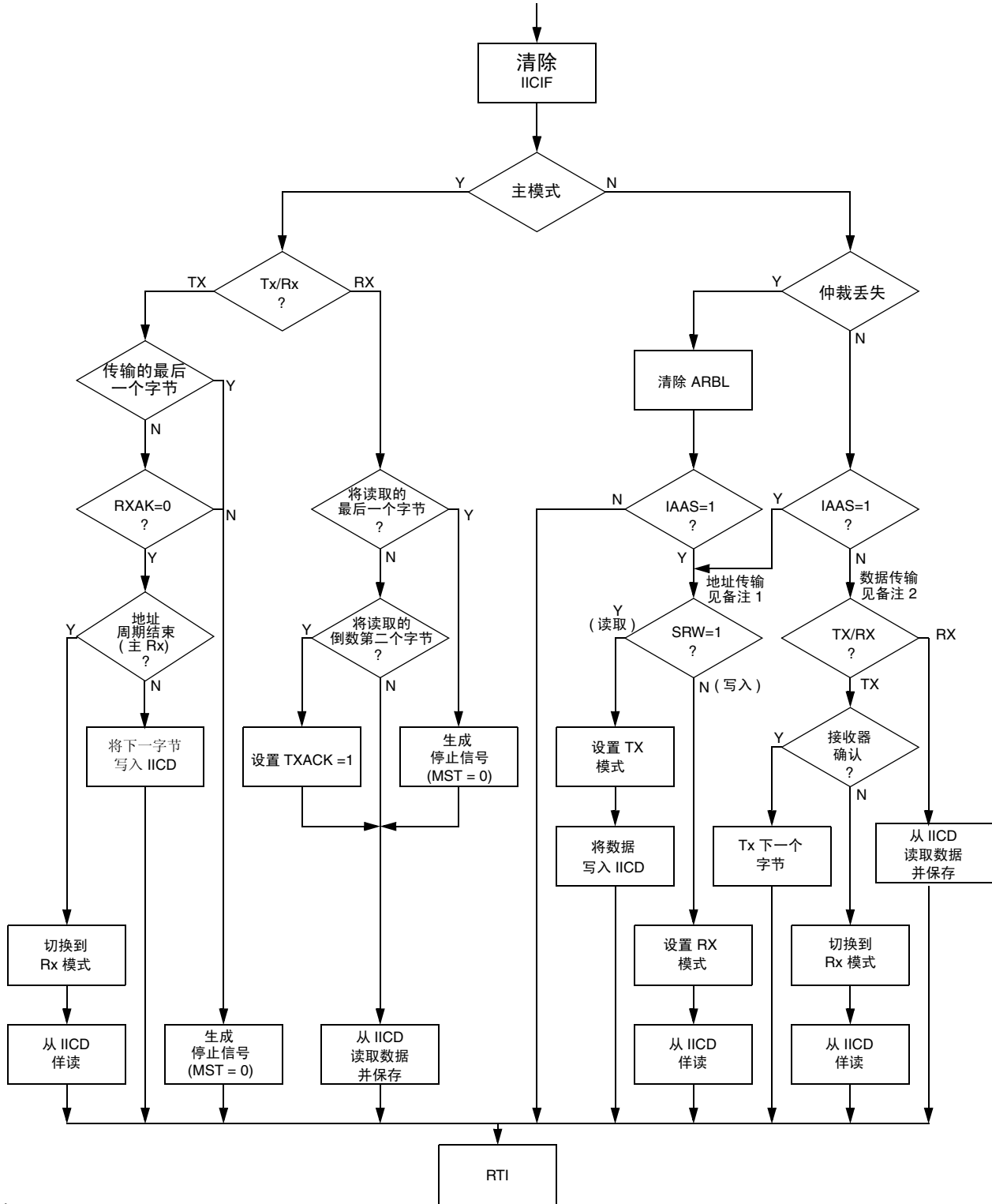
位 7	ADLPC	1	配置用于低功率（降低最快时钟速度）
位 6:5	ADIV	00	将 ADCK 设置为输入时钟除以 1
位 4	ADLSMP	1	配置用于长采样时间
位 3:2	MODE	10	在 10 位转换上设置模式
位 1:0	ADICLK	00	选择总线时钟为输入时钟源

##### ADCSC2 = 0x00 (%00000000)

位 7	ADACT	0	标记表明是否正在进行转换
位 6	ADTRG	0	软件触发已选
位 5	ACFE	0	比较功能禁止
位 4	ACFGT	0	本例中未使用
位 3:2		00	未实施或保留，总是读取 0
位 1:0		00	供飞思卡尔内部使用，总是写入 0

##### ADCSC1 = 0x41 (%01000001)

位 7	COCO	0	转换完成时设置的只读标记
位 6	AIEN	1	转换完成中断使能
位 5	ADCO	0	仅一次转换（连续转换禁止）
位 4:0	ADCH	00001	输入通道 1 选为 ADC 输入通道



备注:

1. 如果使能了通用呼叫, 必须进行检查, 以确定收到的地址是否为通用呼叫地址 (0x00)。如果收到的地址是通用呼叫地址, 那么通用呼叫必须由用户软件处理。
2. 当使用 10 位寻址来寻址从器件时, 从器件在扩展地址的首字节后发现中断。用户软件必须为该中断确保这一点, 那就是忽略 IICD 的内容, 且不把它作为有效数据传输对待。

图 11-12. 典型的 IIC 中断程序

表 12-12. CANTIER 寄存器字段描述

字段	描述
2:0 TXEIE[2:0]	发送器空中断使能 0 无中断请求从该事件中生成。 1 发送器空（发送缓冲器可用于发送）事件引起发送器空中断请求。更多报文参见 12.5.2.2, “发送结构”。

### 12.3.8 MSCAN Transmitter 发送器报文中止请求寄存器 (CANTARQ)

The CANTARQ 寄存器中止报文发送队列的请求。

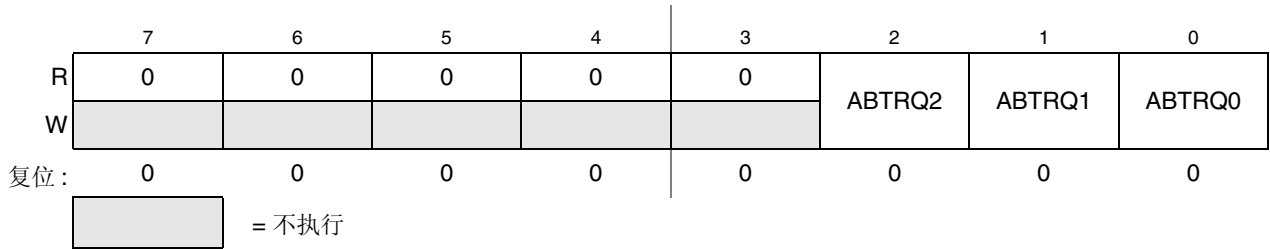


图 12-12. MSCAN 发送器报文中止请求寄存器 (CANTARQ)

#### 注意

当初始化模式处于有效状态时，CANTARQ 寄存器保持复位状态（INITRQ=1，INITAK=1）。当未处于初始化模式时，该寄存器可以写入（INITRQ=0，INITAK=0）。

读取：任何时间

写入：未处于初始化模式的任何时间

表 12-13. CANTARQ 寄存器字段描述

字段	描述
2:0 ABTRQ[2:0]	中止请求 —CPU 设置 ABTRQ <sub>x</sub> 位，请求中止预定的报文缓冲器（TXE <sub>x</sub> = 0）。如果报文还没有开始发送，或者如果发送没有成功（仲裁丢失或错误），MSCAN 就同意请求。当报文被中止时，相关 TXE（参见 12.3.6, “MSCAN 发送器标志寄存器 (CANTFLG)”）和中止确认标志（ABTAK, 参见 12.3.9, “MSCAN 发送器报文中止确认寄存器 (CANTAACK)”）被设置，且若使能就触发发送中断。CPU 不能复位 ABTRQ <sub>x</sub> 。每当设置了相关的 TXE 标志时，ABTRQ <sub>x</sub> 就被复位。 0 无中止请求 1 中止请求产生



### 13.1.3 SPI 波特率生成

图 13-4 所示，SPI 波特率发生器的时钟源是总线时钟。三个预分频位 (SPPR3:SPPR2:SPPR1:SPPR0) 选择 1, 2, 3, 4, 5, 6, 7 或 8 作为预分频系数。3 个速率选择位 (SPR2:SPR1:SPR0) 分别用 2, 4, 8, 16, 32, 64, 128, 256 或 512 来除预分频器阶段的输出，以获取内部 SPI 主模式波特率时钟。

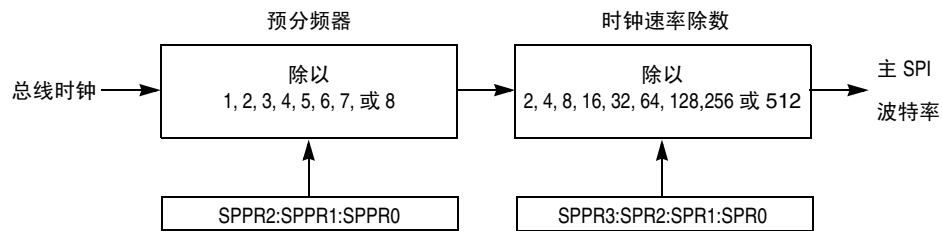


图 13-4. SPI 波特率生成

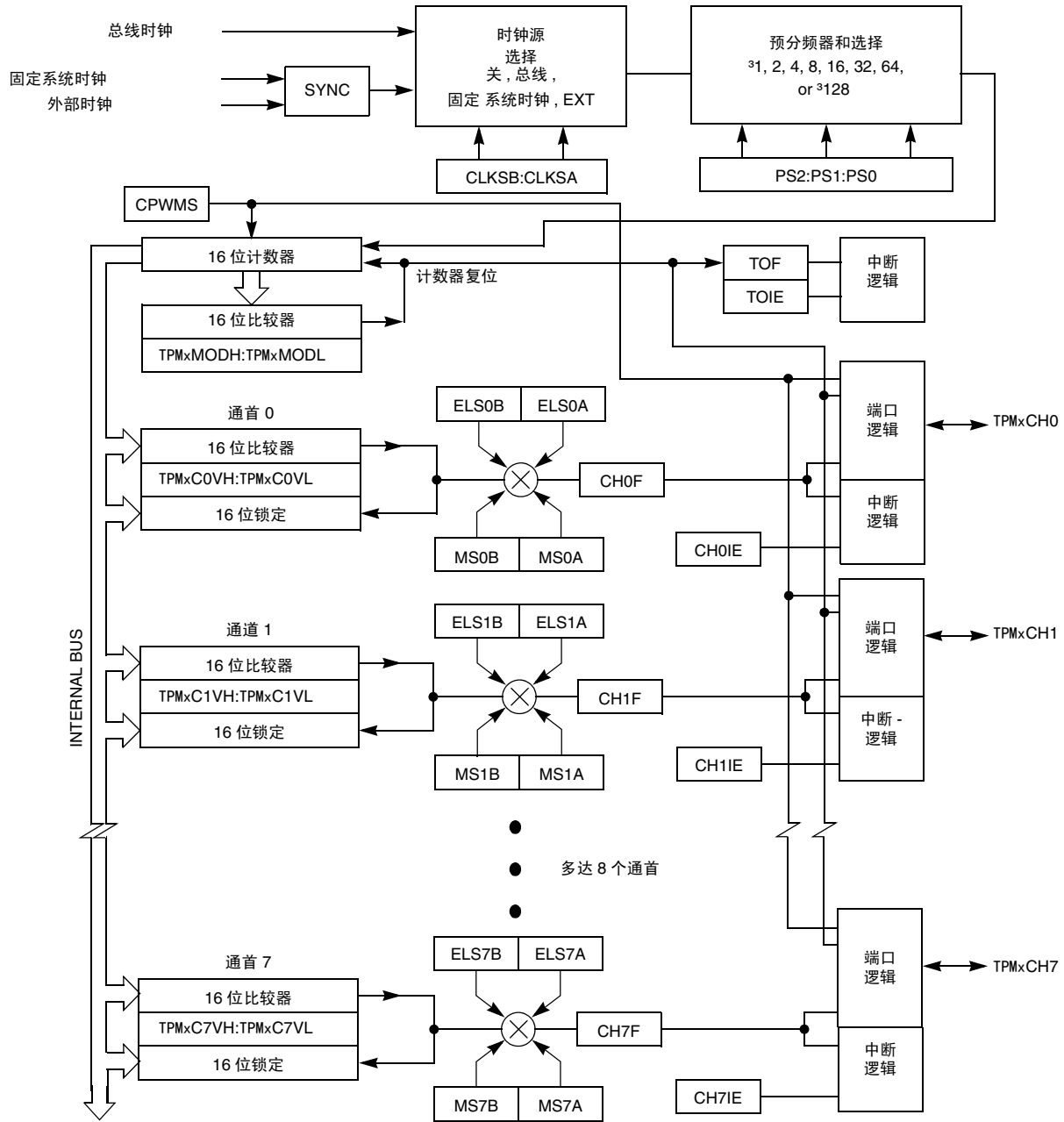


图 16-2. TPM 结构图

### 17.4.3.7 调试控制寄存器 (DBGC)

这个寄存器可以在任何时间读或写。

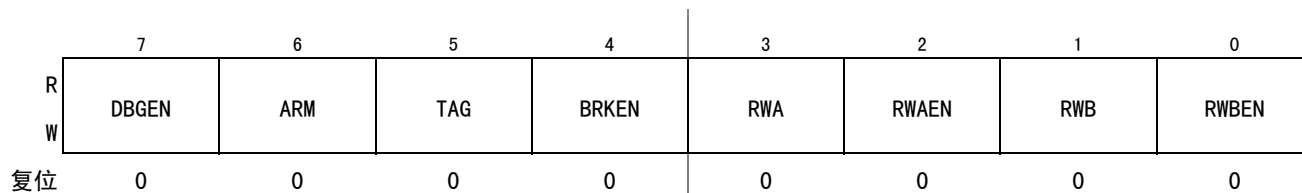


图 17-7. 调试控制寄存器 (DBGC)

表 17-4. DBGC 寄存器字段描述

字段	描述
7 DBGEN	调试模块启用 — 来用启用调试模块。DBGEN 不能设置为 1，如果 MCU 是安全的。 0 DBG 禁用 1 DBG 启用
6 ARM	打开控制 — 控制调试器是否在 FIFO 中比较和存储信息。采用写操作来设置该位 (和 ARMF)，完成调试运行就是自动清除它。将 ARM 或 DBGEN 写为 0，可以停止任何调试运行。 0 调试器没有打开 1 调试器被打开
5 TAG	标记 / 强制选择 — 控制送到 CPU 的中断请求是否为标签或强制型请求。如果 BRKEN = 0，这个位就没有意义或无效。 0 CPU 中断请求作为强制型请求 1 CPU 中断请求作为标签型请求
4 BRKEN	中断启用 — 控制触发事件是否向 CPU 生成中断请求。触发事件可以使信息存储在 FIFO 中而不必向 CP 生成中断请求。对于结束跟踪，如果比较器 (s) 和 R/W 满足触发条件，则发出 CPU 中断请求。对于起始跟踪，则当 FIFO 满时发出 CPU 中断请求。TRGSEL 不影响 CPU 中断请求的定时。 0 CPU 不断请求未启用 1 触发器触发向 CPU 发出中断请求
3 RWA	比较器 A 的 R/W 比较值 — 当 RWAEN = 1，这个位确定是否用读或写接入来鉴定比较器 A，当 RWAEN = 0，RWA 和 R/W 信号不影响比较器 A。 0 比较器 A 只在写周期上匹配 1 比较器 A 只在读周期上匹配
2 RWAEN	启用比较器 A 的 R/W — 控制比较器 A 的匹配是否考虑这个水平的 R/W。 0 R/W 未用在比较 A 中 1 R/W 用在比较 A 中
1 RWB	比较器 B 的 R/W 比较值 — 当 RWBEN = 1，这个位确定是否用读或写接入来鉴定比较器 B。当 RWBEN = 0，RWA 和 R/W 信号不影响比较器 B。 0 比较器 B 只在写周期上匹配 1 比较器 B 只在读周期上匹配
0 RWBEN	启用比较器 B 的 R/W B — 控制比较器 B 的匹配是否考虑这个水平的 R/W。 0 R/W 未用在比较 B 中 1 R/W 用在比较 B 中

表 A-7. 电源电流特性 (续)

编号	C	参数	符号	V <sub>DD</sub> (V)	典型值 <sup>1</sup>	最大值 <sup>2</sup>	单位	
5	P <sup>4</sup>	停止 2 模式 电源电流  -40 °C (C, V, & M 后缀) 25 °C (所有部件) 105 °C (仅 V 后缀) 125 °C (仅 M 后缀)  -40 °C (C, V, & M 后缀) 25 °C (所有部件) 105 °C (仅 V 后缀) 125 °C (仅 M 后缀)	S2I <sub>DD</sub>	5	0.8	—	μA	
	P <sup>4</sup>				0.9	—		
	P				25	37		
	P				46	70		
	C			-40 °C (C, V, & M 后缀) 25 °C (所有部件) 105 °C (仅 V 后缀) 125 °C (仅 M 后缀)	3	0.7		—
	C					0.8		—
	C					20		30
	C					40		60
6	C	增加 RTC 时的停止 2 或停止 3 <sup>4</sup> 的加法器、25°C		5	300	—	nA	
				3	300	—	nA	
7	C	增加 LVD 的停止 3 (LVDE = LVDSE = 1)		5	110	—	μA	
				3	90	—	μA	
8	C	增加振荡器启用时 <sup>5</sup> 的停止 3 (IRCLKEN = 1 和 IREFSTEN = 1 或 ERCLKEN = 1 和 EREFSTEN = 1)		5	5	—	μA	
				3	5	—	μA	

<sup>1</sup> 典型值典型值在 25°C 时测量的值，除非另有说明。

<sup>2</sup> 本列中的最大值适用于设备的整个操作温度范围，除非另有说明。

<sup>3</sup> 25°C 时在所有部件上进行停止电流测试。在其他温度上的测试取决于部件编号后缀及产品的成熟度。一旦收集到足够的数且被批准，飞思卡尔可能会把特殊温度下的测试从生产测试流程中消除。

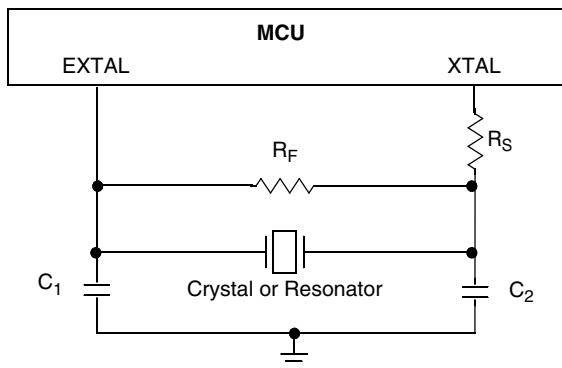
<sup>4</sup> 大多数客户都期望可以使用停止 2 或停止 3 的自动唤醒，而非更高电流的等待模式。

<sup>5</sup> 以下条件下的给定值：低量程操作 (RANGE = 0)、低功率模式 (HGO = 0)

## A.8 模拟比较器 (ACMP) 电气特性

表 A-8. 模拟比较器电气规范

编号	C	参数	符号	最小值	典型值	最大值	单位
9	—	电源电压	V <sub>DD</sub>	2.7	—	5.5	V
10	D	电源电流 (活动)	I <sub>DDAC</sub>	—	20	35	μA
11	D	模拟输入电压	V <sub>AIN</sub>	V <sub>SS</sub> - 0.3	—	V <sub>DD</sub>	V
12	D	模拟输入偏移电压	V <sub>AIO</sub>		20	40	mV
13	D	模拟比较器滞后	V <sub>H</sub>	3.0	6.0	20.0	mV
14	D	模拟输入漏电流	I <sub>ALKG</sub>	--	--	1.0	μA
15	D	模拟比较器初始化延迟	t <sub>AINIT</sub>	—	—	1.0	μs



## A.11 MCG 规范

表 A-12. CG 频率规范（温度范围 = -40 至 125 °C）

编号	C	参数	符号	最小值	典型值	最大值	单位
1	P	当 $V_{DD} = 5\text{ V}$ 、温度 = 25 °C 时的工厂调整值	$f_{\text{int\_ft}}$	—	31.25	—	kHz
2	P	平均内部参考频率 - 未调整 <sup>1</sup>	$f_{\text{int\_ut}}$	25	32.7	41.66	kHz
3	P	平均内部参考频率 - 用户调整	$f_{\text{int\_t}}$	31.25	—	39.0625	kHz
4	D	内部参考启动时间	$t_{\text{irefst}}$	—	60	100	us
5	—	DCO 输出频率范围 - 为参考提供的未调整值 <sup>1</sup> : $f_{\text{dco\_ut}} = 1024 \times f_{\text{int\_ut}}$	$f_{\text{dco\_ut}}$	25.6	33.48	42.66	MHz
6	P	DCO 输出频率范围 - 已调整	$f_{\text{dco\_t}}$	32	—	40	MHz
7	C	电压和温度固定时经调整的 DCO 输出频率的分辨率 (使用 FTRIM)	$\Delta f_{\text{dco\_res\_t}}$	—	± 0.1	± 0.2	% $f_{\text{dco}}$
8	C	电压和温度固定时经调整的 DCO 输出频率的分辨率 (不使用 FTRIM)	$\Delta f_{\text{dco\_res\_t}}$	—	± 0.2	± 0.4	% $f_{\text{dco}}$
9	P	已调整 DCO 输出频率的电压和温度总误差	$\Delta f_{\text{dco\_t}}$	—	+ 0.5 -1.0	± 2	% $f_{\text{dco}}$
10	C	0 - 70 °C 的温度范围内时已调整 DCO 输出频率的总误差	$\Delta f_{\text{dco\_t}}$	—	± 0.5	± 1	% $f_{\text{dco}}$
11	C	FLL 获取时间 <sup>2</sup>	$t_{\text{fill\_acquire}}$	—	—	1	ms
12	D	PLL 获取时间 <sup>3</sup>	$t_{\text{pll\_acquire}}$	—	—	1	ms
13	C	输出时钟的长时间抖动（平均间隔为 2ms） <sup>4</sup>	$C_{\text{jitter}}$	—	0.02	0.2	% $f_{\text{dco}}$
14	D	VCO 操作频率	$f_{\text{vco}}$	7.0	—	55.0	MHz
15	D	PLL 参考频率范围	$f_{\text{pll\_ref}}$	1.0	—	2.0	MHz
16	T	输出时钟的长期准确性（平均为 2 ms）	$f_{\text{pll\_jitter\_2ms}}$	—	0.590 <sup>5</sup>	—	% $f_{\text{pll}}$
17	T	基于 625 ns <sup>6</sup> 测量的 PLL 输出时钟抖动	$f_{\text{pll\_jitter\_625ns}}$	—	0.566 <sup>5</sup>	—	% $f_{\text{pll}}$
18	D	锁定进入频率容限 <sup>7</sup>	$D_{\text{lock}}$	± 1.49	—	± 2.98	%
19	D	锁定退出频率容限 <sup>8</sup>	$D_{\text{unl}}$	± 4.47	—	± 5.97	%