

Welcome to E-XFL.COM

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	39
Program Memory Size	16KB (16K x 8)
Program Memory Type	FLASH
EEPROM Size	512 x 8
RAM Size	1K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 16x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	48-LQFP
Supplier Device Package	48-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/pro/item?MUrl=&PartUrl=s9s08dz16f1mlf

章节号	标题	页码
8.2.2	运行模式	131
8.3	外部信号描述	131
8.4	寄存器定义	131
8.4.1	MCG 控制寄存器 1 (MCGC1)	131
8.4.2	MCG 控制寄存器 2 (MCGC2)	132
8.4.3	MCG 修正寄存器 (MCGTRM)	133
8.4.4	MCG 状态和控制寄存器 (MCGSC)	134
8.4.5	MCG Control Register 3 (MCGC3)	135
8.5	特性描述	136
8.5.1	运行模式	136
8.5.2	模式切换	140
8.5.3	总线分频器	140
8.5.4	低功率位使用	140
8.5.5	内部参考时钟	141
8.5.6	外部参考时钟	141
8.5.7	固定频率时钟	141
8.6	初始化 / 应用报文	141
8.6.1	MCG 模块初始化顺序	142
8.6.2	MCG 模式切换	143
8.6.3	校准内部参考时钟 (IRC)	154

第 9 章 模拟比较器 (S08ACMPV3)

9.1	介绍	157
9.1.1	ACMP 配置报文	157
9.1.2	特性	159
9.1.3	运行模式	159
9.1.4	结构图	160
9.2	外部信号描述	160
9.3	存储器映射 / 寄存器定义	161
9.3.1	ACMPx 状态和控制寄存器 (ACMPxSC)	161
9.4	功能描述	162

第 10 章 数模转换器 (S08ADC12V1)

10.1	介绍	163
10.1.1	模拟功率和接地信号名称	163
10.1.2	信道分配	163
10.1.3	替代时钟	164
10.1.4	硬件触发	165
10.1.5	温度传感器	165
10.2.6	特性	167

第 3 章 操作模式

3.1 简介

本章介绍 MC9S08DZ60 系列产品的操作模式，同时描述了如何进入各种模式、如何从各种模式中退出及各种模式下可提供的功能。

3.2 特性

- 主动后台模式：用于代码开发
- 等待模式：CPU 关闭以省电；系统时钟正常运行，内部稳压器正常工作
- 停止模式：系统时钟被关闭，内部稳压器处于待机状态
 - Stop3 — 所有内部电路都接通电源以实现快速恢复
 - Stop2 — 内部电路的部分电源被关闭；RAM 内容被保留

3.3 运行模式

这是 MC9S08DZ60 系列产品的正常操作模式。当 BKGD/MS 管脚位于复位的上升边最高位置时选择该模式。在这种模式下，CPU 执行内部存储器中的代码。代码在复位完成后运行，并且从内存 0xFFFFE - 0xFFFF 上获取其起始地址。

3.4 主动后台模式

主动后台模式功能通过 HCS08 内核中的后台调试控制器（BDC）进行管理。在软件开发过程中，BDC 与片上调试模块（DBG）一起用于分析 MCU 的运行情况。

进入主动后台模式的方式有以下五种：

- 当处于复位的上升沿时，BKGD/MS 脚置于低电平；
- 通过 BKGD/MS 脚收到 BACKGROUND 命令时；
- 执行 BGND 指令时；
- 遇到 BDC 断点时；
- 遇到 DBG 断点时。

进入主动后台模式后，CPU 保持挂起状态，等待串行后台命令而不执行来自用户应用程序的指令。

后台命令有两种类型：

- 非中断型命令，被定义为可在用户程序运行时发出。非中断型命令可在 MCU 处于运行模式时通过 BKGD/MS 管脚发出；非中断型命令也可以在 MCU 处于主动后台模式时执行。非中断型命令包括：
 - 内存访问命令
 - 带状态内存访问命令
 - BDC 寄存器访问命令
 - 后台命令
- 主动后台命令只能在 MCU 处于主动后台模式时执行。主动后台命令主要用于执行以下操作：
 - 读或写 CPU 寄存器
 - 在特定时间跟踪一个用户程序指令
 - 退出主动后台模式，返回到用户应用程序（GO）

主动后台模式用于在 MCU 第一次以运行模式运行前将 Bootloader 或用户应用程序写入到 Flash 程序存储器中。MC9S08DZ60 系列产品从飞思卡尔工厂运出时，除非特别说明，Flash 程序存储器在缺省被擦除，以确保在 Flash 首次被编程前不会有程序在运行模式下被执行。主动后台模式可用于擦除或重新编程先前已编程的 Flash。

关于主动后台模式的详尽信息，请参见 Development Support 一章。

3.5 等待模式

等待模式通过执行 WAIT 指令进入。在执行 WAIT 指令后，CPU 进入无时钟的低功耗状态。CPU 进入等待模式后，CCR 中的 I 位被清除，进而使能中断操作。发生中断请求后，CPU 退出等待模式并执行恢复处理，先开始执行堆栈中的中断业务程序。

MCU 处于等待模式时，后台调试命令的使用受限。MCU 处于等待模式时，只有后台命令和带状态内存访问命令可用。带状态内存访问命令虽然不允许内存访问，但它们会上报错误，指出 MCU 处于停止或等待模式。可以使用后台命令将 MCU 从等待模式中唤醒并进入主动后台模式。

3.6 停止模式

在 SOPT1 寄存器中设置了 STOPE 位时，执行 STOP 指令后会进入停止模式。在停止模式下，所有内部时钟都被暂停。我们可对 MCG 模块进行适当设置，使参考时钟保持运行。更详尽信息请参见第 8 章，“多功能时钟发生器（S08MCGV1）”。

6.3.3 上拉/下拉电阻器

使用相关 I/O 端口上拉使能寄存器，可以配置端口中断管脚来使用内部上拉/下拉电阻器。如果内部电阻器使能，则使用 PTxES 寄存器选择电阻器是上拉 (PTxESn = 0) 还是下拉 (PTxESn = 1)。

6.3.4 管脚中断初始化

第一次使能中断管脚时，可能会得到一个错误的中断标记。要防止管脚中断初始化期间的错误中断请求，用户应遵循以下步骤：

1. 清除 PTxSC 里的 PTxACK，屏蔽中断；
2. 在 PTxES 中设置适当的 PTxESn 位，选择管脚极性；
3. 如果使用内部上拉/下拉器件，在 PTxPE 中配置相关的使能位；
4. 在 PTxPS 中设置适当的 PTxPSn 位，使能中断管脚；
5. 在 PTxSC 中写入 PTxACK，清除所有错误中断；
6. 在 PTxSC 中置位 PTxIE，使能中断；

6.4 停止模式中的管脚行为

执行 STOP 指令后的管脚行为取决于进入的停止模式。不同停止模式的管脚行为的解释如下：

- STOP2 模式是局部断电模式，其中 I/O 寄存器保持执行 STOP 指令前的状态。执行 STOP 指令使 MCU 进入 STOP2 模式前，应将 CPU 寄存器状态和 I/O 寄存器状态保存在 RAM 中。在从 STOP2 模式恢复时，用户访问任何 I/O 前，都应检查 SPMSC2 寄存器里的 PPDF 位状态。如果 PPDF 位是 0，I/O 必须按发生过上电复位那样进行初始化。如果 PPDF 位是 1，外围设备可能要求通过初始化恢复为它们的停止前状态。如果执行 STOP 指令前数据已保留在 RAM 中，就可以完成上述操作。然后用户必须向 SPMSC2 寄存器中的 PPDACK 位写入 1。现在，用户应用程序再次被允许访问 I/O。
- STOP3 模式保留了所有 I/O，因为内部逻辑电路处于通电状态。恢复时，用户可以使用正常的 I/O 功能。

6.5 并行 I/O 和管脚控制寄存器

本节介绍与并行 I/O 端口相关的寄存器报文。数据和数据方向寄存器位于存储器映射的 0 页面中。上拉、斜率、驱动强度和中断控制寄存器都位于存储器映射的高页部分。

如需了解所有并行 I/O 及其管脚控制寄存器的绝对地址分配报文，请参见本产品说明的第 4 章，“存储器”中的表格。本节只按照寄存器和控制位的名称参考寄存器和控制位。飞思卡尔提供的等式或头文件一般用来把这些名称转换到适当的绝对地址。

6.5.1 A 端口寄存器

A 端口由下面列出的寄存器控制。

6.5.1.7 A 端口中断管脚选择寄存器 (PTAPS)

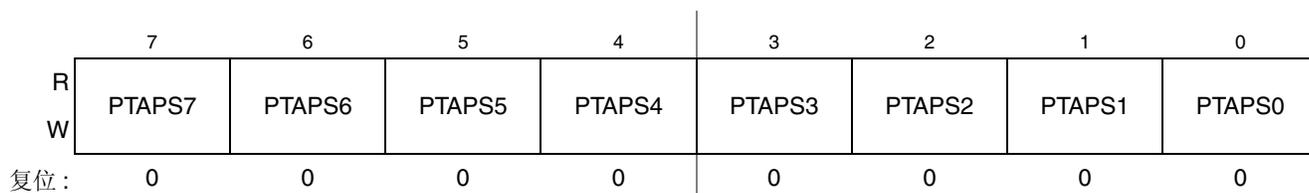


图 6-9. A 端口中断管脚选择寄存器 (PTAPS)

表 6-7. PTAPS 寄存器字段描述

字段	描述
7:0 PTAPS[7:0]	A 端口中断管脚选择 — 每个 PTAPSn 位都使能相应的 A 端口中断管脚。 0 管脚禁止中断。 1 管脚允许中断。

6.5.1.8 A 端口中断边沿选择寄存器 (PTAES)

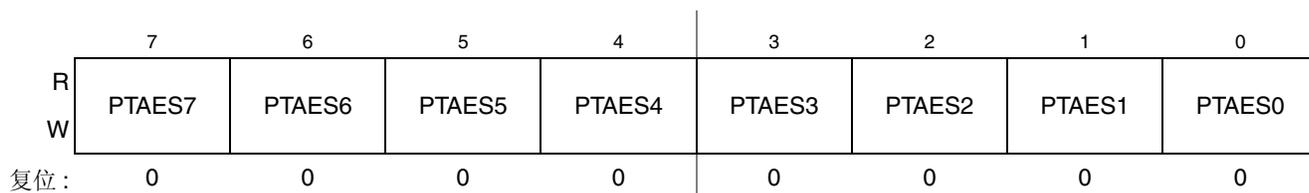


图 6-10. A 端口边沿选择寄存器 (PTAES)

表 6-8. PTAES 寄存器字段描述

字段	描述
7:0 PTAES[7:0]	A 端口边沿选择 — 每个 PTBESn 位都具有双重功能，选择中断边沿的极性以及选择上拉或下拉器件（使能的话）。 0 上拉器件与相关的管脚相连，检测中断生成的下降边沿 / 低电平。 1 下拉器件与相关的管脚相连，检测中断生成的上升边沿 / 高电平。

6.5.2 B 端口寄存器

B 端口由下面列出的寄存器控制。

第 7 章

中央处理器 (S08CPUV3)

7.1 介绍

本节简要地介绍了 HCS08 系列的寄存器、寻址模式和 CPU 指令集。如需了解更多信息，请参见 HCS08 系列参考手册第 1 卷，飞思卡尔半导体文档订单号 HCS08RMV1/D。

HCS08 CPU 和 M68HC08 CPU 的源和目标代码完全兼容。在 HCS08 的 CPU 中增加了几个指令和增强型寻址模式来提高 C 编译器效率、支持取代了早期 M68HC08 微控制器 (MCU) 监控模式的新背景调试系统。

7.1.1 特性

HCS08 CPU 的特性包括：

- 目标代码完全向上兼容 M68HC05 和 M68HC08 系列
- 所有寄存器和存储器都被映射到一个 64Kb 地址空间
- 16 位堆栈指针 (64Kb 地址空间内任意规模的堆栈)
- 16 位索引寄存器 (H:X)，具有强大的索引寻址模式
- 8 位累加器 (A)
- 很多指令将 X 当作备用的通用 8 位寄存器
- 7 个寻址模式：
 - Inherent — 内部寄存器里的操作数
 - Relative — 分支目的地的 8 位带符号偏移
 - Immediate — 下一个目标代码字节里的操作数
 - Direct — 0x0000 - 0x00FF 存储器的操作数
 - Extended — 64-Kb 地址空间里的操作数
 - Indexed relative to H:X — 5 个子模式，包括自动累加
 - Indexed relative to SP — 大幅提高 C 效率
- 存储器至存储器数据移动指令，具有 4 个地址模式组合
- 溢出、半进位、负数、零和进位条件代码支持在带符号、不带符号和十进制计数法 (BCD) 运算结果上的有条件转移
- 有效的位操控指令
- 快速的 8-bit by 8-bit 乘法和 16-bit by 8-bit 除法指令
- 调用低功率运行模式的 STOP 和 WAIT 指令

7.4 特殊运算

CPU 执行一些特殊运算，这些运算和指令类似，但不像其他 CPU 指令那样有操作码。此外，有些指令，如 STOP 和 WAIT，还会直接影响其他 MCU 电路。本节提供了有关这些运算报文。

7.4.1 复位顺序

上电复位 (POR) 事件、内部条件 (如 COP 看门狗) 或外部低效复位管脚有效状态等都可以导致复位。发生复位事件时，CPU 立即停止正在处理的任何操作 (MCU 在响应复位事件前，无需等待指令边界)。如需了解 MCU 如何识别复位和决定源的详细信息，请参见“复位，中断和系统配置”章。

当确定复位是否来自内部源的顺序已经确定且复位管脚的电平不再处于复位有效状态时，复位事件就视为已经结束。复位事件结束后，CPU 执行一个 6 周期顺序，从 0xFFFFE 和 0xFFFF 中获取复位向量，并填写指令队列，为执行第一个程序指令做准备。

7.4.2 中断时序

发生中断请求时，CPU 在响应中断前会完成当前指令。此时，程序计数器指向下一个指令的开始位置，这个位置也是 CPU 完成中断操作后的返回位置。CPU 通过执行与软件中断 (SWI) 指令一样的运算顺序响应中断，但不同的是，用于向量获取的地址由中断时序开始时处于等待状态优先级最高的中断决定。

CPU 中断的时序为：

1. 把 PCL、PCH、X、A 和 CCR 的内容顺序保存到堆栈上；
2. 在 CCR 中设置 I 位；
3. 获取中断向量高阶部分；
4. 获取中断向量低阶部分；
5. 延迟一个空闲总线周期；
6. 获取从中断向量显示的地址开始的 3 个字节程序报文来填写指令队列，为执行中断服务程序的第一个指令做好准备。

当 CCR 内容被推送到堆栈后，在 CCR 中 I 位被置位，防止中断服务程序中出现其他中断。尽管可以用中断服务程序的指令来清除 I 位，但这样会发生中断嵌套 (不推荐使用该方法，因为它会让程序难以调试和维护)。

为了实现与早期 M68HC05 的兼容，H:X 索引寄存器对 (H) 的高阶部分未作为中断顺序的一部分保存在堆栈上。用户必须在服务程序开始时使用 PSHH 指令来保存 H，然后在结束中断服务程序的 RTI 前使用 PULH 指令。如果您确定中断服务程序不使用任何指令或可能修改 H 值的自动增量寻址模式，就没有必要保存 H。

软件中断 (SWI) 指令类似硬件中断，只是它不是由 CCR 中的全局 I 位进行屏蔽，它与程序中的指令操作码有关，因此它不同步于程序执行。

当满足以下条件时就进入 PLL Bypassed External 模式：

- CLKS 位写入 00
- IREFS 位写入 0
- PLLS 位写入 1
- RDIV 位写入介于 1 MHz - 2 MHz 频率范围的分频参考时钟。
- LP 位写入 0

在 PLL Bypassed External 模式中，MCGOUT 时钟源自外部参考时钟。使能的外部参考时钟可以是外部晶体 / 谐振器，也可以是另外一个外部时钟源。PLL 时钟频率是参考频率（RDIV 位所选）和倍频因子（VDIV 位所选）乘积。如果使能 BDM，MCGLCLK 值就是 DCO 除以 2（开放环路模式）的得数。如果禁止 BDM，那么 FLL 被禁止且处于低功率状态。

8.5.1.7 Bypassed Low Power Internal (BLPI)

当满足以下条件时就进入 Bypassed Low Power Internal（BLPI）模式：

- CLKS 位写入 01
- IREFS 位写入 1
- PLLS 位写入 0
- LP 位写入 1
- BDM 模式未活动

在 Bypassed Low Power Internal 模式中，MCGOUT 时钟源自内部参考时钟。

在 BLPI 模式中，PLL 和 FLL 总是无效的，且 MCGLCLK 不能用于 BDC 通信。如果 BDM 进入活动状态，该模式将切换为由 PLLS 位状态决定的另外一种内部旁路模式。

8.5.1.8 Bypassed Low Power External (BLPE)

当满足以下条件时就进入 Bypassed Low Power External（BLPE）模式：

- CLKS 位写入 10
- IREFS 位写入 0
- PLLS 位写入 0 或 1
- LP 位写入 1
- BDM 模式未活动

在 Bypassed Low Power External 模式中，MCGOUT 时钟源自外部参考时钟。使能的外部参考时钟可以是外部晶体 / 谐振器，也可以是另外一个外部时钟源。

在 BLPE 模式中，PLL 和 FLL 总是无效的，且 MCGLCLK 不能用于 BDC 通信。如果 BDM 进入活动状态，该模式将切换到由 PLLS 位状态决定的另外一种外部旁路模式。

表 10-6. 时钟分频选择

ADIV	分频率	时钟率
00	1	输入时钟
01	2	输入时钟 ÷ 2
10	4	输入时钟 ÷ 4
11	8	输入时钟 ÷ 8

表 10-7. 转换模式

模式	模式描述
00	8 位转换 (N=8)
01	12 位转换 (N=12)
10	10 位转换 (N=10)
11	保留

表 10-8. 输入时钟选择

ADICLK	所选的时钟源
00	总线时钟
01	总线时钟除以 2
10	替代时钟 (ALTCLK)
11	异步时钟 (ADACK)

10.4.8 管脚控制寄存器 1 (APCTL1)

管脚控制寄存器用来禁止对模拟输入的 MCU 管脚作为 I/O 端口控制，APCTL1 用来控制这些管脚与 ADC 模块通道 0-7 的连接。

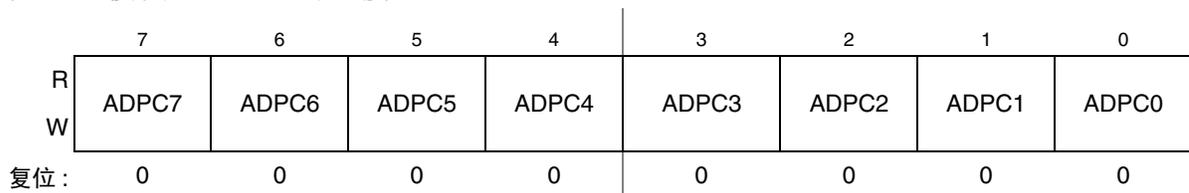


图 10-11. 管脚控制寄存器 1 (APCTL1)

表 11-6. IICS 字段描述

字段	描述
7 TCF	传输完成标志。该位在字节传输完成时置位。该位只有在 IIC 模块往返传输过程中或刚传输完成后才有效。TCF 位的清除通过在接收模式中读取 IICD 寄存器或在发送模式中写入 IICD。 0 传输正在进行 1 传输完成
6 IAAS	匹配从机。当主叫地址匹配已编程的从机地址或当设置了 GCAEN 位且收到通用呼叫时，设置 IAAS 位。写 IICC 寄存器则清除该位。 0 未寻址 1 已寻址从机
5 BUSY	总线忙。BUSY 位表示总线的状态，无论是处于从模式还是主模式。当检测到启动信号时设置 BUSY 位，当检测到停止信号时清除。 0 总线空闲 1 总线忙
4 ARBL	仲裁丢失。当仲裁丢失时，该位由硬件设置。ARBL 位必须通过由软件向其中写入 1 来清除。 0 标准总线运行 1 仲裁丢失
2 SRW	从机读 / 写。当寻址到从机时，SRW 位指示发送给主叫地址主机的 R/W 命令位的值。 0 从机接收，主机写入从机 1 从机发送，主机从从机中读取
1 IICIF	IIC 中断标记。当有中断等待时，设置 IICIF 位。该位必须通过由软件向其中写入 1 来清除。以下事件可以设置 IICIF 位： <ul style="list-style-type: none"> • 一个字节传输完成 • 从机地址匹配主叫地址 • 仲裁丢失 0 无等待中断 1 有等待中断
0 RXAK	接收确认。当 RXAK 位低时，表示向总线传输一个字节数据完成后收到应答信号。如果 RXAK 位高，表示没有检测到应答信号。 0 收到应答 1 未收到应答

11.4.5 IIC 数据 I/O 寄存器 (IICD)



图 11-7. IIC 数据 I/O 寄存器 (IICD)

表 11-7. IICD 字段描述

字段	描述
7-0 DATA	数据—在主传输模式中，当数据写入 IICD 时，数据传输被发起。最高位先传送。在主接收模式中，读取该寄存器启动接收下一字节的数据。

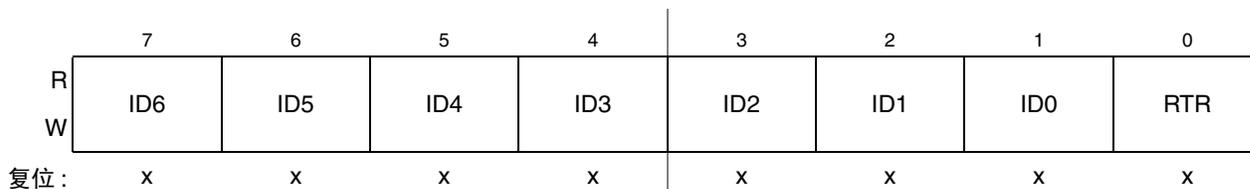


图 12-28. 标识符寄存器 3 (IDR3) — 扩展标识符映射

表 12-28. 标识符寄存器 0 — 标准映射

字段	描述
7:1 ID[6:0]	扩展格式标识符 — 该标识符由 29 个扩展格式位 (ID[28:0]) 组成。ID28 是最高的位, 仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。
0 RTR	远程发送请求 — 该标志反应 CAN 帧中远程发送请求的状态。在接收缓冲器中, 它显示已接收帧的状态, 并在软件中支持应答帧的发送。在发送缓冲器中, 该标志定义将要发送的 RTR 位的设置。 0 数据帧 1 远程帧

12.4.2 标准标识符映射的 IDR0 - IDR3

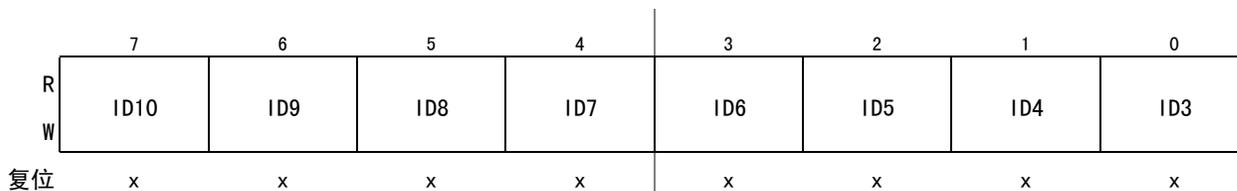
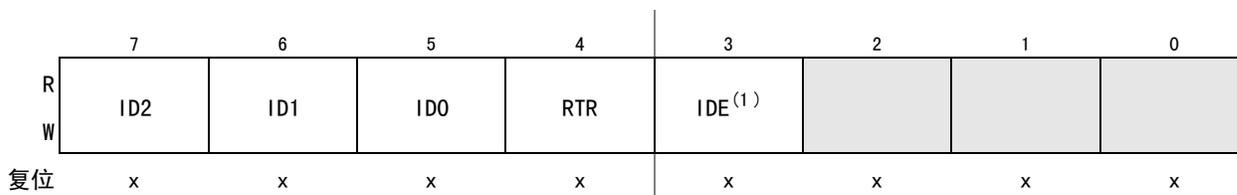


图 12-29. 标识符寄存器 0 — 标准映射

表 12-29. IDR0 寄存器字段描述 — 标准

字段	描述
7:0 ID[10:3]	标准格式标识符 — 该标识符由 11 个扩展格式位 (ID[10:0]) 组成。ID10 是最高位, 仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。也可参见表 12-30 中的 ID 位。



 = 不使用, 始终读为 'x'

图 12-30. 标识符寄存器 1 — 标准映射

¹ IDE 为 0.

12.5.2.1 报文发送基础

现代应用层软件的建立基于两个基本假设：

- 任何 CAN 节点都能够发送出安排好的报文流，而不需要在两条报文间释放 CAN 总线。这些节点在发送上一条报文后立即仲裁 CAN 总线，只当仲裁丢失时释放 CAN 总线。
- 安排 CAN 节点内的内部报文队列，这样，如果有多条报文准备发送时，最高优先级报文首先发出。

以上中描述的行为不能用单个发送缓冲器来实现。该缓冲器在上一条报文发送后必须立即重新加载。加载流程的持续时间有限，必须在帧间顺序（IFS）内完成，以便能够发送不中断报文流。即便这对于有限总线速度的 CAN 来说可行，但它要求 CPU 有最短的发送中断延迟时间。

双缓冲器机制能够把发送缓冲器的重新加载和实际的报文发送分开，因此降低了 CPU 的响应要求。问题可能出在完成报文的发送时 CPU 正重新加载第二个缓冲器，这时没有缓冲器做好发送准备，CAN 总线会被释放。

无论在什么情况下，至少需要三个发送缓冲器来满足上述第一个要求。MSCAN 有三个发送缓冲器。

第二个要求需要某些类型的内部优先排队，MSCAN 用 12.5.2.2，“发送结构”中描述的“本地优先级”来执行该优先排队。

12.5.2.2 发送结构

MSCAN 三重发送缓冲器机制允许提前建立多条报文，从而优化了实时性能。这三个缓冲器的安排如图 12-38. 所示。

这三个缓冲器都具有类似接收缓冲器的 13 字节数据结构（参见 12.4，“报文存储模式”）。

12.4.5，“发送缓冲器优先寄存器 (TBPR)”包含 8 位本地优先级字段（PRIO）（参见 12.4.5，“发送缓冲器优先寄存器 (TBPR)”）。剩下的两个字节用于报文的时间标签，如果需要的话（参见 12.4.6，“时间标签寄存器 (TSRH - TSRL)”）。

要发送报文，CPU 必须确定可用的发送缓冲器，这由置位的发送器缓冲器空（TXEx）标志（参见 12.3.6，“MSCAN 发送器标志寄存器 (CANTFLG)”）表示。如果发送缓冲器可用，CPU 必须通过写入 CANTBSEL 寄存器（参见 12.3.10，“MSCAN 发送缓冲器选择寄存器 (CANTBSEL)”），为该缓冲器设置一个指针。这使得各自的缓冲器能够在 CANTXFG 地址空间内访问（参见 12.4，“报文存储模式”）。与 CANTBSEL 寄存器有关的算法功能简化了发送缓冲器选择。此外，这种机制使程序软件处理更为简单，因为发送流程只需访问一个地址，节省所需地址空间。

然后，CPU 将标识符、控制位和数据内容保存到一个发送缓冲器。最后，通过清除相关 TXE 标志，缓冲器标志为发送准备就绪。

MSCAN 然后安排报文发送，并通过设置相关 TXE 标志，通知缓冲器成功发送。当设置了 TXEx，可触发发送中断（参见 12.5.7.2，“发送中断”）¹，能够用来使应用软件重新加载缓冲器。

1. 只有当未屏蔽时才会发生发送中断。轮询机制也可应用于 TXEx。

适当位位置来决定将比较的滤波器位；最后，寄存器 CANIDAR0/1/2/3 决定 CANIDMR0/1/2/3 所决定的位的值。

例如，当滤波器值为：

0001x1001x0

The CANIDMR0/1/2/3 寄存器将被配置为：

00001000010

因此，所有报文标识符位（除位 1 和位 6）会与 CANIDAR0/1/2/3 寄存器进行比较。这些寄存器将配置为：

00010100100

在这种情况下，位 1 和 6 设置为 ‘0’，但由于它们被忽略，因此效力等同于把它们设置为 ‘1’。

12.5.3.1 标识符接收滤波器示例

正如上面所描述的那样，滤波器是通过与 CAN 报文标识符字段中的个别位的比较进行工作的。滤波器将检查标准 CAN 报文标识符的 11 位的每个位。假设滤波器值为 0001x1001x0。在这个简单示例中，只可能有三种 CAN 报文。

滤波器值：0001x1001x0

报文 1: 00011100110

报文 2: 00110100110

报文 3: 00010100100

由于第三高位不是 ‘0’ - 001，报文 2 被拒绝。滤波器只是提供了 CPU 需要接收的报文组的便捷方式。对于扩展 CAN 报文标识符的全部 29 位，滤波器能辨认两组报文：一组是它接收的报文，一组是它拒绝的报文。此外，滤波器可以一分为二。这允许 MSCAN 只检查报文标识符的前 16 位，但允许让两个独立滤波器执行检查。见下面的示例：

滤波器值 A: 0001x1001x0

滤波器值 B: 00x101x01x0

报文 1: 00011100110

报文 2: 00110100110

报文 3: 00010100100

MSCAN 会接受所有三条报文。滤波器 A 像以前一样将接受报文 1 和 3，滤波器 B 接受报文 2。实践中，哪个滤波器接受报文并不重要，任意一个滤波器接受的报文都将放入输入缓冲器。一条报文可由多个滤波器接受。

12.5.7.7 从恢复停止或 等待

MSCAN 可以通过唤醒中断从停止或等待中恢复。只有当 MSCAN 在进入断电模式前处于睡眠模式 (SLPRQ = 1, SLPK = 1) 时, 唤醒选项被使能 (WUPE = 1), 唤醒中断使能 (WUPIE = 1), 这种中断才能发生。

12.6 初始化 / 应用信息

12.6.1 MSCAN 初始化

系统复位后, 初始化 MSCAN 模块的流程如下:

1. 置位 CANE
2. 写入处于初始化模式的配置寄存器
3. 清除 INITRQ, 离开初始化模式, 进入正常模式

当 MSCAN 模块处于正常模式下, 需要更改只能在初始化模式中写入的寄存器:

1. CAN 总线空闲后, 通过设置 SLPRQ 并等待 SLPK 进行确认, 将模块置入睡眠模式。
2. 进入初始化模式: 确定 INITRQ 并等待 INITAK
3. 写入处于初始化模式的配置寄存器
4. 清除 INITRQ, 离开初始化模式, 继续保持正常模式

12.6.2 总线脱离恢复

用户可配置总线脱离恢复功能。总线脱离状态既可以自动退出, 也可以在用户的请求下退出。

出于向前兼容原因, 复位后, MSCAN 默认为自动恢复。在这种情况下, 在计数 128 次 CAN 总线上 11 个连续隐性位的出现后, MSCAN 将重新变成 ERROR ACTIVE (详情请参见 Bosch CAN 规范)。

如果 MSCAN 配置为用于用户请求模式 12.3.2, “控制寄存器 1 (CANCTL1)” 中设置的 BORM), 从总线脱离中恢复依赖于以下两个独立事件都成立后:

- 发现 128 次 CAN 总线上的 11 个连续隐性位
- 12.3.12, “MSCAN 其他寄存器 (CANMISC)” 中的 BOHOLD 已经被用户清除

这两个事件的发生顺序任意。

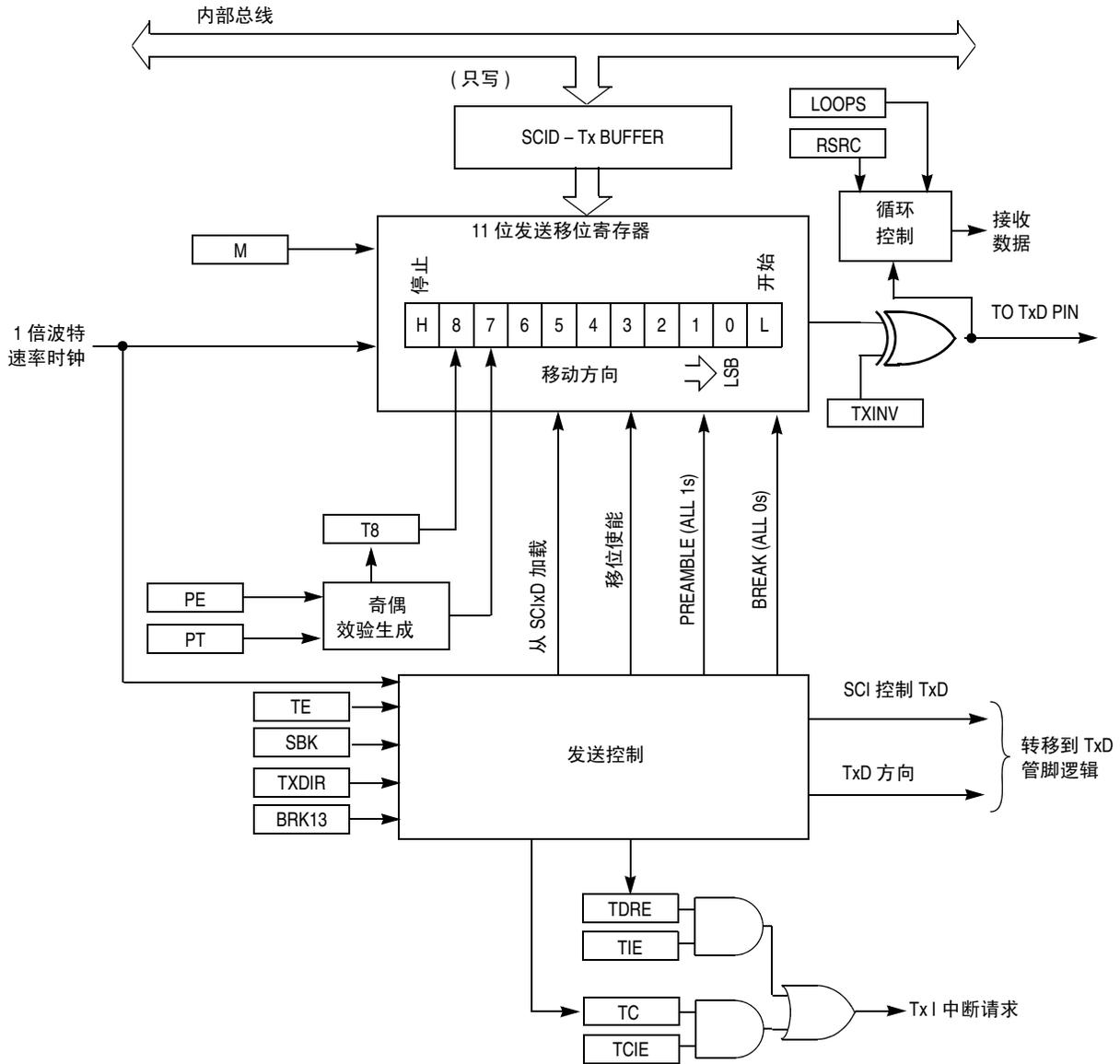


图 14-2. SCI 发射器结构图

16.3 寄存器定义

本小节包括按地址顺序排列的寄存器描述。

16.3.1 TPM 状态和控制寄存器 (TPMxSC)

TPMxSC 包含用于配置中断使能、TPM 配置、时钟源和预分频器等因素的溢出状态标志和控制位。这些控制与本定时器模块中的所有通道相关。

	7	6	5	4	3	2	1	0
R	TOF	TOIE	CPWMS	CLKSB	CLKSA	PS2	PS1	PS0
W	0							
复位	0	0	0	0	0	0	0	0

图 16-7. TPM 状态和控制寄存器 (TPMxSC)

表 16-2. TPMxSC 字段描述

字段	描述
7 TOF	定时器溢出标志。这个读 / 写标记在 TPM 定时器达到 TPM 计数器模数寄存器中设置的模数值后复位为 0x0000 时被设置。设置了 TOF 的情况下，读取 TPM 状态和控制寄存器，然后将逻辑 0 写入 TOF 可清除 TOF。如果清除序列完成前发生另一个 TPM 溢出，则序列被复位，因此为较早 TOF 完成清除序列后 TOF 仍将保持设置状态。这样做的目的是确保 TOF 中断请求在为前一个 TOF 完成清除序列期间不会丢失。复位可清除 TOF。向 TOF 写入逻辑数 1 是无效的。 0 TPM 计数器未达到模数值或未溢出 1 TPM 计数器已溢出。
6 TOIE	定时器溢出中断使能。这个读 / 写位使能 TPM 溢出中断。如果 TOIE 被设置，那么在 TOF 等于 1 时会生成中断。复位可清除 TOIE。 0 TOF 中断关闭（用于软件轮询） 1 TOF 中断允许
5 CPWMS	中央对齐 PWM 选择。如果存在，这个读 / 写位选择 CPWM 运行模式。默认情况下，TPM 在执行输入捕捉、输出比较和边缘对齐 PWM 功能时以向上计数模式运行。设置 CPWMS 可重新配置 TPM，以便在执行 CPWM 功能时以向上 / 向下计数模式运行。复位可清除 CPWMS。 0 所有通道以输入捕捉、输出比较或边缘对齐 PWM 模式运行，即按每个通道的状态和控制寄存器中 MSnB:MSnA 控制位所选的模式运行。 1 所有通道以中央对齐 PWM 模式运行。
4-3 CLKS[B:A]	时钟源选择。表 16-3 所示，这个 2 位字段用于关闭 TPM 系统或选择三个时钟源之一来驱动计数器预分频器。固定系统时钟源仅在采用基于 PLL 的系统时钟的系统中有意义。没有 PLL 时，固定系统时钟源与总线速率时钟相同。TPM 模块使外部源与总线时钟保持同步，而片上同步电路使固定系统时钟源（PLL 存在时）与总线时钟保持同步。当 PLL 存在但未使能时，固定系统时钟源与总线速率时钟相同。
2-0 PS[2:0]	预分频器因子选择。这个 3 位字段表 16-4 所示为 TPM 时钟输入选择 8 个系数之一。任何时钟源同步或时钟源选择后，这个预分频器被定位，以便影响所选的驱动 TPM 系统的时钟源。新值被更新到寄存器位上之后，这个新的预分频器因子将在下一个系统时钟周期内影响时钟源。

表 17-6. DBGS 寄存器字段描述

字段	描述
7 AF	触发匹配 A 标记 — 在调试运行开始时清除 AF，指示武装后是否满足触发 匹配 A 条件。 0 比较器 A 未匹配 1 比较器 A 匹配
6 BF	触发匹配 B 标记 — 在调试运行开始时清除 BF，指示武装后是否满足触发 匹配 B 条件。 0 比较器 B 未匹配 1 比较器 B 匹配
5 ARMF	打开标记 — 当 DBGEN=1 时，这个位为 DBG C 中 ARM 的只读镜像。将 DBG C 中的 ARM 控制位写为 1（当 DBGEN = 1）可设置该位，在调试运行结束时自动清除它。当 FIFO 为满时（始起跟踪），或当探测到触发事件时（结束跟踪），调度运行完成。将 DBG C 中的 ARM 或 DBGEN 写为 0，可以人工停止调试运行。 0 调试器没有打开 1 调试器被打开
3:0 CNT[3:0]	FIFO 有效计数 — 这些位在调试运行开始时清除，指示调试运行结束时 FIFO 中的有效数据的字数。当数据大 FIFO 中读出时，CNT 中的值不减少。当信息从 FIFO 中读出时，外部调试主机负责计数的跟踪。 0000 FIFO 中的有效字数 = 无有效数据 0001 FIFO 中的有效字数 = 1 0010 FIFO 中的有效字数 = 2 0011 FIFO 中的有效字数 = 3 0100 FIFO 中的有效字数 = 4 0101 FIFO 中的有效字数 = 5 0110 FIFO 中的有效字数 = 6 0111 FIFO 中的有效字数 = 7 1000 FIFO 中的有效字数 = 8

A.10 外部振荡器 (XOSC) 特性

表 A-11. 振荡器电气规范 (温度范围 = -40 - 125 °C)

编号	C	参数	符号	最小值	典型值 ¹	最大值	单位	
16	C	振荡器晶体或共鸣器 (EREFS = 1, ERCLKEN = 1)						
		低量程 (RANGE = 0)	f_{lo}	32	—	38.4	kHz	
		高量程 (RANGE = 1) FEE 或 FBE 模式 ²	f_{hi-ll}	1	—	5	MHz	
		高量程 (RANGE = 1) PEE 或 PBE 模式 ³	f_{hi-pll}	1	—	16	MHz	
		高量程 (RANGE = 1, HGO = 1) BLPE 模式	f_{hi-hgo}	1	—	16	MHz	
		高量程 (RANGE = 1, HGO = 0) BLPE 模式	f_{hi-lp}	1	—	8	MHz	
17	—	载荷电容器	C_1 C_2	参见晶体或共鸣器制造商的推荐。				
18	—	反馈电阻器						
		低量程 (32 kHz to 100 kHz)	R_F	—	10	—	MΩ	
高量程 (1 MHz to 16 MHz)	—	1		—	MΩ			
19	—	串行电阻器						
		低量程, 低增益 (RANGE = 0, HGO = 0)	R_S	—	0	—	kΩ	
		低量程, 高增益 (RANGE = 0, HGO = 1)		—	100	—		
		高量程, 低增益 (RANGE = 1, HGO = 0)		—	0	—		
		高量程, 高增益 (RANGE = 1, HGO = 1) ≥ 8 MHz		—	0	0		
4 MHz	—	0		10				
1 MHz	—	0	20					
20	T	晶体启动时间 ⁴						
		低量程, 低增益 (RANGE = 0, HGO = 0)	$t_{CSTL-LP}$	—	200	—	ms	
		低量程, 高增益 (RANGE = 0, HGO = 1)	$t_{CSTL-HGO}$	—	400	—		
		高量程, 低增益 (RANGE = 1, HGO = 0) ⁵	$t_{CSTH-LP}$	—	5	—		
高量程, 高增益 (RANGE = 1, HGO = 1) ⁴	$t_{CSTH-HGO}$	—	15	—				
21	T	方波输入时钟频率 (EREFS = 0, ERCLKEN = 1)						
		FEE 或 FBE 模式 ²	f_{extal}	0.03125	—	5	MHz	
		PEE 或 PBE 模式 ³		1	—	16		
BLPE 模式	0	—		40				

¹ 典型数据是电压为 3.0 V、温度为 25°C 时的数据或推荐值。

² 当为 FEE 或 FBE 模式配置 MCG 时, 必须能够用 RDIV 将输入时钟源分割在 31.25 kHz 至 39.0625 kHz 的范围内。

³ 当为 PEE 或 PBE 模式配置 MCG 时, 能够能够用 RDIV 将输入时钟源分割在 1 kHz 至 2 kHz 的范围内。

⁴ 该参数是描述性数据, 未在每个器件上进行测试。要达到规范, 必须遵守正确的 PC 主板布局流程。

⁵ 4 MHz 晶体。

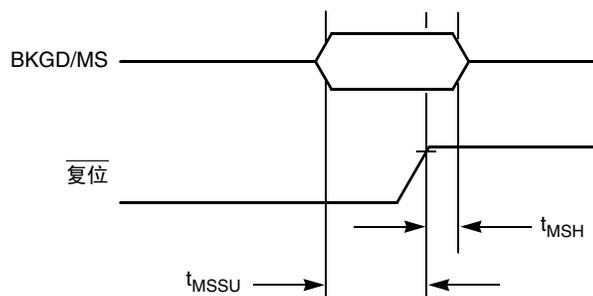


图 A-3. 激活背景调试模式锁定时序

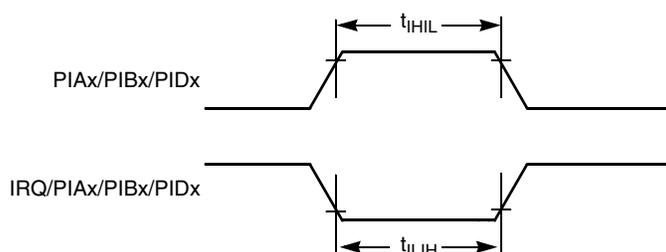


图 A-4. 管脚中断时序

A.12.2 定时器 /PWM

同步器电路决定着可被识别的最短输入脉冲或可以用作定时器计数器的可选外部源的最快时钟。这些同步器当前的总线速率时钟中进行操作。

表 A-14. TPM 输入时序

编号	C	参数	符号	最小值	最大值	单位
9	—	外部时钟频率	f_{TCLK}	dc	$f_{Bus}/4$	MHz
10	—	外部时钟时间	t_{TCLK}	4	—	t_{cyc}
11	D	外部时钟高时间	t_{clkh}	1.5	—	t_{cyc}
12	D	外部时钟低时间	t_{clkl}	1.5	—	t_{cyc}
13	D	输入捕捉脉冲宽度	t_{ICPW}	1.5	—	t_{cyc}