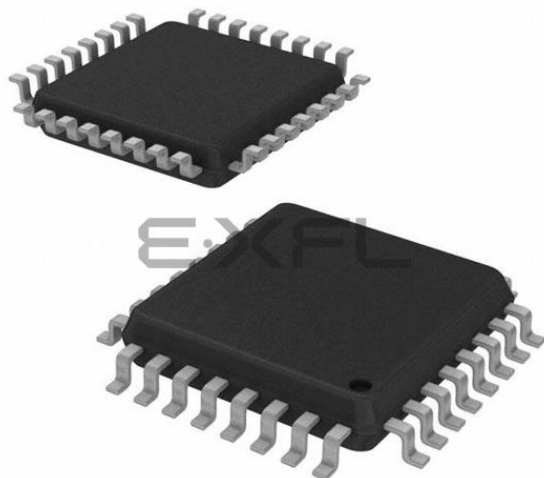




Welcome to [E-XFL.COM](#)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	16KB (16K x 8)
Program Memory Type	FLASH
EEPROM Size	512 x 8
RAM Size	1K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 85°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/s9s08dz16f2clc

章节号	标题	页码
-----	----	----

第 16 章

定时器脉冲宽度调节器 (S08TPMV3)

16.1	简介	299
16.1.1	功能	301
16.1.2	运行模式	301
16.1.3	结构图	302
16.2	信号描述	304
16.2.1	详细信号描述	304
16.3	寄存器定义	308
16.3.1	TPM 状态和控制寄存器 (TPMxSC)	308
16.3.2	计数器的寄存器 (TPMxCNTH:TPMxCNTL)	309
16.3.3	TPM 计数器模数寄存器 (TPMxMODH:TPMxMODL)	310
16.3.4	TPM 通道 n 状态和控制寄存器 (TPMxCnSC)	311
16.3.5	TPM 通道值寄存器 (TPMxCnVH:TPMxCnVL)	312
16.4	功能描述	314
16.4.1	计数器	314
16.4.2	通道模式选择	316
16.5	复位概述	319
16.5.1	概况	319
16.5.2	复位操作介绍	319
16.6	中断	319
16.6.1	General	319
16.6.2	中断操作描述	319

第 17 章

开发支持

17.1	介绍	323
17.1.1	强制激活背景调试	323
17.1.2	特性	324
17.2	背景调试控制器 (BDC)	325
17.2.1	BKGD 管脚描述	325
17.2.2	通信详细介绍	326
17.2.3	BDC 命令	328
17.2.4	BDC 硬件断点	330
17.3	片上调试系统 (DBG)	331
17.3.1	比较器 A 和 B	331
17.3.2	总线捕获信息和 FIFO 操作	331
17.3.3	流变化信息	332
17.3.4	标记 vs. 强制断点和触发器	332
17.3.5	触发模式	333
17.3.6	硬件断点	334
17.4	寄存器定义	334

4.5.4 突发编程执行

突发编程命令能在比标准编程命令更短的时间内对数据的连续字节进行编程。这是因为 Flash 阵列的高电压在编程操作之间不需要断开。通常情况下，在发出编程或擦除命令后，必须启用与 Flash 相关的一个内部电荷泵用于为阵列提供高电压。命令执行完成后，该电荷泵会被关闭。发出突发编程命令后，电荷泵在以下两种条件下会被开启而且在突发编程操作完成后将保持开启状态：

- 下一个突发编程命令序列在设置 **FCCF** 位之前已开始。
- 下一个顺序地址从所编程的当前字节所在的相同突发块中选择一个字节。该 Flash 中的突发块包括 32 个字节。新的突发块在每个 32 字节地址的边界开始。

在突发模式下对一系列连续字节的第一个字节进行编程所需要的时间与标准模式下编程一个字节所需的时间相同。如果达到上述两个条件，后面的字节将在突发编程时间内编程。如果下一个顺序地址是新的一行的开始，那么该字节的编程时间将是标准时间而不是突发时间。这是因为到阵列的高电压必须断开后重新开启。如果在当前命令完成前，队列中没有任何新的突发命令，那么电荷泵将关闭，高电压将从阵列上断开。

图 4-3 为执行突发编程操作的流程。

4.5.11.3 Flash 和 EEPROM 配置寄存器 (FCNFG)

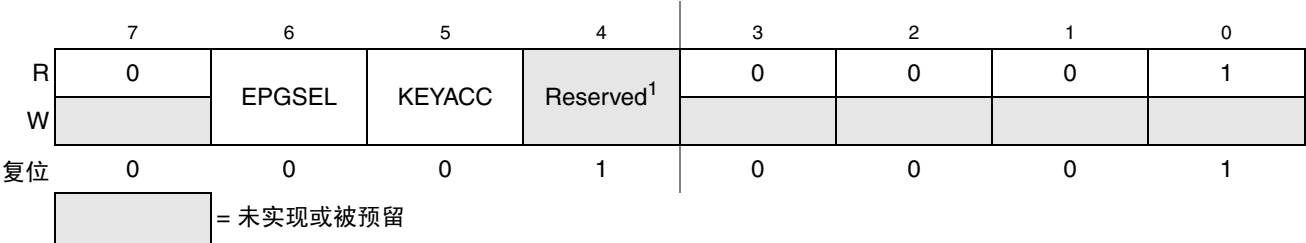


图 4-7. Flash Configuration Register (FCNFG)

¹ 用户必须在该位上写入一个 1。否则可能会导致意外的行为。

表 4-11. FCNFG 寄存器字段描述

字段	描述
6 EPGSEL	页面选择 — 该位选择存储器映象中的哪个 EEPROM 页面可以访问。 0 页面 0 在存储器映象的前台。页面 1 在后台，而且不能访问。 1 页面 1 在存储器映象的前台。页面 0 在后台，而且不能访问。
5 KEYACC	启用访问密钥的写入 — 该位启用后门对比密钥的写入。若欲了解有关后门密钥机制的更详尽信息，请参见 4.5.9，“安全性”。 0 写入 0xFFB0–0xFFB7 被解释为 Flash 编程或擦除命令的开始。 1 写入 NVBACKKEY (0xFFB0–0xFFB7) 解释为对比密钥写入。

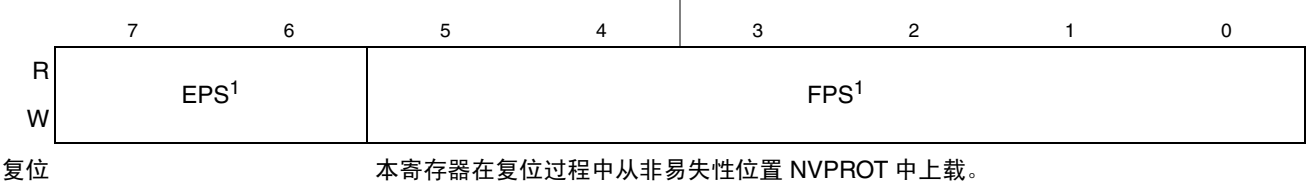
4.5.11.4 Flash 和 EEPROM 保护寄存器 (FPROT and NVPROT)

FPROT 寄存器定义不受编程和擦除操作的影响 Flash 和 EEPROM 分区。

在复位顺序中，FPROT 寄存器从非易失性位置 NVPROT 中上载。若想改变复位序列中将上载的保护，包含 NVPROT 的分区必须不受保护并被擦除，然后才可以对 NVPROT 进行重新编程。

FPROT 位任何时候都可以读取，但只能在受保护区域的范围增加时才可以写入。任何企图缩小受保护内存的 FPROT 写入操作都会被忽略。

尝试修改任何受保护区域的数据将导致保护违反错误，FSTAT 寄存器中将设置 FPVIOL 标记。如果有任何一个分区被保护，就不能进行整体擦除。



¹ 后台命令可用于修改 FPROT 中的这些位的内容。

图 4-8. Flash 和 EEPROM 保护寄存器 (FPROT)

表 4-14. Flash 块保护 (continued)

FPS	受保护的地址域	受保护的内存大小（字节）	受保护的扇区数量
0x1B	0x2800–0xFFFF	54K	72
0x1A	0x2200–0xFFFF	55.5K	74
0x19	0x1C00–0xFFFF	57K	76
0x18–0x00	0x0000–0xFFFF	64K	86

4.5.11.5 Flash 和 EEPROM 状态寄存器 (FSTAT)

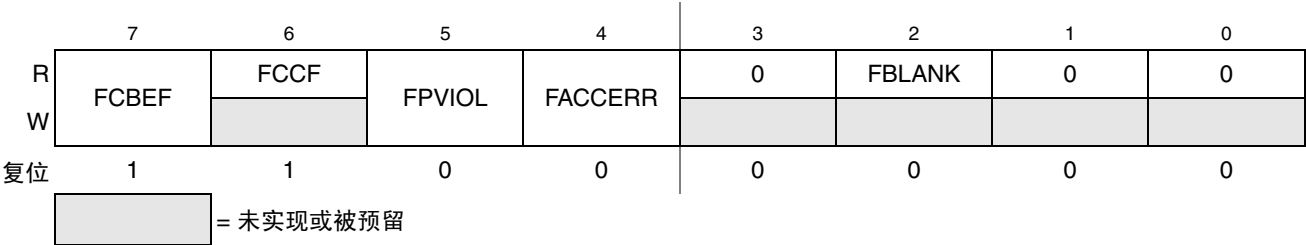


图 4-9. Flash 和 EEPROM 状态寄存器 (FSTAT)

表 4-15. FSTAT 寄存器字段描述

字段	描述
7 FCBEF	命令缓冲器空标记 — FCBEF 位用于发出命令。它还用于标识命令缓冲器是空的，因此可以在执行突发编程时执行新的命令顺序。FCBEF 位通过在写入 1 或一个突发编程命令被发送到阵列中以进行编程时清除。只有突发编程命令可以被缓冲。 0 命令缓冲器满（没有准备好缓冲额外的命令）。 1 命令缓冲器中可写入新的突发编程命令。
6 FCCF	命令完成标记 — FCCF 在命令缓冲器变空而且没有处理任何命令时自动设置。FCCF 在开始执行一个新命令时自动清除（通过将 1 写到 FCBEF 中以登记一个命令）。向 FCCF 写入内容没有任何意义或效果。 0 命令正在执行过程中。 1 所有命令都已完成。
5 FPVIOL	保护规则违反标记 — FPVIOL 在发出试图擦除或编程受保护块中的一个位置的命令后自动置 1（错误的命令会被忽略）。FPVIOL 通过向 FPVIOL 中写入 1 来清除。 0 无保护规则违反。 1 有人尝试擦除或编程一个受保护的位置。

6.5.3.3 C 端口上拉使能寄存器 (PTCPE)

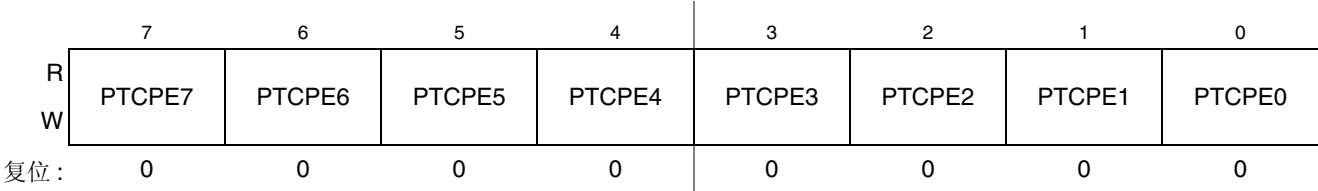


图 6-21. C 端口寄存器内部上拉使能 (PTCPE)

表 6-19. PTCPE 寄存器字段描述

字段	描述
7:0 PTCPE[7:0]	C 端口内部上拉使能位 — 这些控制位决定着是否为相关 PTC 管脚使能内部上拉器件。对于配置为输出的 C 端口管脚，这些位不会产生影响，同时内部拉器件被禁止。 0 C 端口位 - 内部上拉器件被禁止。 1 C 端口位 - 内部上拉器件使能。

注意

只有当使用管脚中断功能且配置了相应的边沿选择和管脚选择功能时，才能使用下拉器件。

6.5.3.4 C 端口斜率使能寄存器 (PTCSE)

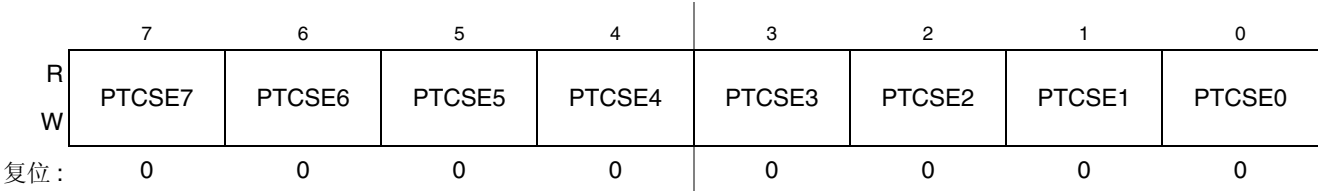


图 6-22. C 端口寄存器斜率使能 (PTCSE)

表 6-20. PTCSE 寄存器字段描述

字段	描述
7:0 PTCSE[7:0]	C 端口位输出斜率使能 — 这些控制位决定着是否为相关 PTC 管脚使能输出斜率控制。对于配置为输入的 C 端口管脚，这些位不会产生任何影响。 0 C 端口位 - 输出斜率控制禁止。 1 C 端口位 - 输出斜率控制使能。

注意：工程样品和最终成品的斜率复位默认值可能不同。一定要将斜率控制初始化为所需的值，以确保正确的操作。

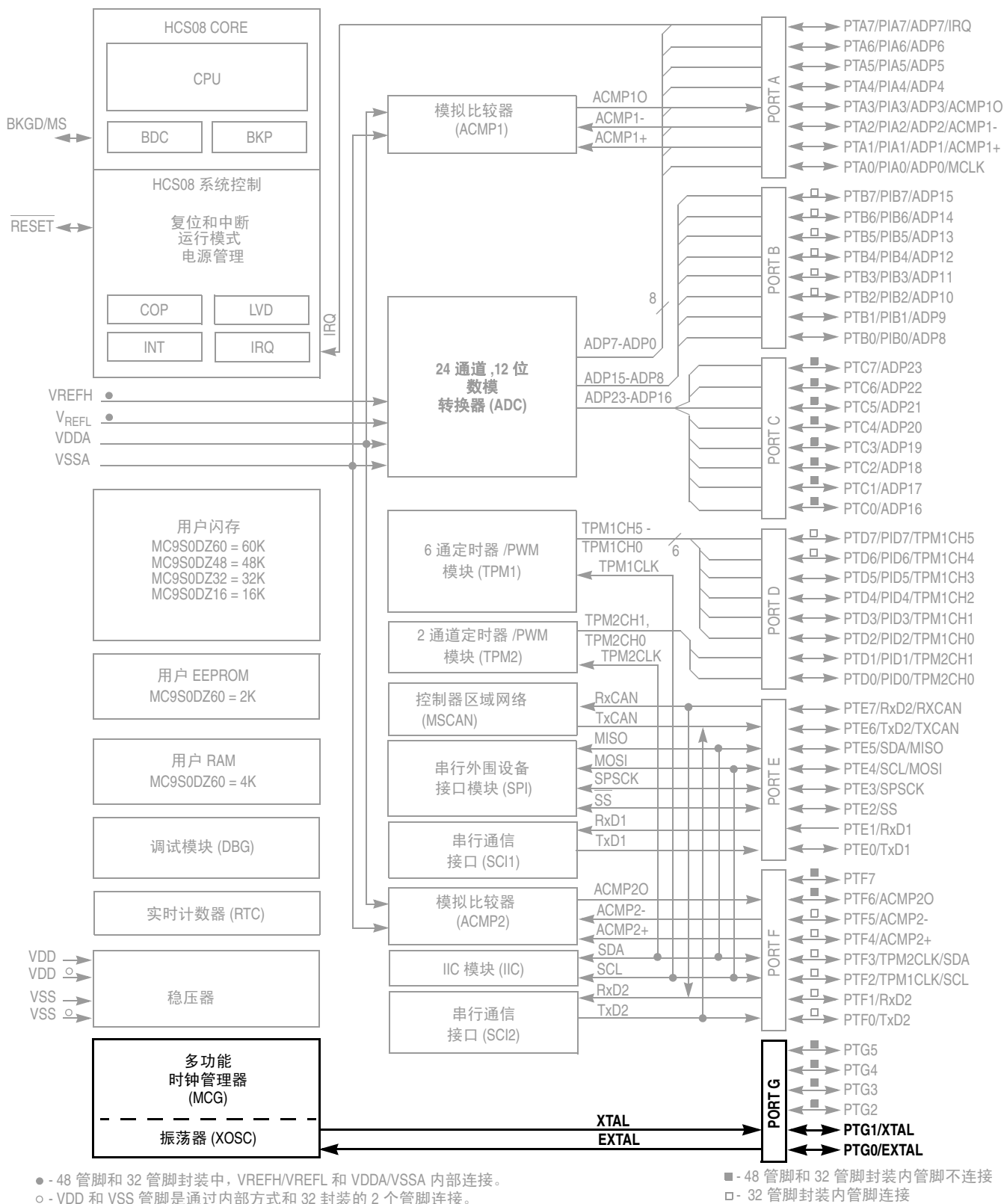


图 8-1. MC9S08DZ60 结构图

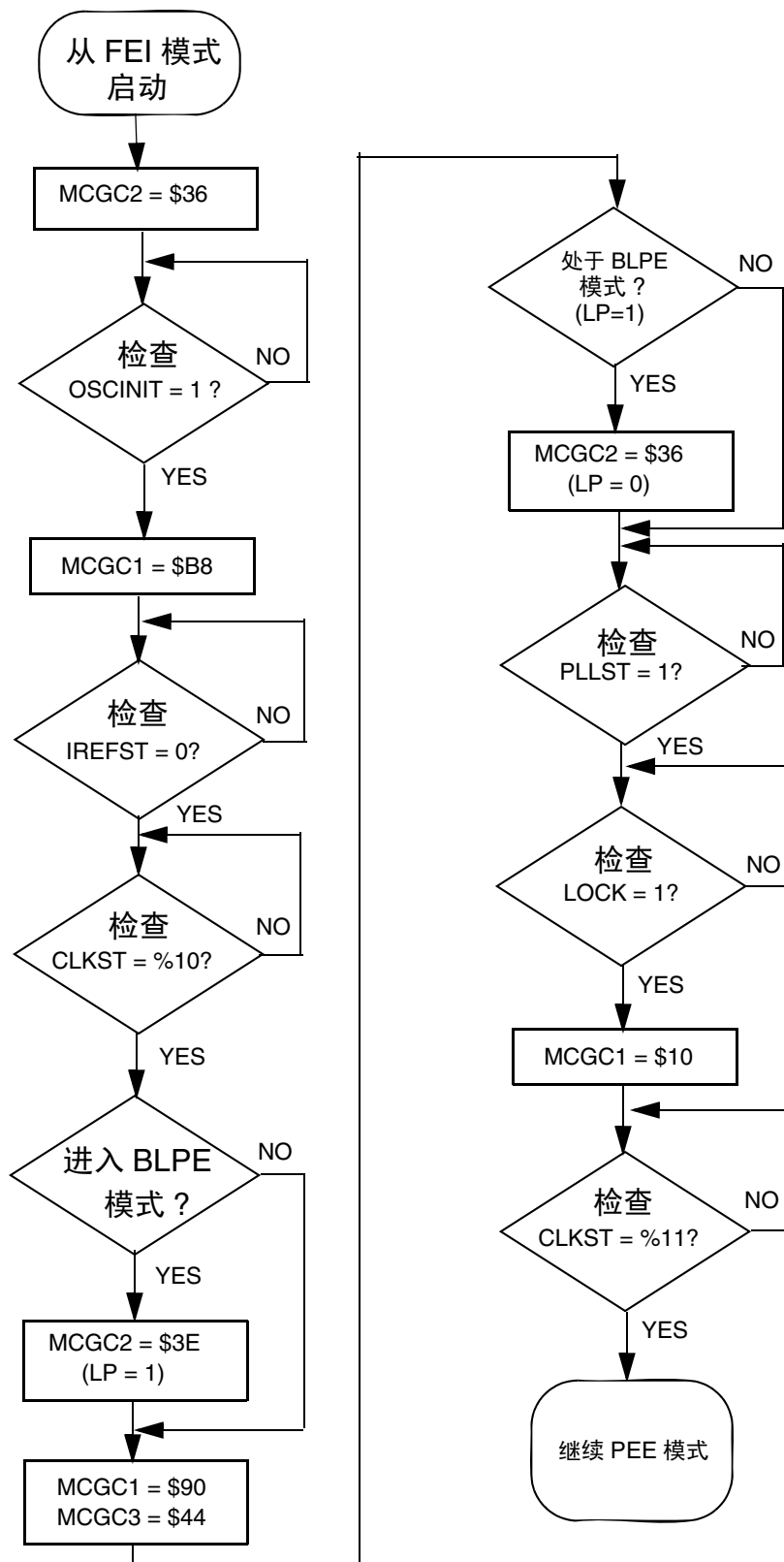


图 8-9. 使用 4 MHz 晶体从 FEI 转换到 PEE 模式的流程图

表 10-11. APCTL3 寄存器字段描述

字段	描述
7 ADPC23	ADC 管脚控制 23 — ADPC23 用来控制与通道 AD23 连接的管脚。 0 AD23 管脚 I/O 控制使能 1 AD23 管脚 I/O 控制禁止
6 ADPC22	ADC 管脚控制 22 — ADPC22 用来控制与通道 AD22 连接的管脚。 0 AD22 管脚 I/O 控制使能 1 AD22 管脚 I/O 控制禁止
5 ADPC21	ADC 管脚控制 21 — ADPC21 用来控制与通道 AD21 连接的管脚。 0 AD21 管脚 I/O 控制使能 1 AD21 管脚 I/O 控制禁止
4 ADPC20	ADC 管脚控制 20 — ADPC20 用来控制与通道 AD20 连接的管脚。 0 AD20 管脚 I/O 控制使能 1 AD20 管脚 I/O 控制禁止
3 ADPC19	ADC 管脚控制 19 — ADPC19 用来控制与通道 AD19 连接的管脚。 0 AD19 管脚 I/O 控制使能 1 AD19 管脚 I/O 控制禁止
2 ADPC18	ADC 管脚控制 18 — ADPC18 用来控制与通道 AD18 连接的管脚。 0 AD18 管脚 I/O 控制使能 1 AD18 管脚 I/O 控制禁止
1 ADPC17	ADC 管脚控制 17 — ADPC17 用来控制与通道 AD17 连接的管脚。 0 AD17 管脚 I/O 控制使能 1 AD17 管脚 I/O 控制禁止
0 ADPC16	ADC 管脚控制 16 — ADPC16 用来控制与通道 AD16 连接的管脚。 0 AD16 管脚 I/O 控制使能 1 AD16 管脚 I/O 控制禁止

10.7 应用报文

本节介绍了在应用中使用 ADC 模块的相关报文。ADC 已被集成到微控制器中，供需要 A/D 转换器的嵌入式控制应用使用。

10.7.1 外部管脚和布线

以下几节讨论与 ADC 模块相关的外部管脚以及为获得最佳结果，应该如何使用它们。

10.7.1.1 模拟电源管脚

ADC 模块有模拟电源和模拟地 (V_{DDAD} 和 V_{SSAD})，在有些器件上它们作为独立管脚。在其余器件上， V_{SSAD} 与 MCU 数字 V_{SS} 共用同一管脚。还有一些器件， V_{SSAD} 和 V_{DDAD} 同时共用 MCU 数字电源管脚。在这些情况下，模拟电源就使用单独的电极极片，与相应的数字电源管脚内部相连，这样电源之间就保持一定程度的隔离。

当作为独立管脚出现时， V_{DDAD} 和 V_{SSAD} 必须连接到与它们相应的 MCU 数字电源 (V_{DD} 和 V_{SS}) 相同的电压水平上，并且在布线时必须小心，以实现最好隔离效果，滤波电容要尽可能靠近芯片布置。

当为模拟和数字电源使用独立的电源时，这些电源间的接地连接必须在 V_{SSAD} 管脚位置。这应当是这些电源间唯一的接地连接（如果可能的话）。 V_{SSAD} 管脚是很好的单点接地位置。

10.7.1.2 模拟参考管脚

除模拟电源外，ADC 模块还与两个参考电压输入连接。高参考是 V_{REFH} ，在有些器件上可能被与 V_{DDAD} 相同的管脚共用。低参考是 V_{REFL} ，在有些器件上可能被与 V_{SSAD} 相同的管脚共用。

当作为独立管脚出现时， V_{REFH} 可能连接到与 V_{DDAD} 相等的电压水平上，或者可能由介于 V_{DDAD} 最小规范和 V_{DDAD} 电平间的外部源驱动 (V_{REFH} 必须不能超过 V_{DDAD})。当作为独立管脚出现时， V_{REFL} 必须连接到与 V_{SSAD} 相同的电压水平上，并且在布线时必须小心，以实现最好隔离效果，滤波电容要尽可能靠近芯片布置。

在每个逐次逼近步骤中用来给电容阵列充电所需的峰值电流型交流电通过 V_{REFH} 和 V_{REFL} 环路获取。满足这一电流要求的最佳外部组件是 0.1mF 电容器，必须有出色的高频特征。该电容器连接 V_{REFH} 和 V_{REFL} ，必须尽可能靠近封装管脚。不建议在电路中使用电阻，因为会导致压降，进而可能导致转换错误。这个路径中的电感必须最小（仅寄生）。

10.7.1.3 模拟输入管脚

外部模拟输入通常与 MCU 器件上的数字 I/O 管脚共用。在管脚控制寄存器中设置相应的控制位就能禁止管脚 I/O 控制。转换也可以在管脚控制寄存器位没设置时进行，建议在把管脚作为模拟输入使用时，最好设置管脚控制寄存器位。这样就可以避免可能的问题，因为输出缓冲器处于高电阻状态，且禁止上拉。此外，当输入缓冲器的输入不在 V_{DD} 或 V_{SS} 时，会消耗 DC 电流。因而为用作模拟输入的所有管脚设置管脚控制寄存器位，可以实现最低的工作电流。

11.5.1.4 停止信号

主机可以通过发送停止信号终止通信，以释放总线。然而，主机可以直接发送启动信号和呼叫命令，而无需首先发送停止信号。这被称为重复启动。停止信号的定义是 SCL 在逻辑 1 位置时的从低到高的 SDA 跳变（见图 11-9）。

即便从机发出一个应答，主机也可以发送停止信号，此时从机必须释放总线。

11.5.1.5 重复启动信号

如图 11-9 所示，重复启动信号是在无需首先生成停止信号以终止通信的情况下发送的信号。该信号由主机用来与另外一个从机进行通信，或者在不同模式（传输 / 接收模式）中与同一从机进行通信，而不需要释放总线。

11.5.1.6 仲裁程序

IIC 总线是真正的多主控总线，允许一个以上的主机连接到 IIC 上。如果两个甚至多个主机试图同时控制总线，那么就由时钟同步过程来决定总线时钟，总线低周期等于最长的时钟低段，总线高周期等于最短的时钟高段。竞争主机的相对优先级由数据仲裁过程确定，如果一个总线主机发出逻辑 1，而另一个发出逻辑 0，那么前者就丢失仲裁。失败的一方立即切换到从机接收模式，停止驱动 SDA 输出。在这种情况下，从主模式到从模式的转换不会生成停止条件。与此同时，会通过硬件设置一个状态位，表示仲裁丢失。

11.5.1.7 时钟同步

因为线与逻辑在 SCL 线上执行，所以 SCL 上的从高到低的跳变会影响连接到总线上的所有器件。节点开始计数它们的低态周期，当节点的时钟进入低态后，它将一直保持 SCL 线的低态，直到达到时钟高态。然而，如果另一个节点时钟仍处于低态时段，这时此节点时钟从低到高的变化就不会改变 SCL 线的状态。因此，经过同步的时钟 SCL 由具有最长低态周期的节点保持。低态周期较短的节点在该时段进入高态等待（见图 11-10）。当所有有关节点均已完成它们的低态周期时，同步时钟 SCL 线被释放和拉高。这样，节点时钟和 SCL 线的状态之间就没有任何差异，所有节点开始计数它们的高态周期。第一个完成其高态周期的节点再次拉低 SCL 线。

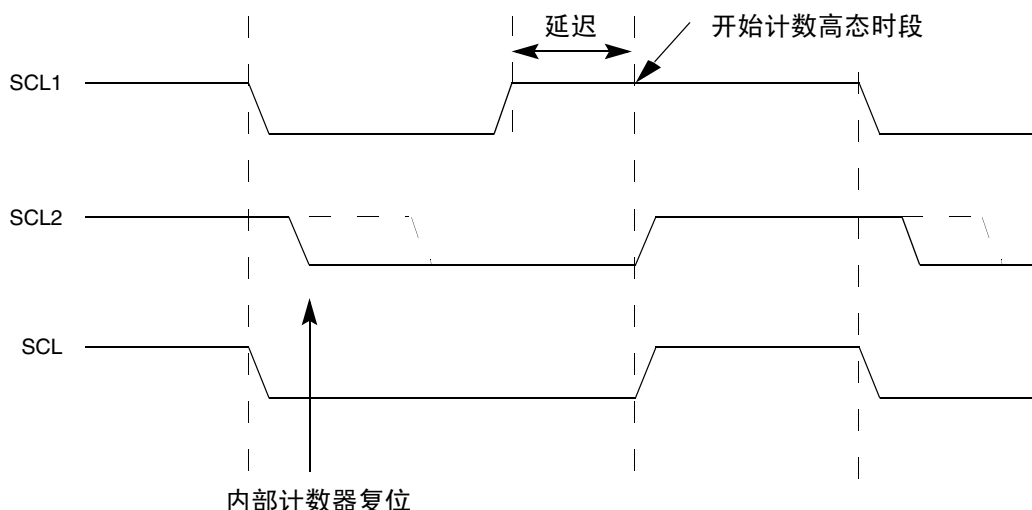


图 11-10. IIC 时钟同步

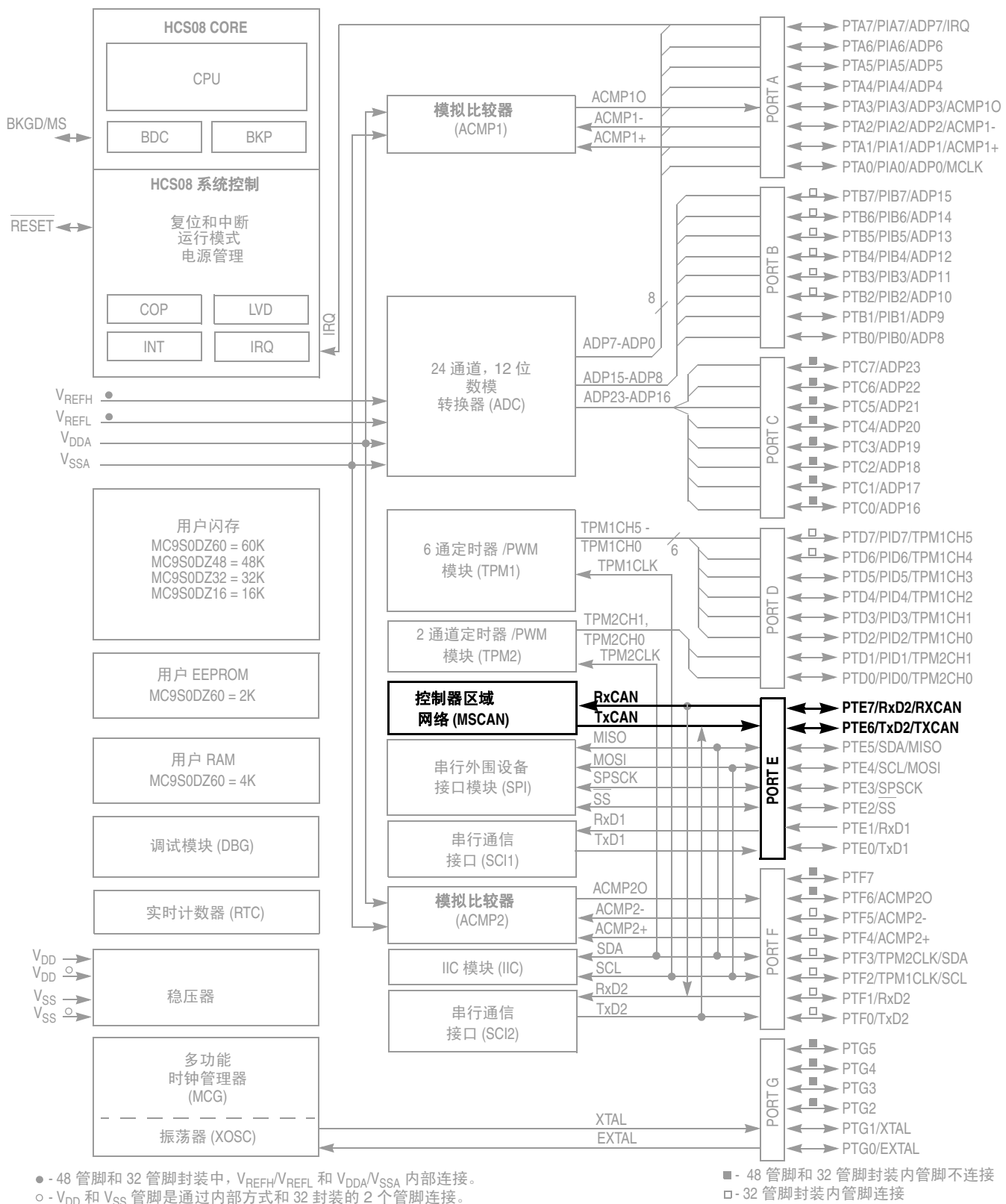


图 12-1. MC9S08DZ60 结构图

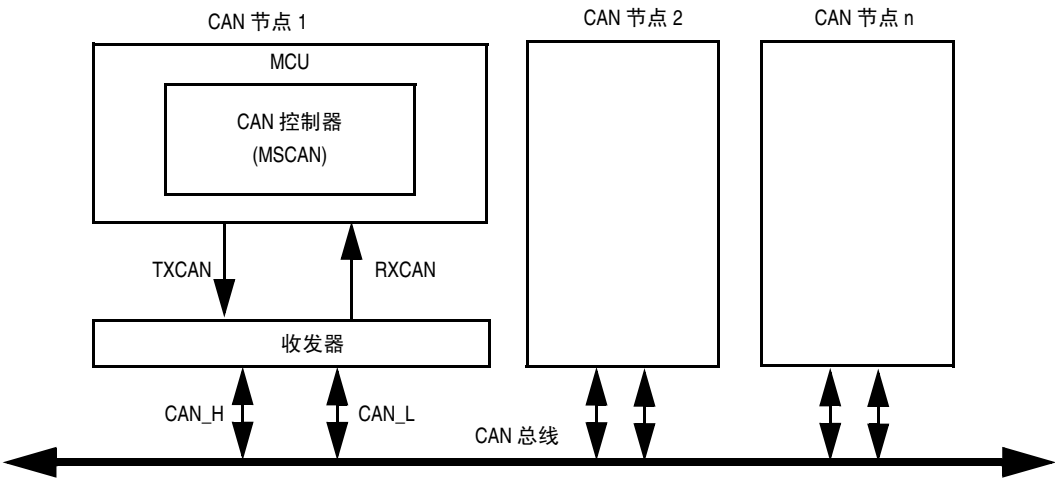


图 12-3. CAN 系统

12.3 寄存器定义

本节详细描述 MSCAN 模块中的所有寄存器和寄存器位。每个描述都包括带有相关图形编号的标准寄存器示意图。寄存器位和字段功能的详细说明在寄存器图后面，按位顺序。该模块中所有寄存器的所有位在寄存器读取过程中都与内部时钟完全同步。

12.3.1 MSCAN 控制寄存器 0 (CANCTL0)

The CANCTL0 寄存器提供了如下所述的 MSCAN 模块的各种位控制。

.

	7	6	5	4	3	2	1	0
R	RXFRM	RXACT	CSWAI	SYNCH	TIME	WUPE	SLPRQ	INITRQ
W								
复位:	0	0	0	0	0	0	0	1
	= Unimplemented							

图 12-4. 控制寄存器 0 (CANCTL0)

注意

当初始化模式处于有效 (INITRQ = 1 and INITAK = 1). 时，除 WUPE、INITRQ 和 SLPRQ 外的所有 CANCTL0 寄存器位都处于复位状态。只要退出初始化模式 (INITRQ = 0, INITAK = 0)，该寄存器可以再次写入。

读取：任何时间

写入：退出初始化模式的任何时间；例外是只读 RXACT、SYNCH、RXFRM （只由该模块设置）和 INITRQ （也可以在初始化模式中写入）。.

表 12-2. 寄存器字段描述

字段	描述
1 SLPAK	睡眠模式确认— 该标记显示 MSCAN 模块是否已经进入睡眠模式 (参见 12.5.5.4, “MSCAN 睡眠模式”)。它用作 SLPRQ 睡眠模式请求的握手标志。t. 当 SLPRQ = 1、SLPAK = 1 时, 睡眠模式是有效的。根据 WUPE 设置, 如果在处于睡眠模式检测到 CAN 总线有信号, MSCAN 将清除该标志。CPU 清除 SLPRQ 位也将复位 SLPK 位。 0 正在运行 —MSCAN 正常运行 1 睡眠模式使能 — MSCAN 已经进入睡眠模式
0 INITAK	初始化模式确认— 该标志显示 MSCAN 模块是否处于初始化模式 (参见 12.5.5.5, “MSCAN I 初始化模式”)。它用作 INITRQ 初始化模式请求的握手标志。当 INITRQ = 1, INITAK = 1 时, 初始化模式被使能。当 MSCAN 处于初始化模式时, 寄存器 CANCTL1、CANBTR0、CANBTR1、CANIDAC、CANIDAR0 - CANIDAR7 和 CANIDMR0 - CANIDMR7 只能通过 CPU 写入 0 正在运行 —MSCAN 正常运行 1 初始化模式使能— MSCAN 处于初始化模式

12.3.3 MSCAN 总线计时寄存 0 (CANBTR0)

CANBTR0 寄存器配置 MSCAN 模块的各种 CAN 总线计时参数。

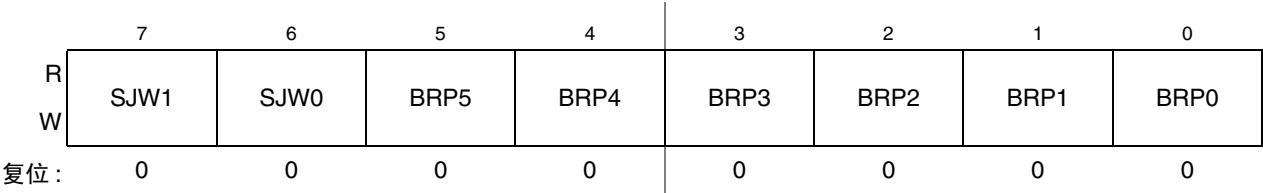


图 12-6. MSCAN 总线计时寄存器 0(CANBTR0)

读取: 任何时间
写入: 处于初始化模式 (INITRQ = 1, INITAK = 1) 的任何时间

表 12-3. CANBTR0 寄存器字段描述

字段	描述
7:6 SJW[1:0]	同步跳转宽度—同步跳转宽度决定要实现 CAN 总线上的数据传输重新同步, 一个位可以缩短或延长的时间冲量 (Tq) 的最大值 (参见表 12-4).
5:0 BRP[5:0]	波特率预分频器—该位确定用来构建位计时的时间冲量 (Tq) 时钟 (参见表 12-5).

Register Name		Bit 7	6	5	4	3	2	1	Bit0
IDR0	R W	ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21
IDR1	R W	ID20	ID19	ID18	SRR ⁽¹⁾	IDE ⁽¹⁾	ID17	ID16	ID15
IDR2	R W	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
IDR3	R W	ID6	ID5	ID4	ID3	ID2	ID1	ID0	RTR ²
DSR0	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR1	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR2	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR3	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR4	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR5	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR6	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR7	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DLR	R W					DLC3	DLC2	DLC1	DLC0

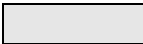
 = Unused, always read 0

图 12-23. 接收 / 发送报文缓冲器 — 扩展标识符映射

¹ SRR 和 IDE 都为 1。

² RTR 的位置在扩展和标准标识符映射间存在差异。

当 CAN 总线赢得仲裁时，如果有一个以上的缓冲器等待发送，MSCAN 则使用三个缓冲器的本地优先级设置来决定优先顺序。因此，每个发送缓冲器都有 8 位本地优先级字段（PRIO）。当报文建立时，应用软件就编辑该字段。本地优先级反应了在从该节点发送的有关报文之间的优先级顺序。具有最低二进制代码的 PRIO 字段占最高优先级。每当 MSCAN 为 CAN 总线进行仲裁时，就会引发内部调度程序。当出现发送错误时也会如此。

当应用软件安排了高优先级报文时，可能有必要中止三个发送缓冲器的某一个低优先级报文。由于正发送的报文不能中止，因此用户必须通过设置相应中止请求位（ABTRQ）请求中止（参见 12.3.8，“MSCAN Transmitter 发送器报文中止请求寄存器（CANTARQ）”）。可能的话，MSCAN 通过以下方式同意该请求：

1. 在 CANTAACK 寄存器中设置相应的中止确认标志（ABTAK）。
2. 设置相关的 TXE 标志来释放缓冲器。
3. 生成发送中断。发送中断处理程序软件能够根据 ABTAK 标志的设置确定是报文中止（ABTAK = 1）还是已发送（ABTAK = 0）。

12.5.2.3 接收结构

收到的报文保存在 5 级输入 FIFO 中。5 个报文缓冲器被交替映射到单个存储器区域（参见图 12-38）。后台接收缓冲器（RxBG）只与 MSCAN 相关，但前景接收缓冲器可以通过 CPU 寻址（参见图 12-38）。这种机制简化了处理程序软件，因为接收流程只需访问一个地址。

如使能的话，所有接收缓冲器都有 15 字节大小空间来保存 CAN 控制位、标识符（标准或扩展）、数据内容（参见 12.4，“报文存储模式”）。

接收器已满标志（RXF）（参见 12.3.4.1，“MSCAN 接收器标志寄存器（CANRFLG）”）显示前景接收缓冲器的状态。当缓冲器包含带有匹配标识符的正确接收报文时，设置该标志。

接收时，检查每条报文，看看它是否通过滤波器（参见 12.5.3，“标识符接收滤波器”），同时被写入有效 RxBG。成功接收到有效报文后，MSCAN 将 RxBG 的内容转移到接收器 FIFO2，设置 RXF 标志并向 CPU3 生成一个接收中断（参见 12.5.7.3，“接收中断”）。用户的接收处理程序必须从 RxFG 读取收到的报文，然后复位 RXF 标志，确认中断、释放前景缓冲器。在某些情况下，紧跟 CAN 帧的 IFS 字段后的新报文，将被接收到下一个可用 RxBG 中。如果 MSCAN 在其 RxBG 中接收到无效报文（错误标识符、发送错误等），缓冲器的实际内容将被下一条报文覆盖。缓冲器随后不会转移到 FIFO。

当 MSCAN 模块正在发送报文时，MSCAN 把其自己发送的报文接收到后台接收缓冲器 RxBG，但不会将它转移到接收器 FIFO，生成接收中断或在 CAN 总线上响应其自己的报文。这一规则的例外是在环回模式（参见 12.3.2，“控制寄存器 1（CANCTL1）”）中，这时 MSCAN 会完全按照同所有其他报文一样的方式处理其自己的报文。当仲裁丢失时，MSCAN 接收其自己发送的报文。如果仲裁丢失，MSCAN 必须做好成为接收器的准备。

当 FIFO 中的所有接收报文缓冲器充满了带有已接收标识符的正确接收报文，且从 CAN 总线中正确接收到另外一条带有已接收标识符的报文时，就会出现溢出。后面这一条报文被丢弃，并生成带有溢出标志的错误中断（参见 12.5.7.5，“错误中断”）。当接收器 FIFO 已满时，MSCAN 仍能发送报文，但所有进入报文会被丢弃。一旦 FIFO 中的接收缓冲器重新可用，就能接收新的有效报文。

图 14-3 SCI 接收器结构图

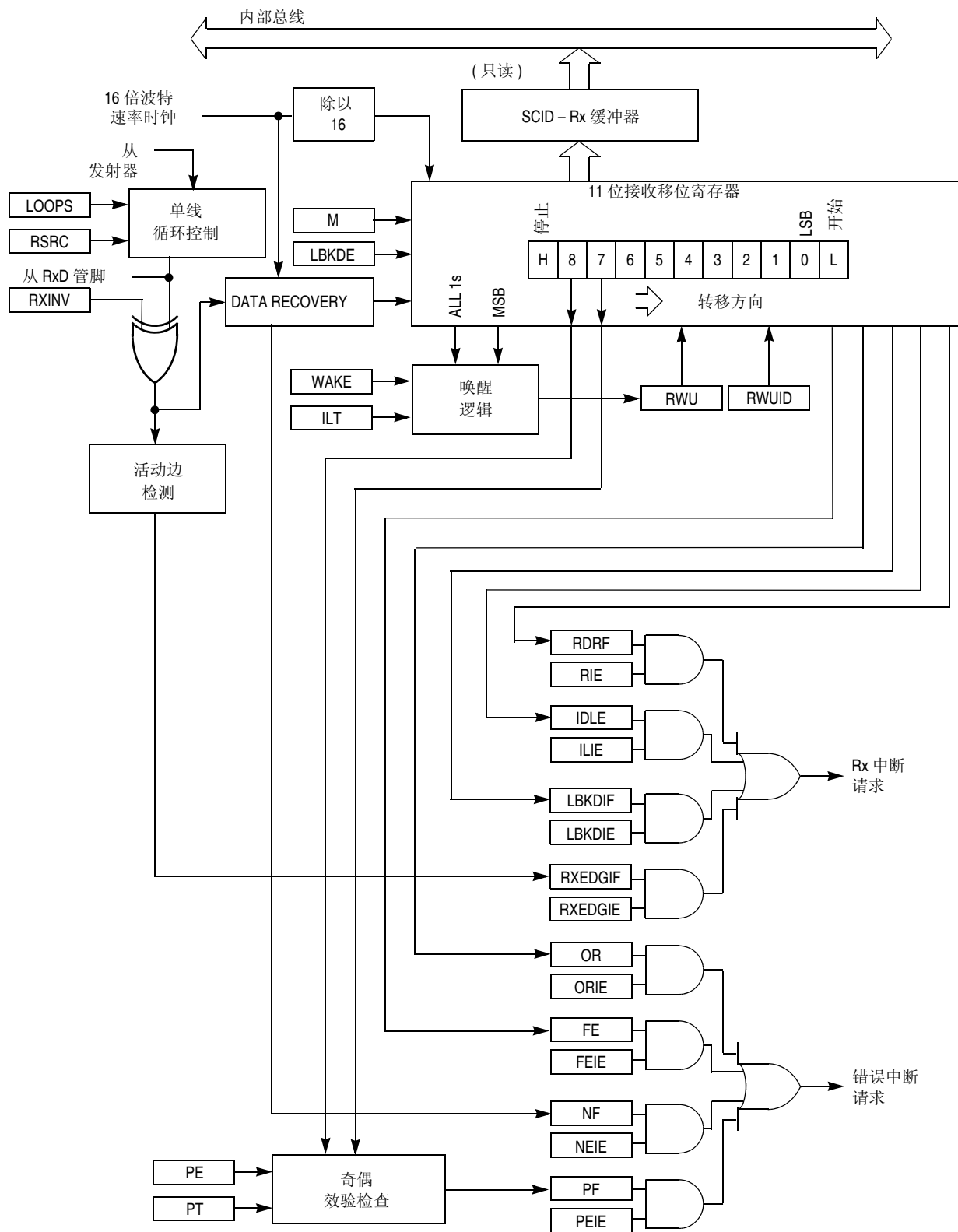


图 14-3. SCI 接收器结构图

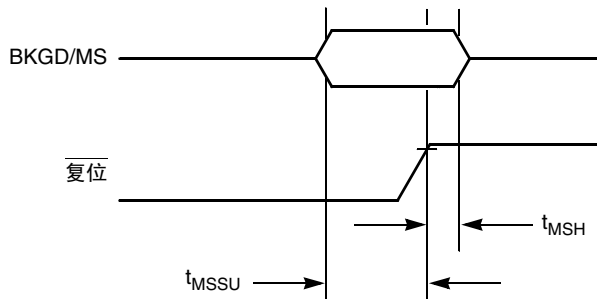


图 A-3. 激活背景调试模式锁定时序

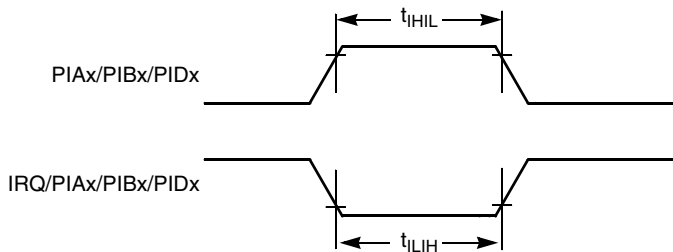


图 A-4. 管脚中断时序

A.12.2 定时器 /PWM

同步器电路决定着可被识别的最短输入脉冲或可以用作定时器计数器的可选外部源的最快时钟。这些同步器当前的总线速率时钟中进行操作。

表 A-14. TPM 输入时序

编号	C	参数	符号	最小值	最大值	单位
9	—	外部时钟频率	f_{TCLK}	dc	$f_{Bus}/4$	MHz
10	—	外部时钟时间	t_{TCLK}	4	—	t_{cyc}
11	D	外部时钟高时间	t_{clkh}	1.5	—	t_{cyc}
12	D	外部时钟低时间	t_{clkl}	1.5	—	t_{cyc}
13	D	输入捕捉脉冲宽度	t_{ICPW}	1.5	—	t_{cyc}

B.7 TPM 中断

TPM 为主计数器溢出生成可选的中断，为每个通道生成一个中断。通道中断的意义取决于每个通道的运行模式。如果通道被配置用于输入捕获，所选的输入捕获边每次被识别时中断标记被设置。如果通道配置用于输出比较或 PWM 模式，中断标记会在每次主定时器计数器与 16 位通道值寄存器中的值匹配时被设置。参见复位、中断和系统配置一章了解绝对中断向量地址、优先级和本地中断掩码控制位。

对于 TPM 中的每个中断源，会在识别到中断条件（如定时器溢出、通道输入捕获或输出比较事件等）后设置标记位。这个标记可被软件读取（轮询）以确定操作已经发生，或者也可设置相关的启动位（TOIE 或 CHnIE）以启动硬件中断生成。中断启动位被设置时，相关中断标记等于 1 时会生成静态中断。从中断服务程序中返回前，用户软件必须执行一系列步骤来清除中断标记。

B.7.1 清除定时器中断标记

TPM 中断标记通过两个步骤来清除：标记位被设置（1）时被读取，然后是向该位中写入一个 0。如果在这两步间检测到新事件，序列被复位，并且在第二步后中断标记仍被设置以避免错过新事件的可能性。

B.7.2 定时器溢出中断描述

导致 TOF 被设置的条件取决于计数模式（向上或向上 / 向下）。在向上计数模式中，16 位定时器计数器从 0x0000 计数到 0xFFFF，然后在下一个计数时钟上溢出到 0x0000。在从 0xFFFF 过渡到 0x0000 时 TOF 被设置。设置了模数限制的情况下，TOF 标记会在从模数寄存器中设置的值过渡到 0x0000 时被设置。当计数器以向上 / 向下模式运行时，TOF 标记会在计数器从模数寄存器中设置的计数值和下一个更低计数值过渡而改变方向时被设置。这与 PWM 周期的结束对应（0x0000 计数值与周期中央对应）。

B.7.3 通道事件中断描述

通道中断的含义取决于通道的当前模式（输入捕获、输出比较、边缘对齐 PWM 或中央对齐 PWM）。

当通道被配置为输入捕获通道时，ELSnB:ELSnA 控制位选择上升边、下降边、任何边或无边（关）作为触发输入捕获事件的边。检测到选定的边之后，中断标记被设置。标记通过 B.7.1，“清除定时器中断标记”中所述的两步序列清除。

如果通道被配置为输出比较通道，每次主定时器计数器与通道值寄存器中的 16 位值匹配时会设置中断标记。标记通过 B.7.1，“清除定时器中断标记”中所述的两步序列清除。