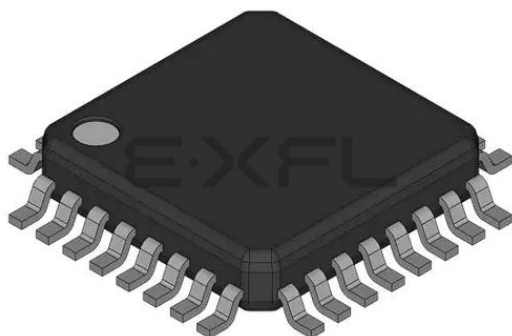




Welcome to [E-XFL.COM](https://www.e-xfl.com)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	16KB (16K x 8)
Program Memory Type	FLASH
EEPROM Size	512 x 8
RAM Size	1K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/pro/item?MUrl=&PartUrl=s9s08dz16f2mlc

第 2 章

管脚和连接

本章描述连接到各封装管脚的信号，内容包括管脚布局图、建议的系统连接并对信号进行了详细地描述。

2.1 器件管脚分配

本节介绍了 MC9S08DZ60 系列 MCU 各种封装的管脚分配状况。

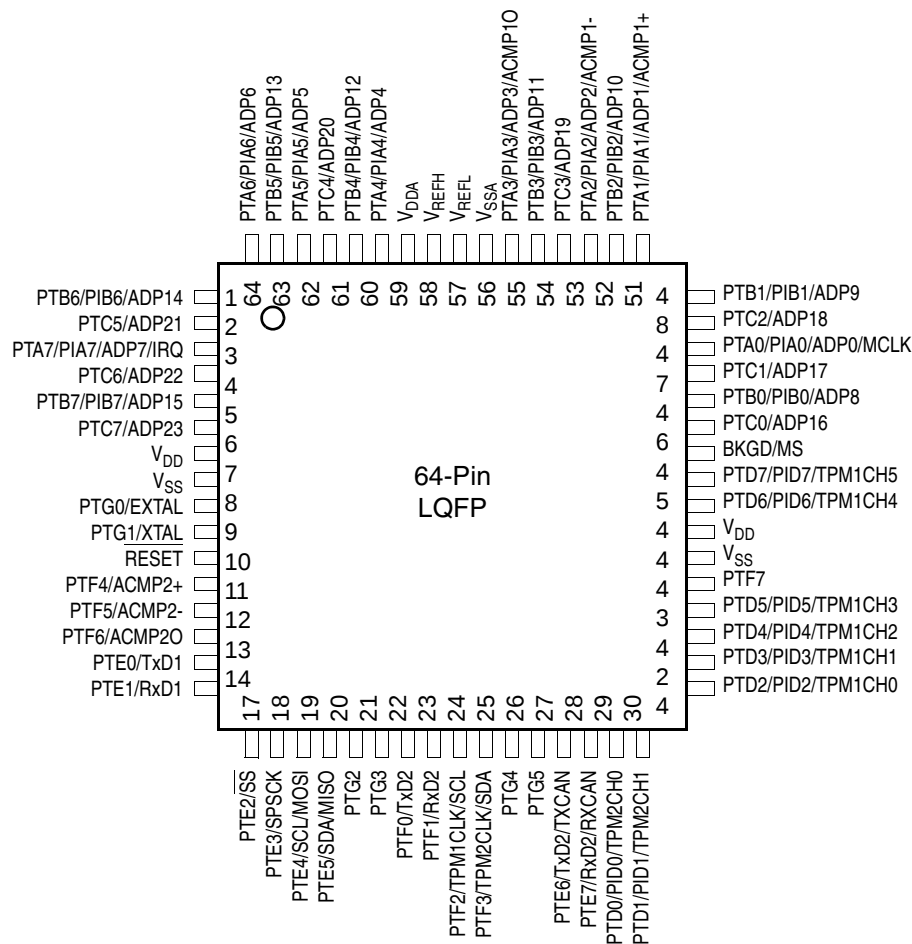


图 2-1. 64 管脚 LQFP

安全密钥只能从安全存储器（RAM、EEPROM 或 Flash）中写入，因此在没有安全的用户程序协作的情况下不能通过后台命令输入。

后门对比密钥 (NVBACKKEY through NVBACKKEY+7) 保存在非易失性寄存器空间内的 Flash 位置上，因此用户可以准确地编程这些位置，就象编程任何其他 Flash 位置一样。非易失性寄存器与复位和中断向量在 Flash 的同一个 768 字节块中，因此对这一空间进行块保护同时也可以保护后门对比密钥。块保护不能从用户应用程序上修改，因此，如果向量空间受到块保护，后门安全密钥机制就不能永久性地修改块保护、安全设置或后门密钥。

通过以下步骤，您可以通过后台调试接口始终关闭安全性：

1. 通过写入 FPROT 来禁用任何块保护。FPROT 只能通过后台调试命令写入而不能通过应用软件写入。
2. 在必要时整体擦除 Flash。
3. 对 Flash 进行空白检查。如果 Flash 内完全擦除，那么在下次复位前安全性一直处于关闭状态。为了避免在下次复位后返回到安全模式，对 NVOPT 进行编程使 SEC = 1:0。

4.5.10 EEPROM 映射

只有一半 EEPROM 处于存储器映象中。FCNFG 寄存器中的 EPGSEL 位用于确定阵列的哪一半可从前台访问，而另一半不能从后台访问。对于配置 8 字节 EEPROM 分区，有两种映射模式可供选择：4 字节模式和 8 字节模式。每种模式都通过 FOPT 寄存器中的 EPGMOD 位确定。

在 4 字节分区模式 (EPGMOD = 0) 中，每个 8 个字节分区被分成两部分，4 个字节在前台，4 个在后台，但都在相同的地址上。EPGSEL 位确定哪 4 个字节可以访问。在分区擦除过程中，整个 8 字节分区（前台的 4 个字节和后台的 4 个字节）都被擦除。

在 8 字节分区模式 (EPGMOD = 1) 中，每个 8 字节分区在一个页面上。EPGSEL 位确定哪些分区在后台。在分区擦除过程中，前台的整个 8 字节分区会被擦除。

4.5.11 Flash 和 EEPROM 寄存器及控制位

Flash 和 EEPROM 模块在高端页面寄存器空间内有 7 个 8 位寄存器，在 Flash 的非易失性寄存器空间内有 3 个位置。这些位置中的两个在复位时被拷贝到两个相应的高端页面控制寄存器中。Flash 中还有一个 8 字节对比密钥。对于 Flash 和 EEPROM 寄存器的绝对地址分配情况，请参见表 4-3 和表 4-5。这一部分用名称指代寄存器和控制位。通常飞思卡尔半导体提供变量定义或头文件用于将这些名称转换为相应的绝对地址。

4.5.11.1 Flash 和 EEPROM 时钟分频寄存器 (FCDIV)

该寄存器的第 7 位是一个只读标记。6:0 位可以在任何时候读取但只能写入一次。在开始任何擦除或编程操作之前，写入该寄存器以将非易失性内存系统的时钟频率设置在可接受的限度内。

6.5.2.5 B 端口驱动强度选择寄存器 (PTBDS)

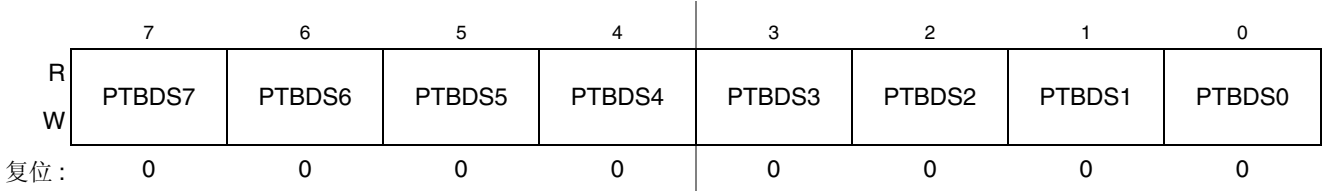


图 6-15. B 端口寄存器驱动强度选择 (PTBDS)

表 6-13. PTBDS 寄存器字段描述

字段	描述
7:0 PTBDS[7:0]	B 端口位的输出驱动强度选择 — 这些控制位为相关 PTB 管脚选择低输出驱动和高输出驱动。对于配置为输入的 B 端口管脚，这些位不会产生任何影响。 0 B 端口位 - 选择的低输出驱动强度。 1 B 端口位 - 选择的高输出驱动强度。

6.5.2.6 B 端口中断状态和控制寄存器 (PTBSC)

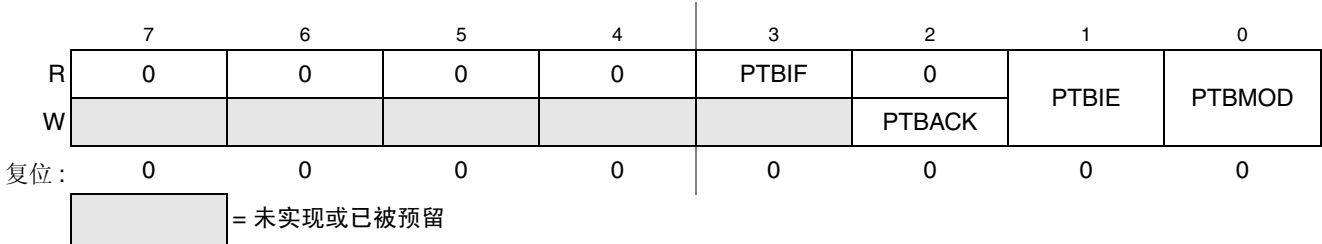


图 6-16. B 端口中断状态和控制寄存器 (PTBSC)

表 6-14. PTBSC 寄存器字段描述

字段	描述
3 PTBIF	B 端口中断标志 — PTBIF 显示是否检测到 B 端口中断。写入对 PTBIF 没有任何影响。 0 未检测到 B 端口中断。 1 检测到 B 端口中断。
2 PTBACK	B 端口中断确认 — 向 PTBACK 写入 1 是标记清除机制的一部分。PTBACK 的读数总为 0。
1 PTBIE	B 端口中断使能 — PTBIE 决定是否请求 B 端口中断。 0 B 端口中断请求禁止。 1 B 端口中断请求使能。
0 PTBMOD	B 端口检测模式 — PTBMOD (同 PTBES 位一起) 控制着 B 端口中断管脚的检测模式。 0 B 端口管脚只检测边沿。 1 B 端口管脚同时检测边沿和电平。

表 7-3. 操作码映射（第 2 页，共 2 页）

Bit-Manipulation		Branch	Read-Modify-Write				Control				Register/Memory					
						9E60 6 3 NEG SP1					9ED0 5 4 SUB SP2	9EE0 4 3 SUB SP1				
						9E61 6 4 CBEQ SP1					9ED1 5 4 CMP SP2	9EE1 4 3 CMP SP1				
											9ED2 5 4 SBC SP2	9EE2 4 3 SBC SP1				
						9E63 6 3 COM SP1					9ED3 5 4 CPX SP2	9EE3 4 3 CPX SP1	9EF3 6 3 CPHX SP1			
						9E64 6 3 LSR SP1					9ED4 5 4 AND SP2	9EE4 4 3 AND SP1				
											9ED5 5 4 BIT SP2	9EE5 4 3 BIT SP1				
						9E66 6 3 ROR SP1					9ED6 5 4 LDA SP2	9EE6 4 3 LDA SP1				
						9E67 6 3 ASR SP1					9ED7 5 4 STA SP2	9EE7 4 3 STA SP1				
						9E68 6 3 LSL SP1					9ED8 5 4 EOR SP2	9EE8 4 3 EOR SP1				
						9E69 6 3 ROL SP1					9ED9 5 4 ADC SP2	9EE9 4 3 ADC SP1				
						9E6A 6 3 DEC SP1					9EDA 5 4 ORA SP2	9EEA 4 3 ORA SP1				
						9E6B 8 4 DBNZ SP1					9EDB 5 4 ADD SP2	9EEB 4 3 ADD SP1				
						9E6C 6 3 INC SP1										
						9E6D 5 3 TST SP1										
										9EAE 5 2 LDHX IX	9EBE 6 4 LDHX IX2	9ECE 5 3 LDHX IX1	9EDE 5 4 LDX SP2	9EEE 4 3 LDX SP1	9EFE 5 3 LDHX SP1	
						9E6F 6 3 CLR SP1					9EDF 5 4 STX SP2	9EEF 4 3 STX SP1	9EFF 5 3 STHX SP1			

INH 固有
IMM 即时
DIR 直接
EXT 扩展
DD DIR 至 DIR
IX+D IX+ 至 DIR

REL 相关
IX 索引，无偏移
IX1 索引，8 位偏移
IX2 索引，16 位偏移
IMD IMM 至 DIR
DIX+ DIR 至 IX+

SP1 堆栈指针，8 位偏移
SP2 堆栈指针，16 位偏移
IX+ 有索引，无偏移、
带后增量
IX1+ 有索引，1 字节偏移、
带后增量

注意：第 2 页的所有操作码前面都带有 Page 2 Prebyte（9E）

十六进制操作码 | 9E60 6
NEG
3 SP1 | HCS08 周期
指令助记符
寻址模式

8.2.2 运行模式

MCG 有 9 种运行模式：

- FLL Engaged Internal (FEI)
- FLL Engaged External (FEE)
- FLL Bypassed Internal (FBI)
- FLL Bypassed External (FBE)
- PLL Engaged External (PEE)
- PLL Bypassed External (PBE)
- Bypassed Low Power Internal (BLPI)
- Bypassed Low Power External (BLPE)
- Stop

如需了解更多信息 8.5.1，“运行模式”。

8.3 外部信号描述

没有片外连接的 MCG 信号

8.4 寄存器定义

8.4.1 MCG 控制寄存器 1 (MCGC1)

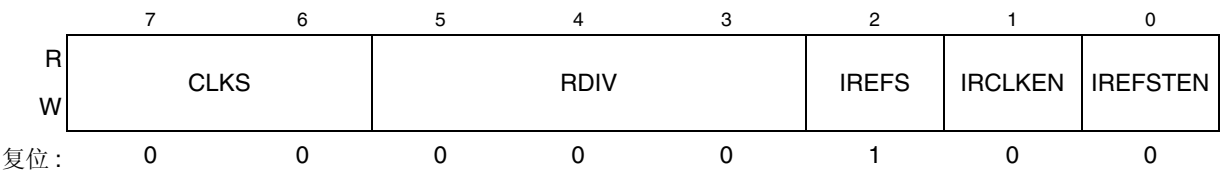


图 8-3. MCG 控制寄存器 1 (MCGC1)

当提供了 ADHWT 源且已使能了硬件触发 (ADTRG=1) 时, ADHWT 的上升沿上就发起转换。如果转换进行过程中再出现上升沿, 该上升沿就被忽略。在连续转换模式下, 只是触发连续转换的初始上升沿有效。硬件触发功能可以结合任意转换模式和配置一起运行。

10.5.4 转换控制

转换可以在 12 位、10 位或 8 位模式下进行, 由 MODE 位决定。转换可以由软件或硬件触发发起。此外, ADC 模块也可以设置为低功率操作、长采样时间、连续转换或将转换结果与软件设定的比较值自动比较的方式。

10.5.4.1 发起转换

转换的发起:

- 如果选择软件触发操作, 在 ADCSC1 写入 (ADCH 位不全为 1) 后。
- 即使选择硬件触发操作, 在硬件触发 (ADHWT) 事件后。
- 当使能连续转换时, 在把结果传输到数据寄存器后。

如果使能连续转换, 在当前转换完成会就自动发起一个新转换。在软件触发操作中, 连续转换在写入 ADCSC1 后就开始, 并且一直持续直到被中止。在硬件触发操作中, 连续转换在硬件触发事件后开始, 并且一直持续直到被中止。

10.5.4.2 完成转换

当转换结果被传输到数据结果寄存器 ADCRH 和 ADCRL 中时, 转换完成。这通过置位 COCO 标识。如果置位 COCO 时 AIEN 高, 就会触发中断。

如果原有数据正在在 12 位或 10 位 MODE 中被读取, 拦截机制可以防止新结果覆盖 ADCRH 和 ADCRL 中的原有数据 (ADCRH 寄存器已被读取, 但 ADCRL 寄存器还没有)。当拦截处于工作状态时, 数据传输被拦截, COCO 未被置位而且新转换结果丢失。在使能了比较功能但比较条件不成立的单次转换中, 拦截不会起作用, ADC 操作终止。在其他模式下, 当数据传输被拦截时, 都会发起另另外一次转换, 而无论 ADCO 处于何种状态 (单次或连续转换使能)。

如果单次转换使能, 拦截机制可能会导致几个转换被丢失, 且功耗过高。为了避免这一问题, 数据寄存器必须在发起单转换且完成了转换后再读取。

10.5.4.3 中止转换

当出现下列情况时, 进行中的任何转换都将中止:

- ADCSC1 写入 (当前转换被中止, 如果 ADCH 不都是 1, 则会发起一个新转换。)
- ADCSC2、ADCCFG、ADCCVH 或 ADCCVL 写入。这表明出现运行模式更改, 当前转换因此无效。
- MCU 复位。
- MCU 进入停止模式, ADACK 被禁止。

当转换被中止时, 数据寄存器、ADCRH 和 ADCRL 的内容都不变, 保持上次成功转换完成后传输的值。如果由于复位中断了转换, ADCRH 和 ADCRL 返回其复位状态。

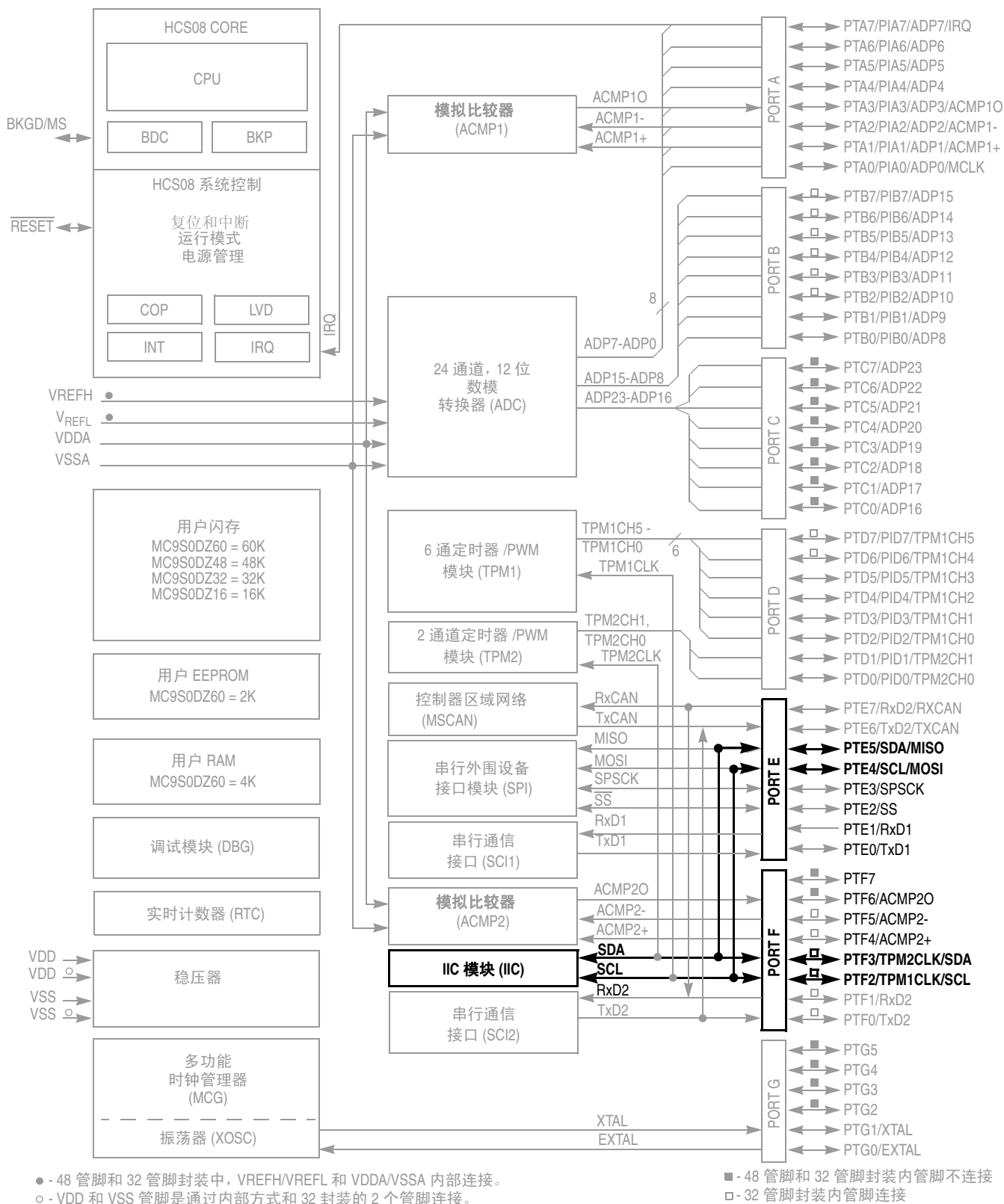


图 11-1. MC9S08DZ60 结构图

11.2.1 特性

IIC 包括以下明显的特性：

- 兼容 IIC 总线标准
- 多主操作
- 可以软件编程为 64 种不同串行时钟频率的任意一种
- 软件可选应答位
- 中断驱动的逐字节数据传输
- 仲裁丢失中断，可以自动地从主模式切换到从模式
- 主叫地址识别中断
- 开始和停止信号生成 / 检测
- 重复生成启动信号
- 应答位生成 / 检测
- 总线忙检测
- 通用呼叫识别
- 10 位地址扩展

11.2.2 运行模式

不同 MCU 模式中的 IIC 的简要描述如下：

- 运行模式 — 这是基本运行模式。要降低这种模式下的功耗，只需禁止模块。
- 等待模式 — 当 MCU 处于等待模式时，模块继续运行并能够提供唤醒中断。
- 停止模式 — IIC 在 STOP3 模式中是不停止的，以降低功耗。停止指令不会影响 IIC 寄存器状态。STOP2 复位寄存器内容。

表 11-4. IIC 分频器和保持值

ICR (hex)	SCL 分频器	SDA 保持值	SCL 保持 (开始) 值	SDA 保持 (停止) 值
00	20	7	6	11
01	22	7	7	12
02	24	8	8	13
03	26	8	9	14
04	28	9	10	15
05	30	9	11	16
06	34	10	13	18
07	40	10	16	21
08	28	7	10	15
09	32	7	12	17
0A	36	9	14	19
0B	40	9	16	21
0C	44	11	18	23
0D	48	11	20	25
0E	56	13	24	29
0F	68	13	30	35
10	48	9	18	25
11	56	9	22	29
12	64	13	26	33
13	72	13	30	37
14	80	17	34	41
15	88	17	38	45
16	104	21	46	53
17	128	21	58	65
18	80	9	38	41
19	96	9	46	49
1A	112	17	54	57
1B	128	17	62	65
1C	144	25	70	73
1D	160	25	78	81
1E	192	33	94	97
1F	240	33	118	121

ICR (hex)	SCL 分频器	SDA 保持值	SCL 保持 (开始) 值	SDA 保持 (停止) 值
20	160	17	78	81
21	192	17	94	97
22	224	33	110	113
23	256	33	126	129
24	288	49	142	145
25	320	49	158	161
26	384	65	190	193
27	480	65	238	241
28	320	33	158	161
29	384	33	190	193
2A	448	65	222	225
2B	512	65	254	257
2C	576	97	286	289
2D	640	97	318	321
2E	768	129	382	385
2F	960	129	478	481
30	640	65	318	321
31	768	65	382	385
32	896	129	446	449
33	1024	129	510	513
34	1152	193	574	577
35	1280	193	638	641
36	1536	257	766	769
37	1920	257	958	961
38	1280	129	638	641
39	1536	129	766	769
3A	1792	257	894	897
3B	2048	257	1022	1025
3C	2304	385	1150	1153
3D	2560	385	1278	1281
3E	3072	513	1534	1537
3F	3840	513	1918	1921

表 11-6. IICS 字段描述

字段	描述
7 TCF	传输完成标志。该位在字节传输完成时置位。该位只有在 IIC 模块往返传输过程中或刚传输完成后才有效。TCF 位的清除通过在接收模式中读取 IICD 寄存器或在发送模式中写入 IICD。 0 传输正在进行 1 传输完成
6 IAAS	匹配从机。当主叫地址匹配已编程的从机地址或当设置了 GCAEN 位且收到通用呼叫时，设置 IAAS 位。写 IICC 寄存器则清除该位。 0 未寻址 1 已寻址从机
5 BUSY	总线忙。BUSY 位表示总线的状态，无论是处于从模式还是主模式。当检测到启动信号时设置 BUSY 位，当检测到停止信号时清除。 0 总线空闲 1 总线忙
4 ARBL	仲裁丢失。当仲裁丢失时，该位由硬件设置。ARBL 位必须通过由软件向其中写入 1 来清除。 0 标准总线运行 1 仲裁丢失
2 SRW	从机读 / 写。当寻址到从机时，SRW 位指示发送给主叫地址主机的 R/W 命令位的值。 0 从机接收，主机写入从机 1 从机发送，主机从从机中读取
1 IICIF	IIC 中断标记。当有中断等待时，设置 IICIF 位。该位必须通过由软件向其中写入 1 来清除。以下事件可以设置 IICIF 位： • 一个字节传输完成 • 从机地址匹配主叫地址 • 仲裁丢失 0 无等待中断 1 有等待中断
0 RXAK	接收确认。当 RXAK 位低时，表示向总线传输一个字节数据完成后收到应答信号。如果 RXAK 位高，表示没有检测到应答信号。 0 收到应答 1 未收到应答

11.4.5 IIC 数据 I/O 寄存器（IICD）



图 11-7. IIC 数据 I/O 寄存器（IICD）

表 11-7. IICD 字段描述

字段	描述
7-0 DATA	数据—在主传输模式中，当数据写入 IICD 时，数据传输被发起。最高位先传送。在主接收模式中，读取该寄存器启动接收下一字节的数据。

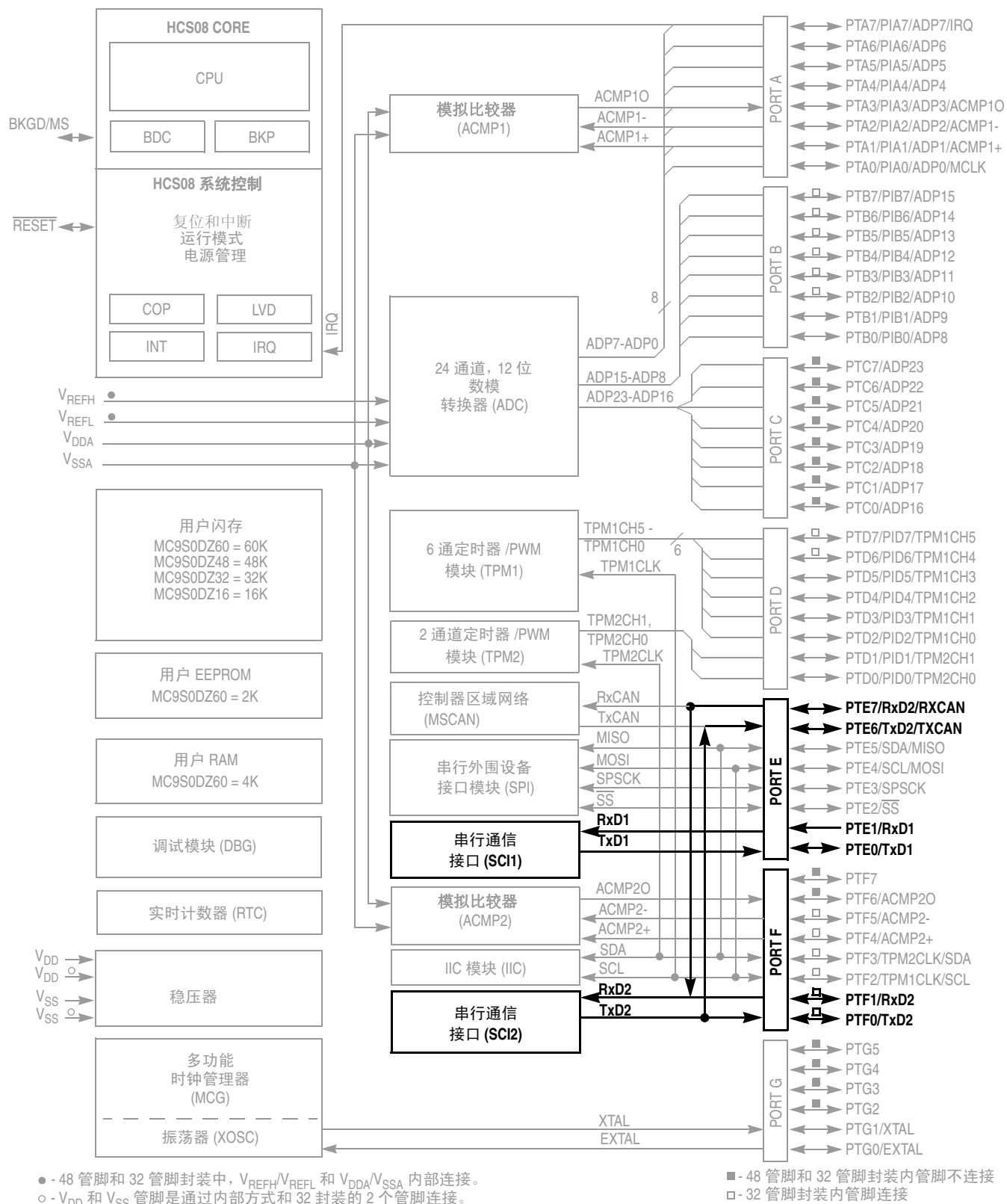


图 14-1. MC9S08DZ60 结构图

14.2 寄存器定义

SCI 有 8 个 8 位寄存器，来控制波特速率、选择 SCI 选项、报告 SCI 状态和发送 / 接收数据。
如需了解所有 SCI 寄存器的绝对地址分配，参见本文 Memory 章的直接页面寄存器概述。本小节只提及了寄存器和控制位的名称，飞思卡尔提供的对照表或头文件用来把这些名称转换成适当的绝对地址。

14.2.1 SCI 波特率寄存器 (SCIxBDH, SCIxBDL)

这两个寄存器控制着生成 SCI 波特率的预分频系数。要更新 13 位波特率设置 [SBR12:SBR0]，首先写入 SCIxBDH，缓存生成的高位字节，然后再写入 SCIxBDL。SCIxBDH 中的值在写入 SCIxBDL 前不会变化。
SCIxBDL 复位为非零值，因此复位后，波特率发生器一直保持禁止，直到第一次使能接收器或发射器（SCIxC2 中的 RE 或 TE 位写为 1）。

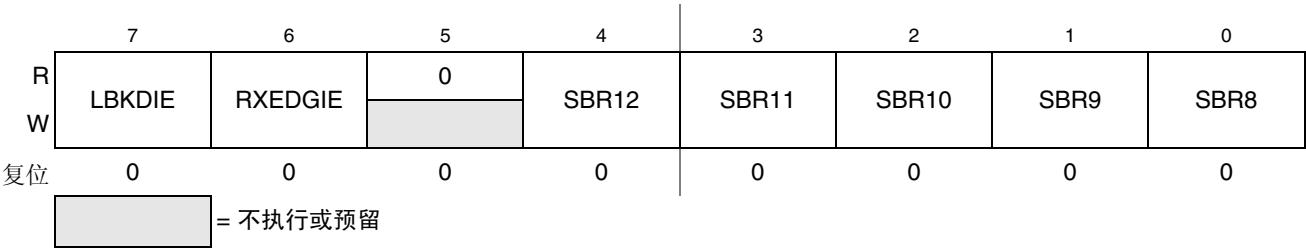


图 14-4. SCI 波特率寄存器 (SCIxBDH)

表 14-2. SCIxBDH 字段描述

字段	描述
7 LBKDIE	LIN 断点检测中断使能（用于 LBKDIF） 0 来自 LBKDIF 的硬件中断禁止（使用轮询） 1 当 LBKDIF 标记为 1 时，硬件中断允许
6 RXEDGIE	RxD 输入活动边中断使能（用于 RXEDGIF） 0 禁止来自 RXEDGIF 的中断（使用轮询）。 1 当 RXEDGIF 标记为 1 时，允许硬件中断。
4:0 SBR[12:8]	波特率模数除数 — SBR[12:0] 中的 13 个位统称为 BR，它们为 SCI 波特率发生器设置模数除数系数。当 BR = 0，SCI 波特率发生器禁止，以降低电源电流。当 BR = 1~8191 时，SCI 波特率 = BUSCLK/（16xBR）。也可参见中的 BR 位。表 14-3 中的 BR 位。

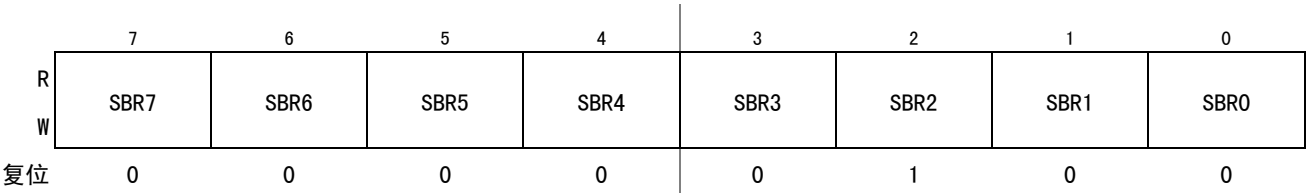


图 14-5. 波特率寄存器 (SCIxBDL)

14.3.5.2 停止模式运行

在所有停止模式中，SCI 模块的时钟都被暂停。

在 STOP1 和 STOP2 模式中，所有 SCI 寄存器数据丢失，当从这两种停止模式恢复时必须重新初始化。任何 SCI 模块寄存器在 STOP3 模式中都不受影响。

接收输入活动边沿检测电路在 STOP3 模式中仍然是活动的，但在 STOP2 模式中不活动。如果中断未屏蔽（RXEDGIE = 1），接收输入上的活动边沿将把 CPU 带离 STOP3 模式。

注意，由于时钟被暂停，当从停止模式（仅在 STOP3 模式）退出时，SCI 模块会重新开始运行。当 ISC 模块正在发送或接收字符时，软件应确保不会进入停止模式。

14.3.5.3 循环模式

当 LOOPS = 1 时，相同寄存器中的 RSRC 位选择循环模式（RSRC = 0）或单线模式（RSRC = 1）。循环模式独立于外部系统连接，有时用于检查软件，以帮助隔离系统问题。在该模式中，发射器输出内部连接到接收器输入，且 SCI 不使用 RxD 管脚，因此它恢复为通用端口 I/O 管脚。

14.3.5.4 单线运行

当 LOOPS = 1 时，相同寄存器中的 RSRC 位选择循环模式（RSRC = 0）或单线模式（RSRC = 1）。单线模式用来执行半双工串行连接。接收器内部连接到发射器输出和 TxD 管脚。RxD 管脚不使用并恢复为通用端口 I/O 管脚。

在单线模式中，SCIxC3 中的 TXDIR 位控制着 TxD 管脚上的串行数据方向。当 TXDIR = 0 时，TxD 管脚是 SCI 接收器的输入，发射器与 TxD 管脚的连接被暂时断开，因此外部器件就可以向接收器发送串行数据。当 TXDIR = 1 时，TxD 管脚是一个由发射器驱动的输出。在单线模式中，辅发射器到接收器的内部环回连接使接收器接收由发射器发送出来的字符。

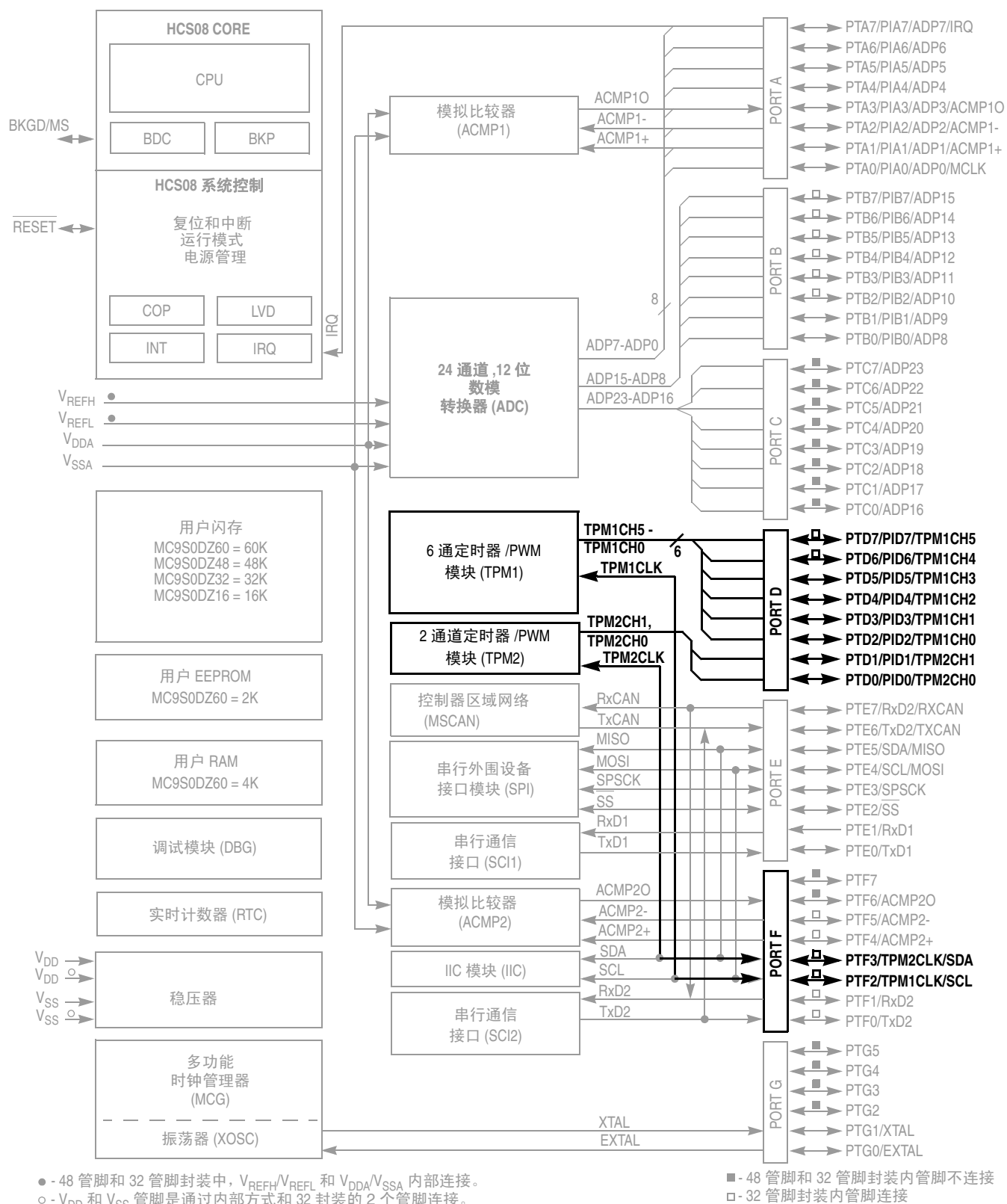


Figure 16-1. MC9S08DZ60 结构图

从 TPM v2 到 TPM v3 的差异

1. 写入到 TPMxCnTH:L 寄存器中 (16.3.2, “计数器的寄存器 (TPMxCNTH:TPMxCNTL)”) [SE110-TPM 案例 7]

向 TPM v3 中任何 TPMxCNTH 或 TPMxCNTL 寄存器的写入可清除 TPM 计数器 (TPMxCNTH:L) 和预分频器计数器。然而, 在这种情况下, TPM v2 中只有 TPM 计数器被清除。

2. TPMxCNTH:L 寄存器的读取 (16.3.2, “计数器的寄存器 (TPMxCNTH:TPMxCNTL)”)
 - 在 TPM v3 中, BDM 模式下 TPMxCNTH:L 寄存器的任何读取都会返回冻结的 TPM 计数器的值。在 TPM v2 中, 如果 BDM 模式使能前只有 TPMxCNTH:L 寄存器的一个字节被读取, 那么 BDM 模式下对 TPMxCNTH:L 寄存器的任何读取都将从读取缓冲器而不是冻结的 TPM 计数器值中返回 TPMxCNTH:L 的锁定值。
 - 如果有向 TPMxSC、TPMxCNTH 或 TPMxCNTL 的写入, 那么该读取一致性机制将在 BDM 模式下从 TPM v3 中清除。然而, 在这些情况下, TPM v2 不会清除这种读取一致性机制。

3. TPMxCnVH:L 寄存器的读取 (16.3.5, “TPM 通道值寄存器 (TPMxCnVH:TPMxCnVL)”)
 - 在 TPM v3 中, BDM 模式下对 TPMxCnVH:L 寄存器的任何读取都会返回 TPMxCnVH:L 寄存器中的值。在 TPM v2 中, 如果 BDM 模式使能前只有 TPMxCnVH:L 寄存器的一个字节被读取, 那么 BDM 模式下对 TPMxCnVH:L 寄存器的任何读取都将从读取缓冲器而不是 TPMxCnVH:L 寄存器值中返回 TPMxCNTH:L 的锁定值。
 - 如果有 TPMxCnSC 写入操作, 该读取一致性机制在 BDM 模式下在 TPM v3 中被清除。然而, 在这种情况下, TPM v2 不会清除这种读取一致性机制。

4. 写入到 TPMxCnVH:L 寄存器
 - 输入捕捉模式 (16.4.2.1, “输入捕捉模式”)

在此模式下, TPM v3 不允许向 TPMxCnVH:L 寄存器写入任何值。然而, TPM v2 允许写入。
 - 输出比较模式 (16.4.2.2, “输出比较模式”)

在此模式下, 如果 (CLKSB:CLKSA not = 0:0), 那么 TPM v3 会在第二个字节被写入、TPM 计数器再次发生变化 (预分频器计数结束) 时使用写入缓冲器的值更新 TPMxCnVH:L 寄存器。然而, TPM v2 总是在它们的第二个字节被写入时更新这些寄存器。
 - 边缘对齐 PWM (16.4.2.3, “边缘对齐 PWM 模式”)

在此模式下, 如果 (CLKSB:CLKSA not = 0:0), TPM v3 在两个字节都被写入, TPM 计数器从 (TPMxMODH:L - 1) 变为 (TPMxMODH:L) 时使用写入缓冲器的值更新 TPMxCnVH:L 寄存器。如果 TPM 计数器为自由运行的计数器, 那么更新在 TPM 计数器从 \$FFFE 变为 \$FFFF 时进行。然而, TPM v2 在两个字节都被写入, 且当 TPM 计数器从 TPMxMODH:L 变为 \$0000 时进行更新。

表 A-2. 绝对最大额定值

编号	参数	符号	值	单位
1	电源电压	V_{DD}	-0.3 to +5.8	V
2	输入电压	V_{In}	-0.3 to $V_{DD} + 0.3$	V
3	瞬时最大电流 单管脚极限（适用于所有端口管脚） ^{1, 2, 3}	I_D	± 25	mA
4	V_{DD} 中的最大电流	I_{DD}	120	mA
5	存储温度	T_{stg}	-55 to +150	°C

- ¹ 输入必须是限定为指定值的电流。要确定所需的电流限定电阻器的值，需要先计算正（ V_{DD} 和负（ V_{SS} ）钳位电压的电阻值，然后使用两个电阻值中的较大者。
- ² 所有功能性非电源管脚内部均钳位在 V_{SS} 和 V_{DD} 。
- ³ 在瞬时和操作最大电流条件下，电源必须维持在操作 V_{DD} 范围内。如果正注入电流（ $V_{In} > V_{DD}$ ）大于 I_{DD} ，则注入电流就可能超出 V_{DD} ，并导致外部电源不可调控。确保外部 V_{DD} 载荷分流大于最大注入电流的电流。当 MCU 不消耗功率时，就会有最大的风险，这样的例子包括：如果当前无系统时钟，或者如果时钟速率非常低，这都会降低总功耗。

A.4 热特性

本小节提供有关操作温度范围、功耗和封装热阻的信息。I/O 管脚上的功耗一般要比片上逻辑的功耗小，它由用户自己决定而非受 MCU 设计的控制。为了在功率计算中把 $P_{I/O}$ 考虑进去，先需要确定实际管脚电压和 V_{SS} or V_{DD} 间的差，并乘以每个 I/O 管脚的管脚电流。除非出现异常高的管脚电流（大负荷），管脚电压和 V_{SS} or V_{DD} 间的差非常小。

表 A-3. 热特征

编号	C	参数	符号	值	单位	温度代码
1	D	操作温度范围（打包后）	T_A	-40 至 125 -40 至 105 -40 至 85	°C	M V C
2	T	最高结温度 ¹	T_J	135	°C	—
3	D	热阻 ²				
		单层板				
		64- 管脚 LQFP	θ_{JA}	69	°C/W	
		48- 管脚 LQFP	θ_{JA}	75	°C/W	
		32- 管脚 LQFP	θ_{JA}	80	°C/W	
		四层板				
		64- 管脚 LQFP	θ_{JA}	51	°C/W	
		48- 管脚 LQFP	θ_{JA}	51	°C/W	
		32- 管脚 LQFP	θ_{JA}	52	°C/W	

- ¹ 结温度是晶元尺寸、片上功耗、封装热阻、安装点（主板）温度、周围温度、气流、主板上的其他组件功耗及主板热阻的函数。
- ² 结与环境的自然对流。

表 A-7. 电源电流特性 (续)

编号	C	参数	符号	V _{DD} (V)	典型值 ¹	最大值 ²	单位
5	P ⁴	停止 2 模式 电源电流 -40 °C (C, V, & M 后缀) 25 °C (所有部件) 105 °C (仅 V 后缀) 125 °C (仅 M 后缀) -40 °C (C, V, & M 后缀) 25 °C (所有部件) 105 °C (仅 V 后缀) 125 °C (仅 M 后缀)	S2I _{DD}	5	0.8	—	μA
	P ⁴				0.9	—	
	P				25	37	
	P				46	70	
	C			3	0.7	—	
	C				0.8	—	
	C				20	30	
	C				40	60	
6	C	增加 RTC 时的停止 2 或停止 3 ⁴ 的加法器、25°C		5	300	—	nA
				3	300	—	nA
7	C	增加 LVD 的停止 3 (LVDE = LVDSE = 1)		5	110	—	μA
				3	90	—	μA
8	C	增加振荡器启用时 ⁵ 的停止 3 (IRCLKEN = 1 和 IREFSTEN = 1 或 ERCLKEN = 1 和 EREFSTEN = 1)		5	5	—	μA
				3	5	—	μA

¹ 典型值典型值在 25°C 时测量的值，除非另有说明。

² 本列中的最大值适用于设备的整个操作温度范围，除非另有说明。

³ 25°C 时在所有部件上进行停止电流测试。在其他温度上的测试取决于部件编号后缀及产品的成熟度。一旦收集到足够的数据且被批准，飞思卡尔可能会把特殊温度下的测试从生产测试流程中消除。

⁴ 大多数客户都期望可以使用停止 2 或停止 3 的自动唤醒，而非更高电流的等待模式。

⁵ 以下条件下的给定值：低量程操作 (RANGE = 0)、低功率模式 (HGO = 0)

A.8 模拟比较器 (ACMP) 电气特性

表 A-8. 模拟比较器电气规范

编号	C	参数	符号	最小值	典型值	最大值	单位
9	—	电源电压	V _{DD}	2.7	—	5.5	V
10	D	电源电流 (活动)	I _{DDAC}	—	20	35	μA
11	D	模拟输入电压	V _{AIN}	V _{SS} - 0.3	—	V _{DD}	V
12	D	模拟输入偏移电压	V _{AIO}	—	20	40	mV
13	D	模拟比较器滞后	V _H	3.0	6.0	20.0	mV
14	D	模拟输入漏电流	I _{ALKG}	—	—	1.0	μA
15	D	模拟比较器初始化延迟	t _{AINIT}	—	—	1.0	μs

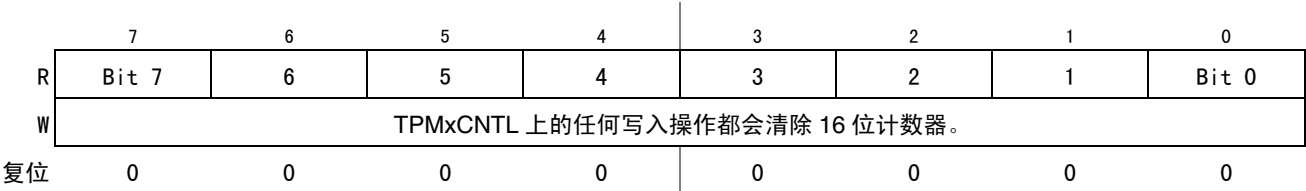


图 B-4. 定时器计数器寄存器低 (TPMxCNTL)

当背景模式处于活动状态时，定时器计数器和一致性机制被冻结，以便缓冲器锁定保持背景模式使能时的状态，无论背景模式使能时读取计数器的一个字节还是两个字节。

B.5.3 定时器计数器模量寄存器 (TPMxMODH:TPMxMODL)

读写 TPM 模量寄存器包括 TPM 计数器使用的模量值。在 TPM 计数器达到模量值后，TPM 计数器在下个时钟（CPWMS = 0）位置从 0x0000 重新计数，或者向下计数（CPWMS = 1），完成溢出标记（TOF）设置。写入 TPMxMODH 或 TPMxMODL 会抑制 TOF，溢出中断，直到书写另一个字节为止。复位操作会把 TPM 计数器模量寄存器设置为 0x0000，由此产生一个空运转定时器计数器（模量禁止）。

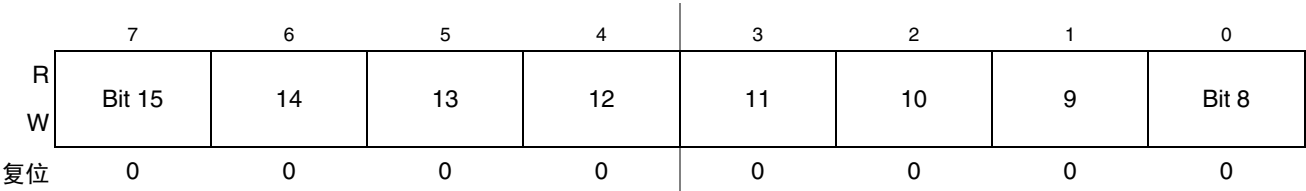


图 B-5. 定时器计数器模量寄存器高 (TPMxMODH)

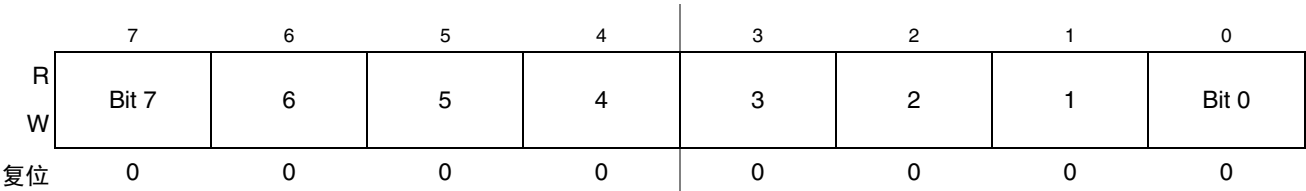


图 B-6. 定时器计数器模量寄存器低 (TPMxMODL)

最好的方法是等待溢出中断，这样模量寄存器的两个字节都可以在发生新溢出之前写入。另一种方法是在写入 TPM 模量寄存器前复位 TPM 计数器，避免第一个计数器溢出时发生混淆。

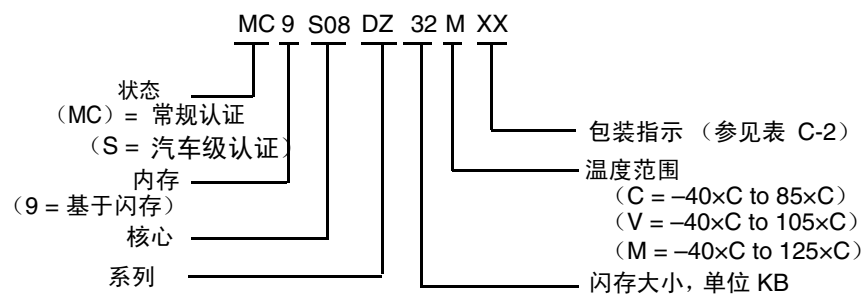
附录 C

订购信息和机械图

C.1 订购信息

本章包含 MC9S08DZ60 系列设备的订购信息。

设备编号体制举例：



C.1.1 MC9S08DZ60 Series 设备

表 C-1. MC9S08DZ60 Series 设备

设备编号	内存			可供包装 ¹
	FLASH	RAM	EEPROM	
MC9S08DZ60	60,032	4096	2048	64-LQFP, 48-LQFP, 32-LQFP
MC9S08DZ48	49,152	3072	1536	
MC9S08DZ32	33,792	2048	1024	
MC9S08DZ16	16,896	1024	512	48-LQFP, 32-LQFP

¹ 包装信息请参见表 C-2。

C.2 机械图

以下各页显示了下表中描述的包装的机械图：

表 C-2. Package 描述

Pin Count	典型值 e	Abbreviation	Designator	Document No.
64	低 Quad Flat Package	LQFP	LH	98ASS23234W
48	低 Quad Flat Package	LQFP	LF	98ASH00962A
32	低 Quad Flat Package	LQFP	LC	98ASH70029A

