

Welcome to E-XFL.COM

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	39
Program Memory Size	16KB (16K x 8)
Program Memory Type	FLASH
EEPROM Size	512 x 8
RAM Size	1K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 16x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	48-LQFP
Supplier Device Package	48-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/pro/item?MUrl=&PartUrl=s9s08dz16f2mlf

章节号	标题	页码
17.4.1	BDC 寄存器和控制位	334
17.4.2	系统背景调试强制复位寄存器 (SBDFR)	336
17.4.3	DBG 寄存器和控制位	336

附录 A 电气特征

A.1	简介	342
A.2	参数分类	342
A.3	绝对最大额定值	342
A.4	热特性	343
A.5	ESD 保护和抗闭锁方法	344
A.6	DC 特性	345
A.7	电源电流特性	347
A.8	模拟比较器 (ACMP) 电气特性	348
A.9	ADC 特性	349
A.10	外部振荡器 (XOSC) 特性	352
A.11	MCG 规范	353
A.12	AC 特性	354
	A.12.1 控制时序	355
	A.12.2 定时器 /PWM	356
	A.12.3 MSCAN	357
	A.12.4 SPI	358
A.13	闪存和 EEPROM	361
A.14	EMC 性能	362
	A.14.1 辐射放射性	362

附录 B 定时器脉宽调制器 (TPMV2)

B.1	介绍	364
B.2	特性	364
B.3	结构图	365
B.4	外部信号描述	366
	B.4.1 外部 TPM 时钟源	366
	B.4.2 TPMxCHn — TPMx 通道 n I/O 管脚	366
B.5	寄存器定义	366
	B.5.1 定时器状态和控制寄存器 (TPMxSC)	367
	B.5.2 定时器计数器寄存器 (TPMxCNTH:TPMxCNTL)	368
	B.5.3 定时器计数器模量寄存器 (TPMxMODH:TPMxMODL)	369
	B.5.4 定时器通道 n 状态和控制寄存器 (TPMxCnSC)	370
	B.5.5 TPM 通道值寄存器 (TPMxCnVH:TPMxCnVL)	371
B.6	功能介绍	372
	B.6.1 计数器	372

2.2.1 电源

V_{DD} 和 V_{SS} 是 MCU 基本的电源管脚。该电源为所有 I/O 缓冲器电路和一个内部稳压器供电。内部稳压器为 CPU 及 MCU 的其他内部电路提供经过稳压的低电压电源。

通常，应用系统在电源管脚上需要安装两个独立的电容器。其中一个为大容量电解电容器（如 $10\mu\text{F}$ 钽电容器）为整个系统提供大容量电荷存储。同时应在离 MCU 电源管脚尽可能近的地方安装一个 $0.1\mu\text{F}$ 的陶瓷旁路电容器来抑制高频噪音。MC9S08DZ60 系列有两个 V_{DD} 管脚（32 管脚封装除外），每个管脚都必须有一个旁路电容器以实现最有效的噪音抑制。

V_{DDA} 和 V_{SSA} 是 MCU 的模拟电源管脚。该管脚引入的电源为 ADC 模块供电。我们应在离 MCU 电源管脚尽可能近的地方安装一个 $0.1\mu\text{F}$ 陶瓷旁路电容器来抑制高频噪音。

2.2.2 振荡器

复位完成后，MCU 立即开始使用由 MCG（多功能时钟生成器）模块提供的内部时钟。关于 MCG 的更详尽信息，请参见第 8 章，“多功能时钟发生器（S08MCGV1）”。

本 MCU 中的振荡器（XOSC）为皮尔斯（Pierce）振荡器，可以支持晶体和陶瓷谐振器。除了晶体或陶瓷谐振器外，我们还可以将一个外部振荡器连接到 EXTAL 输入管脚上。

如图 2-4 所示， R_S （如果使用了的话）和 R_F 必须采用低感电阻器，如碳膜电阻器。而不能采用感应系数过高的线绕和金属薄膜电阻器。 $C1$ 和 $C2$ 必须使用专为高频应用设计的高质量陶瓷电容器。

R_F 用来提供偏置路径用于在晶体启动过程中将 EXTAL 输入保持在线性范围内。它的值并不是在所有情况下都非常关键。一般系统采用 $1\text{M} \sim 10\text{M}$ 之间的 R_F 。过高的阻抗对湿度太敏感，而过低的阻抗会减少增益并（在一些极端情况下）导致无法正常启动。

$C1$ 和 $C2$ 一般采用 $5\text{pF} \sim 25\text{pF}$ 的电容，并且必须满足匹配特定晶体或谐振器的要求。在选择 $C1$ 和 $C2$ 时必须考虑印刷电路板（PCB）的电容和 MCU 管脚的电容。晶体生产商一般都规定了一个负载电容—— $C1$ 和 $C2$ （二者的尺寸通常是相同的）的系列组合。按照一次近似原则，我们应使用 10pF 作为每个振荡器管脚（EXTAL 和 XTAL）的管脚和 PCB 总电容的估计值。

2.2.3 $\overline{\text{RESET}}$ （复位）

$\overline{\text{RESET}}$ 是一个专用管脚，带有内置的上拉器件。它有输入电压迟滞、大电流输出驱动器但没有输出斜率控制。由于存在内部加电复位电路和低压复位电路，因此在一般情况下不必使用外部复位电路。该管脚通常连接到标准的 6 脚后台调试接头，以保证开发系统可以直接复位 MCU 系统。如果需要，我们可以增加一个到地线的简单开关（拉低复位管脚以强制进行复位）来实现手动外部复位。

在任何情况下触发复位时（不管是由外部信号还是内部系统）， $\overline{\text{RESET}}$ 管脚都会下拉约 34 个总线周期。复位电路会解析复位原因并且在系统复位状态寄存器（SRS）中设置一个相应的位来记录这一原因。

4.5.4 突发编程执行

突发编程命令能在比标准编程命令更短的时间内对数据的连续字节进行编程。这是因为 Flash 阵列的高电压在编程操作之间不需要断开。通常情况下，在发出编程或擦除命令后，必须启用与 Flash 相关的一个内部电荷泵用于为阵列提供高电压。命令执行完成后，该电荷泵会被关闭。发出突发编程命令后，电荷泵在以下两种条件下会被开启而且在突发编程操作完成后将保持开启状态：

- 下一个突发编程命令序列在设置 FCCF 位之前已开始。
- 下一个顺序地址从所编程的当前字节所在的相同突发块中选择一个字节。该 Flash 中的突发块包括 32 个字节。新的突发块在每个 32 字节地址的边界开始。

在突发模式下对一系列连续字节的第一个字节进行编程所需要的时间与标准模式下编程一个字节所需的时间相同。如果达到上述两个条件，后面的字节将在突发编程时间内编程。如果下一个顺序地址是新的一行的开始，那么该字节的编程时间将是标准时间而不是突发时间。这是因为到阵列的高电压必须断开后重新开启。如果在当前命令完成前，队列中没有任何新的突发命令，那么电荷泵将关闭，高电压将从阵列上断开。

图 4-3 为执行突发编程操作的流程。

表 4-15. FSTAT 寄存器字段描述 (continued)

字段	描述
4 FACCERR	<p>访问错误标记 — FACCERR 在以下情况下自动设置：正确的命令顺序没有严格遵守（错误的命令将被忽略），FCDIV 寄存器初始化之前尝试进行编程或擦除操作，或在命令正在执行时 MCU 进入停止模式。若欲了解会被认为是访问错误的具体操作的更详尽信息，请参见 4.5.6，“访问错误”。</p> <p>FACCERR 通过向 FACCERR 中写入一个 1 来清除。向 FACCERR 中写入 0 没有任何意义或效果。</p> <p>0 没有访问错误。 1 发生了访问错误。</p>
2 FBLANK	<p>验证为全空（被擦除）标记 — FBLANK 在空白检查命令完成后自动设置为 1（如果整个 Flash 或 EEPROM 阵列被确认已擦除）。FBLANK 通过清除 FCBEF 以写入新的有效命令来清除。向 FBLANK 中写入没有任何意义或效果。</p> <p>0 在空白检查命令执行完成而且 FCCF = 1 的情况下，FBLANK = 0 表示 Flash 或 EEPROM 阵列未被完全擦除。 1 在空白检查命令执行完成而且 FCCF = 1 的情况下，FBLANK = 1 表示 Flash 或 EEPROM 阵列已完全擦除（全部为 0xFFFF）。</p>

4.5.11.6 Flash 和 EEPROM 命令寄存器 (FCMD)

如表 4-16 所示，正常用户模式下只能识别 6 种命令代码。所有其他命令代码都是非法的，会产生访问错误。请参见 4.5.3，“编程和擦除命令的执行”来了解对 Flash 和 EEPROM 编程及擦除操作的详细描述。

	7	6	5	4	3	2	1	0
R	0	0	0	0	0	0	0	0
W	FCMD							
复位	0	0	0	0	0	0	0	0

图 4-10. Flash 和 EEPROM 命令寄存器 (FCMD)

表 4-16. Flash 和 EEPROM 命令

命令	FCMD	等同文件标签
空白检查	0x05	mBlank
字节编程	0x20	mByteProg
突发编程	0x25	mBurstProg
分区擦除	0x40	mSectorErase
整体擦除	0x41	mMassErase
分区擦除终止	0x47	mEraseAbort

进行整体擦除操作后没有必要再执行空白检查命令。空白检查只是安全解锁机制的一部分。

6.5.5.4 E 端口斜率使能寄存器 (PTESE)

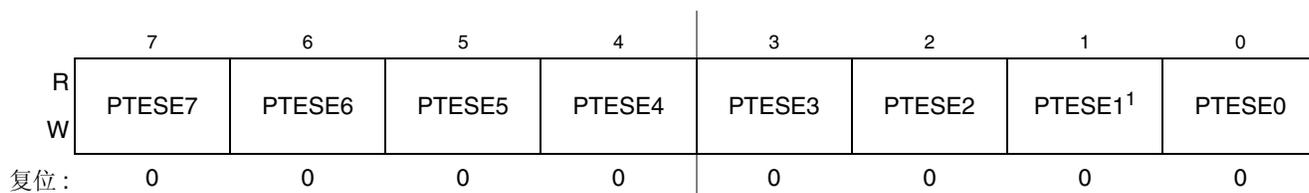


图 6-35. E 端口寄存器斜率使能 (PTESE)

¹ PTESE1 对输入 PTE1 管脚没有影响。

表 6-33. PTESE 寄存器字段描述

字段	描述
7:0 PTESE[7:0]	E 端口位输出斜率使能 — 这些控制位决定是否相关的 PTE 管脚使能输出斜率控制。对于配置为输入的 E 端口管脚，这些位不会产生任何影响。 0 E 端口位 - 输出斜率控制禁止。 1 E 端口位 - 输出斜率控制使能。

注意: 工程样品设计采样和最终成品的斜率复位默认值可能不同。一定要将斜率控制初始化为规定的值，确保正确的操作。

6.5.5.5 E 端口驱动强度选择寄存器 (PTEDS)

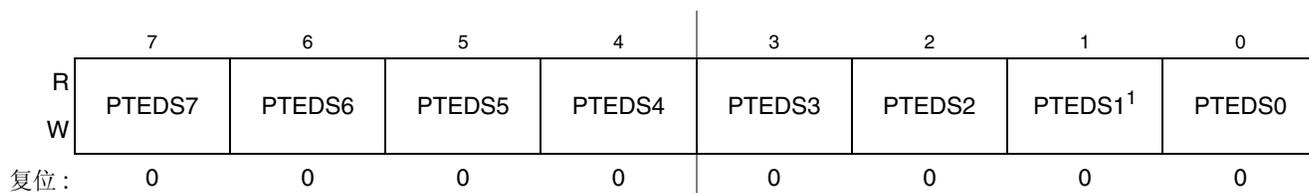


图 6-36. E 端口寄存器驱动强度选择 (PTEDS)

¹ PTEDS1 对输入 PTE1 管脚没有影响。

表 6-34. PTEDS 寄存器字段描述

字段	描述
7:0 PTEDS[7:0]	E 端口位的输出驱动强度选择 — 这些控制位为相关 PTE 管脚选择低输出驱动和高输出驱动。对于配置为输入的 E 端口管脚，这些位不会产生任何影响。 0 E 端口位 - 选择的低输出驱动强度。 1 E 端口位 - 选择的高输出驱动强度。

6.5.6 F 端口寄存器

F 端口由下列寄存器控制。

8.2.1 特性

MCG 模块的主要特性:

- 锁频环 (FLL)
 - 使用内部 32-kHz 参考时, 0.2% 分辨率
 - 使用内部 32-kHz 参考时, 全电压和温度范围内 2% 的偏差
 - 可以使用内部或外部参考控制 FLL
- 锁相环 (PLL)
 - 压控振荡器 (VCO)
 - 模数 VCO 分频器
 - 相位 / 频率检测器
 - 集成环路滤波器
 - 带中断功能的锁定检测器
- 内部参考时钟
 - 9 个调整位, 确保精确度
 - 可选择为 MCU 的时钟源
- 外部参考时钟
 - 外部振荡器控制
 - 具有复位功能的时钟监控器
 - 可选择为 MCU 的时钟源
- 提供参考分频器
- 所选的时钟源可以除以 1 2 4 或 8
- 无论在 FLL 还是 PLL 模式中, BDC 时钟 (MCGLCLK) 是一个由 DCO 输出除以 2 得出的常量。

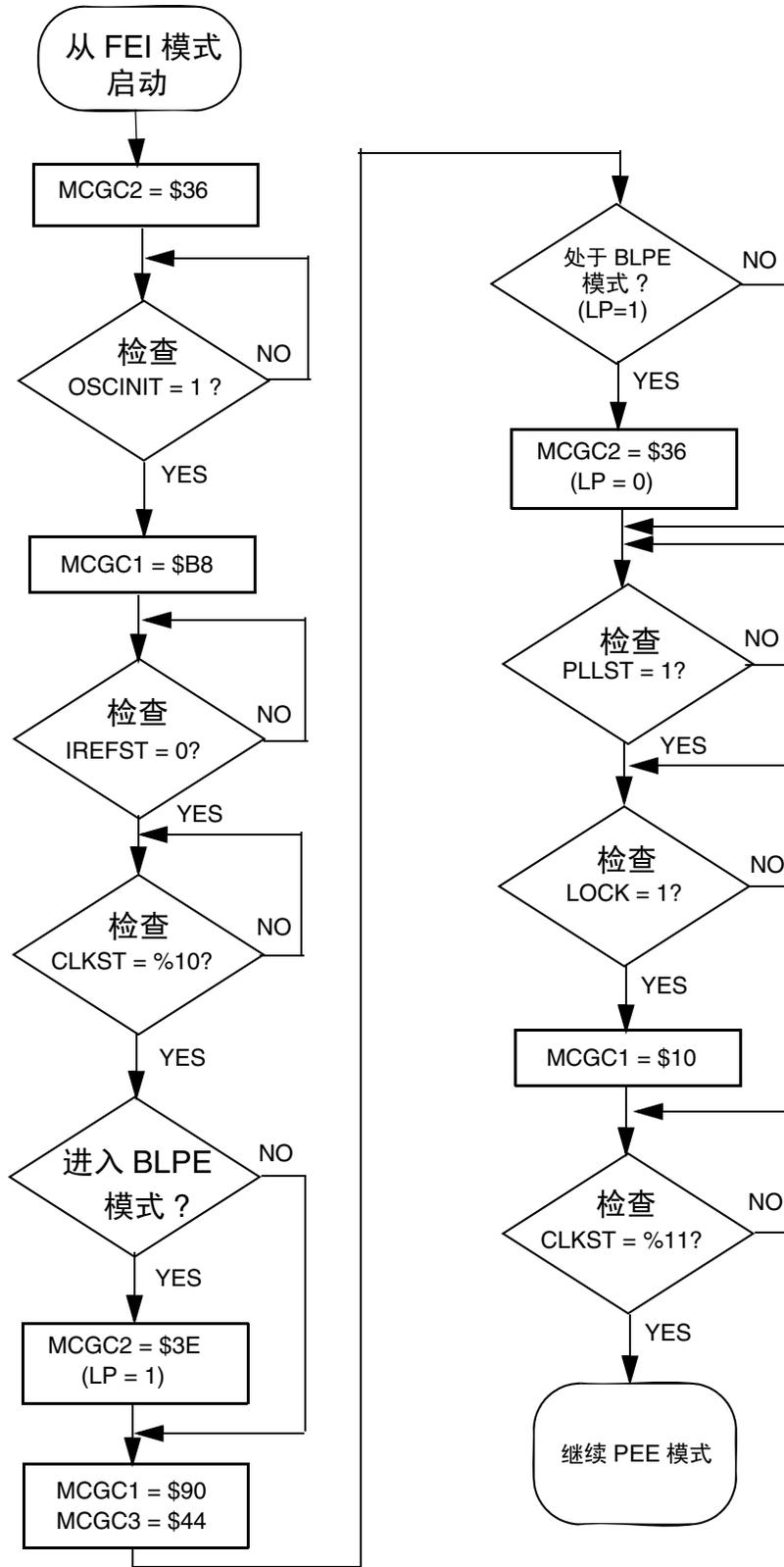


图 8-9. 使用 4 MHz 晶体从 FEI 转换到 PEE 模式的流程图

表 10-6. 时钟分频选择

ADIV	分频率	时钟率
00	1	输入时钟
01	2	输入时钟 ÷ 2
10	4	输入时钟 ÷ 4
11	8	输入时钟 ÷ 8

表 10-7. 转换模式

模式	模式描述
00	8 位转换 (N=8)
01	12 位转换 (N=12)
10	10 位转换 (N=10)
11	保留

表 10-8. 输入时钟选择

ADICLK	所选的时钟源
00	总线时钟
01	总线时钟除以 2
10	替代时钟 (ALTCLK)
11	异步时钟 (ADACK)

10.4.8 管脚控制寄存器 1 (APCTL1)

管脚控制寄存器用来禁止对模拟输入的 MCU 管脚作为 I/O 端口控制，APCTL1 用来控制这些管脚与 ADC 模块通道 0-7 的连接。

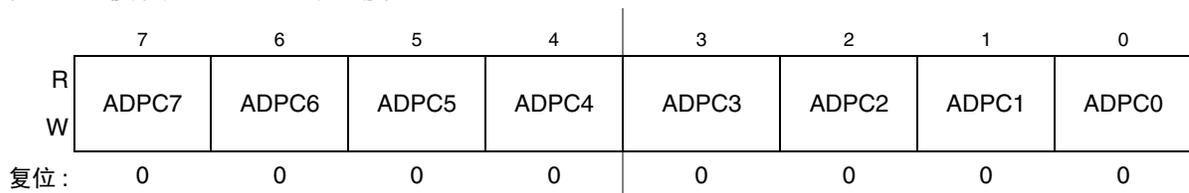


图 10-11. 管脚控制寄存器 1 (APCTL1)

10.7.2.6 代码抖动、非单调性和丢码

数模转换器容易受三种特殊形式的错误影响，它们是代码抖动、非单一性和丢码。

代码抖动是把某些点的给定输入电压在重复采样时的转换出两个值。在理想情况下，当输入电压低于转换电压时，转换器会产生更低代码（反之亦然）。但是，对于转换电压附近的一系列输入电压来说，即使非常小的系统噪音也可能造成转换器的抖动（两个代码之间）。在 8 位或 10 位模式中，这个范围通常是 $1/2 \text{ lsb}$ ；在 12 位模式中，这个范围通常是 2 lsb ，并会随着噪音的提高而提高。

通过重复进行输入采样和算术平均，这个错误可能会减小。此外，11.6.2.3 节中也讨论了一些减小这一错误的技巧。

非单调性的定义是转换器将高的输入电压转换到低的代码（代码抖动除外）。丢码是那些没有任何输入值进行转换的值。

在 8 位或 10 位模式中，ADC 保证具有单调性，并且没有丢码。

用于标签印的计时器值从自由运行的内部 CAN 位时钟中获取。计时器溢出不通过 MSCAN 显示。计时器在初始化模式中复位（所有位设置为 0）。CPU 只能读取时间标签。

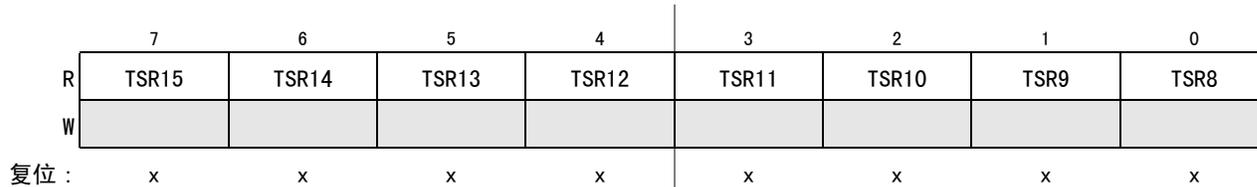


图 12-36. 时间标签寄存器—高字节 (TSRH)

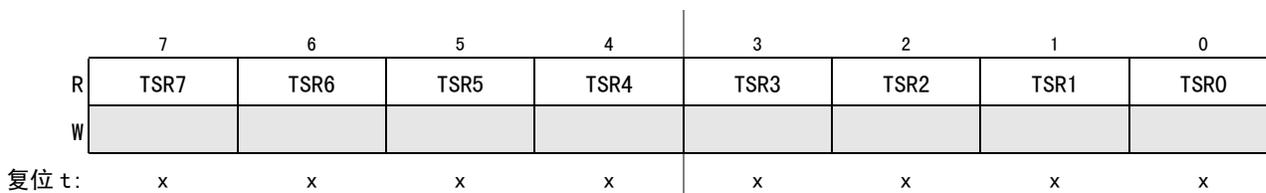


图 12-37. 时间标签寄存器—低字节 (TSRL)

读取：当设置了 TXEx 标志（参见 12.3.6，“MSCAN 发送器标志寄存器 (CANTFLG)”）且在 CANTBSEL 中选择了相应发送缓冲器（参见 12.3.10，“MSCAN 发送缓冲器选择寄存器 (CANTBSEL)”）的任何时间。

写入：不执行

12.5 功能描述

12.5.1 概述

本小节提供了 MSCAN 的完整功能描述，它描述了介绍中列出的每种功能和模式。

可编程预分频器从 CANCLK 生成时间冲量 (Tq) 时钟。时间冲量是 MSCAN 所处理时间的原子单位。

等式 12-2

$$f_{Tq} = \frac{f_{CANCLK}}{(\text{Prescaler value})}$$

位时间再分成三段，如 Bosch CAN 规范所述 (见图 12-43):

- SYNC_SEG: 该段有一个长度固定的时间冲量，信号边沿预计出现在本段。
- 时段 1: 本段包括 CAN 标准的 PROP_SEG 和 PHASE_SEG1。通过设置参数 TSEG1，使之包含 4-16 个时间冲量，可以对其进行编程。
- 时段 2: 本段表示 CAN 标准的 PHASE_SEG2。通过设置 TSEG2 参数，使之具有 2-8 个时间冲量长，可以对其进行编程。

等式 12-3

$$\text{Bit Rate} = \frac{f_{Tq}}{(\text{number of Time Quanta})}$$

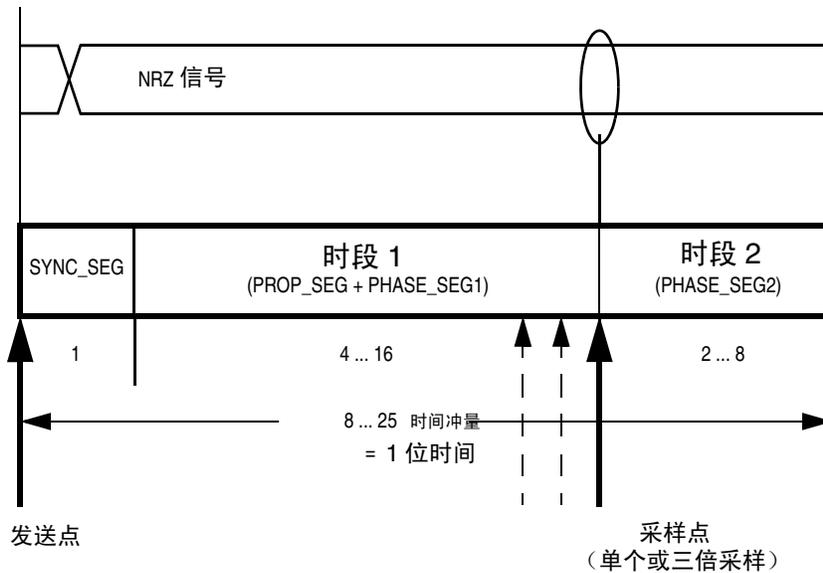


图 12-43. 位时间内的段

图 14-3 SCI 接收器结构图

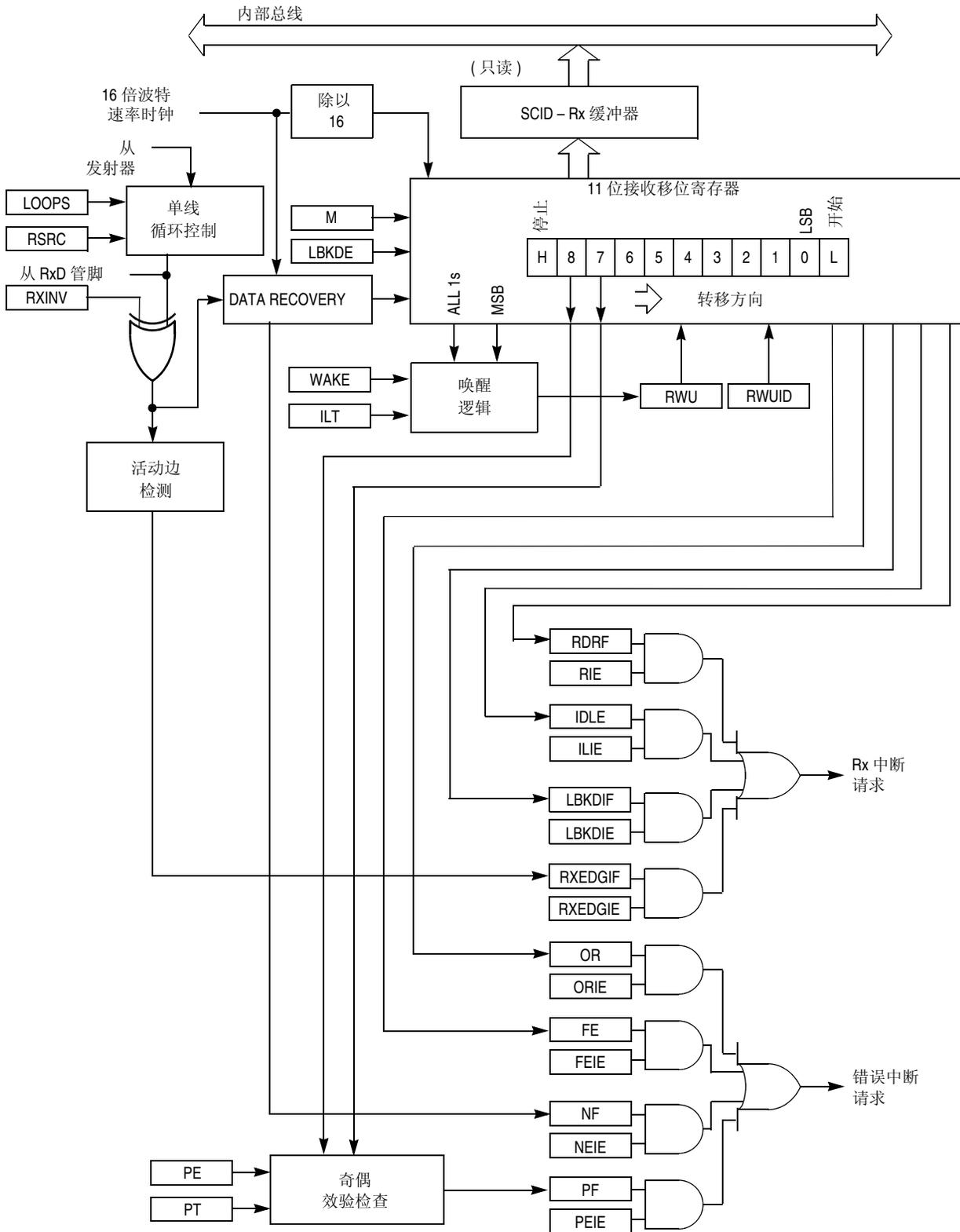


图 14-3. SCI 接收器结构图

14.2.6 SCI 控制寄存器 3 (SCIxC3)

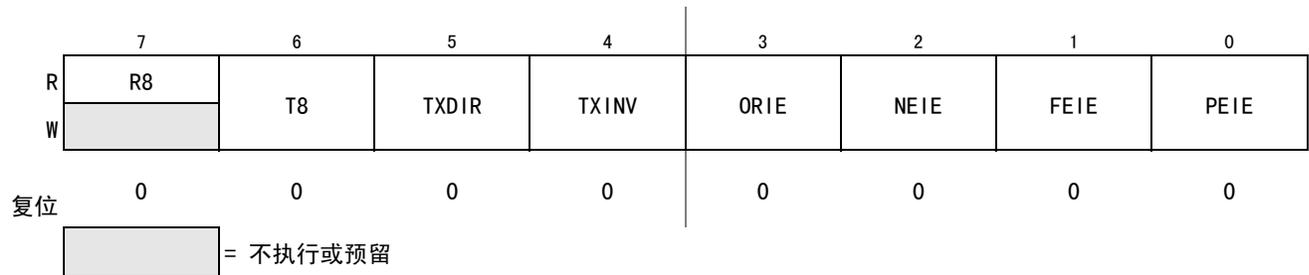


图 14-10. SCI 控制寄存器 3 (SCIxC3)

表 14-8. SCIxC3 字段描述

字段	描述
7 R8	接收器的第 9 个数据位 — 当 SCI 配置用于 9 位数据 (M = 1) 时, R8 可以视为 SCIxD 寄存器中缓冲数据的 MSB 左侧的第 9 个接收数据位。读 9 位数据时, 读 SCIxD 前读取 R8, 因为读 SCIxD 能够完成自动的标记清除顺序, 允许 R8 和 SCIxD 被新数据覆盖。
6 T8	9 个数据位发射器 — 当 SCI 配置用于 9 位数据 (M = 1) 时, T8 可以视为 SCIxD 寄存器中缓冲数据的 MSB 左侧的第 9 个接收数据位。写 9 位数据时, 整个 9 位值在 SCIxD 写入后被传输到 SCI 移位寄存器, 因此, T8 应在 SCIxD 写入前写入 (如果它需要从它的原来值中修改)。如果 T8 不需要在新值 (例如当它用于生成标记或空间奇偶效验) 中修改, 它就不需要在每次写 SCIxD 时写入。
5 TXDIR	单线模式中的 TxD 管脚方向 — 当 SCI 配置用于单线半双工运行 (LOOPS = RSRC = 1) 时, 该位决定 TxD 管脚上数据的方向。 0 TxD 管脚是单线模式中的输入。 1 TxD 管脚是单线模式中的输出。
4 TXINV ¹	发送数据反转 — 设置该位反转已发送数据输出的极性。 0 发送数据未被反转 1 发送数据被反转
3 ORIE	溢出中断使能 — 该位使能溢出标记 (OR) 以生成硬件中断请求。 0 OR 中断禁止 (使用轮询) 1 当 OR = 1 时允许硬件中断
2 NEIE	噪音错误中断使能 — 该位使能噪音标记 (NF) 以生成硬件中断请求。 0 NF 中断禁止 (使用轮询) 1 当 NF = 1 时允许硬件中断
1 FEIE	成帧错误中断使能 — 该位使能成帧错误标记 (FE) 以生成硬件中断请求。 0 FE 中断禁止 (使用轮询) 1 当 FE = 1 时允许硬件中断
0 PEIE	奇偶效验错误中断使能 — 该位使能奇偶错误标记 (PF) 以生成硬件中断请求。 0 PF 中断禁止 (使用轮询) 1 当 PF = 1 时允许硬件中断

¹ 设置 TXINV 会反转所有情况下的 TxD 输出: 数据位、起始位和停止位、中止符、闲置。

如果相应 TIE 或 TCIE 本地中断允许位为 0，那么就使用软件轮询来监控 TDRE 和 TC 状态标记，而不是发生软件中断。

当程序检测到接收数据寄存器已满 ($RDRF = 1$) 时，它通过读 SCIXD 从接收数据寄存器获取数据。RDRF = 1 时读 SCIXS1，这样 RDRF 标记就被清除，然后再读 SCIXD。

当使用轮询时，该顺序自然在用户程序的正常过程中得到满足。如果使用硬件中断，就必须在中断服务程序 (ISR) 中读 SCIXS1。在正常情况下，这无论如何都要在 ISR 中完成，以检查接收错误，这样该顺序就自动满足了。

当 RxD 线路在很长一段时间内保持闲置时，IDLE 状态标记包括可以防止其进行重复设置的逻辑。当 IDLE = 1 时，读 SCIXS1 可以清除 IDLE，然后再读 SCIXD。在已经清除 IDLE 后，它不能再次进行设置，直到接收器已经收到至少一个新字符并已设置 RDRF。

如果在造成设置 RDRF 的已接收字符中检测到有关错误，就在设置 RDRF 的同时设置错误标记，如噪音标记 (NF)、成帧错误 (FE) 和奇偶效验错误标记 (PF)。这些标记不会在溢出情况下设置。

如果当一个新字符准备好从接收移位器传输到接收数据缓冲器时已经设置了 RDRF，就设置溢出 (OR) 标记，而数据及任何有关的 NF、FE 或 PF 条件丢失。

任何时候，RxD 串行数据输入管脚上的活动边沿都会引起 RXEDGIF 标记设置。把 1 写入 RXEDGIF 会清除该标记。该功能取决于正被使能 ($RE = 1$) 的接收器。

14.3.5 其他 SCI 功能

以下几节描述其他 SCI 功能。

14.3.5.1 8 位和 9 位数据模式

通过在 SCIXC1 中设置 M 控制位，SCI 系统（发射器和接收器）在经过配置后可以运行在 9 位数据模式中。在 9 位模式中，在 SCI 数据寄存器的 MSB 的左侧有一个第 9 数据位。对发送数据缓冲器来说，该位保存在 SCIXC3 中的 T8。对接收器来说，第 9 位保存在 SCIXC3 中的 R8。

为了连贯写入发送数据寄存器，写入 SCIXD 前请先写入 T8 位。

如果作为新字符第 9 位发送的位值和上一字符的位值相同，则不需要重新写入 T8。当数据从发送数据缓冲器传输到发送移位器时，在数据从 SCIXD 传输到移位器的同时 T8 中的值被复制。

9 位数据模式通常和奇偶效验一起使用，以允许数据的 8 个位加第 9 位中的奇偶效验位。或者与地址标记唤醒一起使用，这样第 9 数据位可以作为唤醒位。在自定义协议中，第 9 位还可以作为软件控制标记。

17.4.3.7 调试控制寄存器 (DBGC)

这个寄存器可以在任何时间读或写。



图 17-7. 调试控制寄存器 (DBGC)

表 17-4. DBGC 寄存器字段描述

字段	描述
7 DBGEN	调试模块启用 — 用来启用调试模块。DBGEN 不能设置为 1，如果 MCU 是安全的。 0 DBG 禁用 1 DBG 启用
6 ARM	打开控制 — 控制调试器是否在 FIFO 中比较和存储信息。采用写操作来设置该位 (和 ARMF)，完成调试运行就是自动清除它。将 ARM 或 DBGEN 写为 0，可以停止任何调试运行。 0 调试器没有打开 1 调试器被打开
5 TAG	标记 / 强制选择 — 控制送到 CPU 的中断请求是否为标签或强制型请求。如果 BRKEN = 0，这个位就没有意义或无效。 0 CPU 中断请求作为强制型请求 1 CPU 中断请求作为标签型请求
4 BRKEN	中断启用 — 控制触发事件是否向 CPU 生成中断请求。触发事件可以使信息存储在 FIFO 中而不必向 CP 生成中断请求。对于结束跟踪，如果比较器 (s) 和 R/W 满足触发条件，则发出 CPU 中断请求。对于起始跟踪，则当 FIFO 满时发出 CPU 中断请求。TRGSEL 不影响 CPU 中断请求的定时。 0 CPU 不断请求未启用 1 触发器触发向 CPU 发出中断请求
3 RWA	比较器 A 的 R/W 比较值 — 当 RWAEN = 1，这个位确定是否用读或写接入来鉴定比较器 A，当 RWAEN = 0，RWA 和 R/W 信号不影响比较器 A。 0 比较器 A 只在写周期上匹配 1 比较器 A 只在读周期上匹配
2 RWAEN	启用比较器 A 的 R/W — 控制比较器 A 的匹配是否考虑这个水平的 R/W。 0 R/W 未用在比较 A 中 1 R/W 用在比较 A 中
1 RWB	比较器 B 的 R/W 比较值 — 当 RWBEN = 1，这个位确定是否用读或写接入来鉴定比较器 B。当 RWBEN = 0，RWA 和 R/W 信号不影响比较器 B。 0 比较器 B 只在写周期上匹配 1 比较器 B 只在读周期上匹配
0 RWBEN	启用比较器 B 的 R/W B — 控制比较器 B 的匹配是否考虑这个水平的 R/W。 0 R/W 未用在比较 B 中 1 R/W 用在比较 B 中

表 A-2. 绝对最大额定值

编号	参数	符号	值	单位
1	电源电压	V_{DD}	-0.3 to + 5.8	V
2	输入电压	V_{In}	- 0.3 to $V_{DD} + 0.3$	V
3	瞬时最大电流 单管脚极限 (适用于所有端口管脚) ^{1, 2, 3}	I_D	± 25	mA
4	V_{DD} 中的最大电流	I_{DD}	120	mA
5	存储温度	T_{stg}	-55 to +150	°C

¹ 输入必须是限定为指定值的电流。要确定所需的电流限定电阻器的值，需要先计算正 (V_{DD} 和负 (V_{SS}) 钳位电压的电阻值，然后使用两个电阻值中的较大者。

² 所有功能性非电源管脚内部均钳位在 V_{SS} 和 V_{DD} 。

³ 在瞬时和操作最大电流条件下，电源必须维持在操作 V_{DD} 范围内。如果正注入电流 ($V_{In} > V_{DD}$) 大于 I_{DD} ，则注入电流就可能超出 V_{DD} ，并导致外部电源不可调控。确保外部 V_{DD} 载荷分流大于最大注入电流的电流。当 MCU 不消耗功率时，就会有最大的风险，这样的例子包括：如果当前无系统时钟，或者如果时钟速率非常低，这都会降低总功耗。

A.4 热特性

本小节提供有关操作温度范围、功耗和封装热阻的信息。I/O 管脚上的功耗一般要比片上逻辑的功耗小，它由用户自己决定而非受 MCU 设计的控制。为了在功率计算中把 $P_{I/O}$ 考虑进去，先需要确定实际管脚电压和 V_{SS} or V_{DD} 间的差，并乘以每个 I/O 管脚的管脚电流。除非出现异常高的管脚电流（大负荷），管脚电压和 V_{SS} or V_{DD} 间的差非常小。

表 A-3. 热特征

编号	C	参数	符号	值	单位	温度代码
1	D	操作温度范围 (打包后)	T_A	-40 至 125 -40 至 105 -40 至 85	°C	M V C
2	T	最高结温度 ¹	T_J	135	°C	—
3	D	热阻 ²				
		单层板				
		64- 管脚 LQFP	θ_{JA}	69	°C/W	
		48- 管脚 LQFP	θ_{JA}	75	°C/W	
		32- 管脚 LQFP	θ_{JA}	80	°C/W	
		四层板				
		64- 管脚 LQFP	θ_{JA}	51	°C/W	
		48- 管脚 LQFP	θ_{JA}	51	°C/W	
		32- 管脚 LQFP	θ_{JA}	52	°C/W	

¹ 结温度是晶元尺寸、片上功耗、封装热阻、安装点（主板）温度、周围温度、气流、主板上的其他组件功耗及主板热阻的函数。

² 结与环境的自然对流。

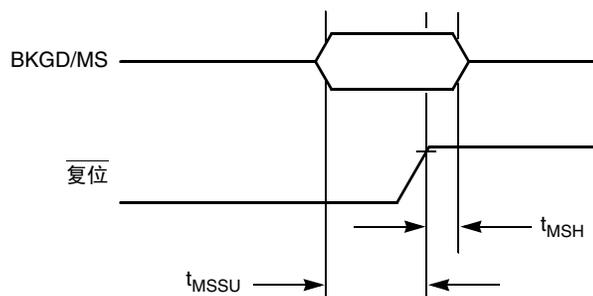


图 A-3. 激活背景调试模式锁定时序

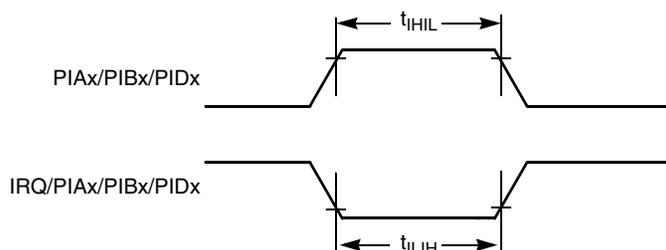


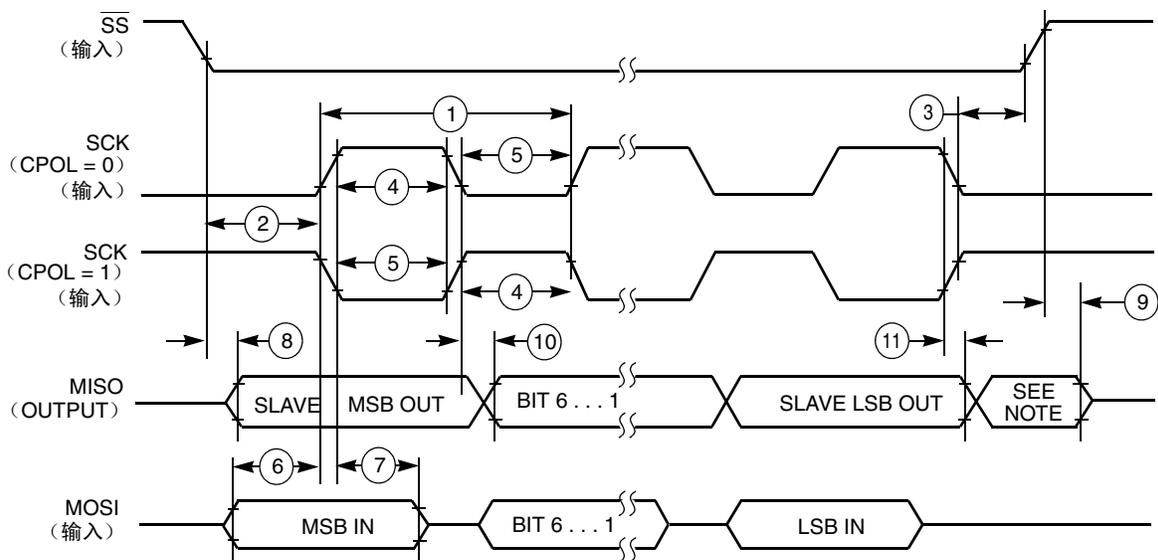
图 A-4. 管脚中断时序

A.12.2 定时器 /PWM

同步器电路决定着可被识别的最短输入脉冲或可以用作定时器计数器的可选外部源的最快时钟。这些同步器当前的总线速率时钟中进行操作。

表 A-14. TPM 输入时序

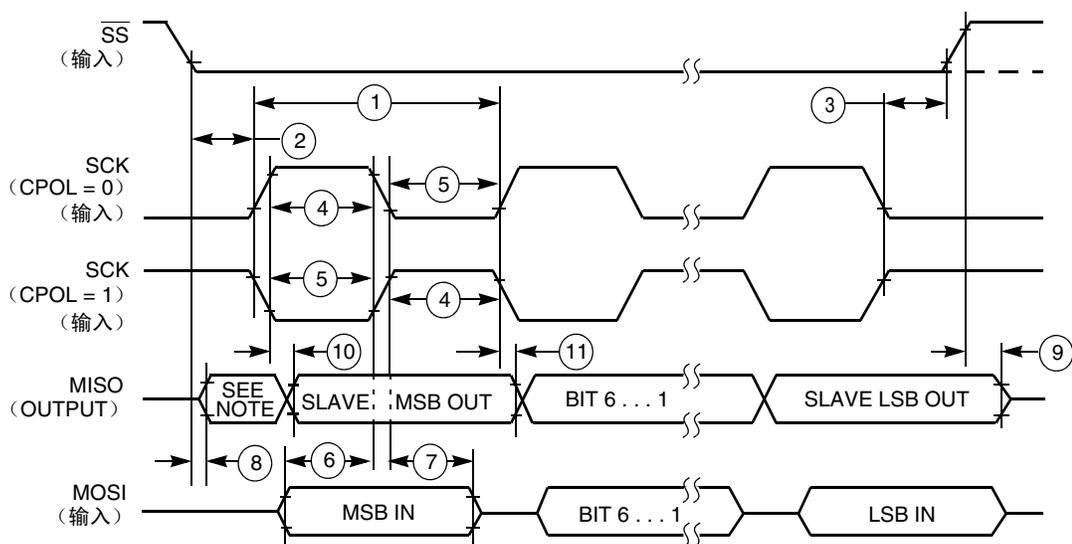
编号	C	参数	符号	最小值	最大值	单位
9	—	外部时钟频率	f_{TCLK}	dc	$f_{Bus}/4$	MHz
10	—	外部时钟时间	t_{TCLK}	4	—	t_{cyc}
11	D	外部时钟高时间	t_{clkh}	1.5	—	t_{cyc}
12	D	外部时钟低时间	t_{clkl}	1.5	—	t_{cyc}
13	D	输入捕捉脉冲宽度	t_{ICPW}	1.5	—	t_{cyc}



注释:

1. 未定义, 但在正常情况下只接收 MSB 字符

图 A-9. SPI 从时序 (CPHA = 0)



注释:

1. 未定义, 但在正常情况下只接收 LSB 字符

图 A-10. SPI 从时序 (CPHA = 1)