



Welcome to [E-XFL.COM](https://www.e-xfl.com)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	53
Program Memory Size	32KB (32K x 8)
Program Memory Type	FLASH
EEPROM Size	1K x 8
RAM Size	2K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 24x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 85°C (TA)
Mounting Type	Surface Mount
Package / Case	64-LQFP
Supplier Device Package	64-LQFP (10x10)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/s9s08dz32f1clh

MC9S08DZ60 系列产品的特性

8 位 HCS08 中央处理器 (CPU)

- 40-MHz HCS08 CPU (20-MHz 总线)
- HC08 指令集, 带附加的 BGND 指令
- 支持最多 32 个中断 / 复位源

片内存储器

- 整个工作电压和温度范围内可读取 / 编程 / 擦除的 Flash 存储器
 - MC9S08DZ60 = 60K
 - MC9S08DZ48 = 48K
 - MC9S08DZ32 = 32K
 - MC9S08DZ16 = 16K
- 最大 2K 的 EEPROM 在线可编程内存; 支持 8 字节单页或 4 字节双页擦除分区; 执行 Flash 程序的同时可进行编程和擦除操作; 支持擦除取消操作
- 最大 4K 的随机存取内存 (RAM)

省电模式

- **两种超低功耗停止模式**
- 降低功耗的等待模式
- 超低功耗实时时钟中断, 在运行、等待和停止模式下均可操作

时钟源选项

- 振荡器 (XOSC) — 闭环控制的皮尔斯 (Pierce) 振荡器; 支持范围 31.25 kHz 至 38.4 kHz 或 1 MHz 至 16MHz 之间的晶体或陶瓷谐振器
- 多功能时钟生成器 (MCG) — PLL 和 FLL 模式 (在使用内部温度补偿时 FLL 能够达到 1.5% 内的偏差); 带微调功能的内部参考时钟源; 带可选择晶体振荡器或陶瓷谐振器的外部参考时钟源

系统保护

- 监视微控制器正常操作的看门狗 (COP) 复位, 支持选择专用的后备 1-kHz 内部时钟源或总线时钟运行
- 带复位和中断的低压检测电路; 可选择的电压阈值
- 支持非法指令代码复位
- 支持非法操作地址复位
- 支持 Flash 块保护
- 支持时钟信号丢失保护

开发支持

- 单线背景调试接口
- 片上及在线仿真 (ICE), 带总线实时捕获功能

外围设备

- ADC — 24 通道, 12 位分辨率, 2.5 μ s 转换时间, 自动比较功能, 1.7 mV/ $^{\circ}$ C 温度传感器, 包含内部间隙参考源通道
- ACMPx — 两个模拟比较器, 支持比较器输出的上升、下降或任意边沿触发的中断; 可选择与内部参考电压源进行比较
- MSCAN — CAN 协议 - V2.0 A 和 B; 支持标准和扩展数据帧; 支持远程帧; 5 个带有 FIFO 存储机制的接收缓冲器; 灵活的接收识别符过滤器, 可编程如下: 2 x 32 位、4 x 16 位或 8 x 8 位
- SCIx — 两个 SCI, 可支持 LIN 2.0 协议和 SAE J2602 协议; 全双工; 主节点支持 break 信号生成; 从节点支持 break 信号检测; 支持激活边沿唤醒
- SPI — 全双工或单线双向; 双重缓冲发射和接收; 主从模式选择; 支持高位优先或低位优先的移位
- IIC — 支持最高 100kbps 的总线波特率; 多主节点模式运行; 可编程的从地址; 通用呼叫地址; 逐字节数据传输驱动的中断
- TPMx — 一个 6 通道 (TPM1) 和一个 2 通道 (TPM2); 可支持输入捕捉, 输出比较, 或每个通道带缓冲的边沿对齐 PWM 输出
- RTC — (实时时钟计数器) 8 位模数计数器, 带基于二进制或十进制的预分频器; 实时时钟功能, 使用外部晶体和 RTC 来确保精确时基、时间、日历或任务调度功能; 内带低功耗振荡器 (1 kHz), 用于周期唤醒而不需要外部器件

输入 / 输出

- 53 个通用输入 / 输出 (I/O) 管脚和 1 个专用输入管脚
- 24 个中断管脚, 每个管脚带触发极性选择
- 所有输入管脚上带电压滞后和可配置的上下拉器件
- 所有输入管脚上可配置输出斜率和驱动强度

封装选项

- 64 管脚小尺寸四方扁平封装 (LQFP) — 10x10 mm
- 48 管脚小尺寸四方扁平封装 (LQFP) — 7x7 mm
- 32 管脚小尺寸四方扁平封装 (LQFP) — 7x7 mm

章节号	标题	页码
4.5.2	编程和擦除时间	50
4.5.3	编程和擦除命令的执行	50
4.5.4	突发编程执行	52
4.5.5	分区擦除终止	53
4.5.6	访问错误	55
4.5.7	块保护	55
4.5.8	向量重定向	56
4.5.9	安全性	56
4.5.10	EEPROM 映射	57
4.5.11	Flash 和 EEPROM 寄存器及控制位	57

第 5 章 复位、中断和系统总控制

5.1	介绍	65
5.2	特性	65
5.3	MCU 复位	65
5.4	计算机正常操作 (COP) 看门狗	66
5.5	中断	67
5.5.1	中断堆栈帧	67
5.5.2	外部中断请求 (IRQ) 管脚	68
5.5.3	中断向量、源和本地掩码	69
5.6	低电压检测 (LVD) 系统	71
5.6.1	加电复位操作	71
5.6.2	低压检测 (LVD) 复位操作	71
5.6.3	低压警告 (LVW) 中断操作	71
5.7	MCLK 输出	71
5.8	复位、中断及系统控制寄存器和控制位	71
5.8.1	中断管脚请求状态和控制寄存器 (IRQSC)	72
5.8.2	系统复位状态寄存器 (SRS)	72
5.8.3	系统后台调试强制复位寄存器 (SBDFR)	74
5.8.4	系统选项寄存器 1 (SOPT1)	74
5.8.5	系统选项寄存器 2 (SOPT2)	75
5.8.6	系统器件识别寄存器 (SDIDH, SDIDL)	76
5.8.7	系统电源管理状态和控制寄存器 1 (SPMSC1)	77
5.8.8	系统电源管理状态和控制寄存器 2 (SPMSC2)	78

第 6 章 并行输入 / 输出控制

6.1	端口数据和数据方向	81
6.2	上拉、斜率和驱动强度	82
6.3	管脚中断	83
6.3.1	仅边沿敏感度	83

后台命令有两种类型：

- 非中断型命令，被定义为可在用户程序运行时发出。非中断型命令可在 MCU 处于运行模式时通过 BKGD/MS 管脚发出；非中断型命令也可以在 MCU 处于主动后台模式时执行。非中断型命令包括：
 - 内存访问命令
 - 带状态内存访问命令
 - BDC 寄存器访问命令
 - 后台命令
- 主动后台命令只能在 MCU 处于主动后台模式时执行。主动后台命令主要用于执行以下操作：
 - 读或写 CPU 寄存器
 - 在特定时间跟踪一个用户程序指令
 - 退出主动后台模式，返回到用户应用程序（GO）

主动后台模式用于在 MCU 第一次以运行模式运行前将 Bootloader 或用户应用程序写入到 Flash 程序存储器中。MC9S08DZ60 系列产品从飞思卡尔工厂运出时，除非特别说明，Flash 程序存储器在缺省被擦除，以确保在 Flash 首次被编程前不会有程序在运行模式下被执行。主动后台模式可用于擦除或重新编程先前已编程的 Flash。

关于主动后台模式的详尽信息，请参见 Development Support 一章。

3.5 等待模式

等待模式通过执行 WAIT 指令进入。在执行 WAIT 指令后，CPU 进入无时钟的低功耗状态。CPU 进入等待模式后，CCR 中的 I 位被清除，进而使能中断操作。发生中断请求后，CPU 退出等待模式并执行恢复处理，先开始执行堆栈中的中断业务程序。

MCU 处于等待模式时，后台调试命令的使用受限。MCU 处于等待模式时，只有后台命令和带状态内存访问命令可用。带状态内存访问命令虽然不允许内存访问，但它们会上报错误，指出 MCU 处于停止或等待模式。可以使用后台命令将 MCU 从等待模式中唤醒并进入主动后台模式。

3.6 停止模式

在 SOPT1 寄存器中设置了 STOPE 位时，执行 STOP 指令后会进入停止模式。在停止模式下，所有内部时钟都被暂停。我们可对 MCG 模块进行适当设置，使参考时钟保持运行。更详尽信息请参见第 8 章，“多功能时钟发生器（S08MCGV1）”。

4.2 复位和中断向量分配

表 4-1 为复位和中断向量的地址分配情况。该表中使用的向量名称为飞思卡尔半导体提供的 MC9S08DZ60 系列通用文件中使用的标签。

表 4-1. 复位和中断向量表

地址 (高 / 低)	向量	向量名称
0xFFC0:0xFFC1	ACMP2	Vacmp2
0xFFC2:0xFFC3	ACMP1	Vacmp1
0xFFC4:0xFFC5	MSCAN Transmit	Vcantx
0xFFC6:0xFFC7	MSCAN Receive	Vcanrx
0xFFC8:0xFFC9	MSCAN errors	Vcanerr
0xFFCA:0xFFCB	MSCAN wake up	Vcanwu
0xFFCC:0xFFCD	RTC	Vrtc
0xFFCE:0xFFCF	IIC	Viic
0xFFD0:0xFFD1	ADC Conversion	Vadc
0xFFD2:0xFFD3	Port A, Port B, Port D	Vport
0xFFD4:0xFFD5	SCI2 Transmit	Vsci2tx
0xFFD6:0xFFD7	SCI2 Receive	Vsci2rx
0xFFD8:0xFFD9	SCI2 Error	Vsci2err
0xFFDA:0xFFDB	SCI1 Transmit	Vsci1tx
0xFFDC:0xFFDD	SCI1 Receive	Vsci1rx
0xFFDE:0xFFDF	SCI1 Error	Vsci1err
0xFFE0:0xFFE1	SPI	Vspi
0xFFE2:0xFFE3	TPM2 Overflow	Vtpm2ovf
0xFFE4:0xFFE5	TPM2 Channel 1	Vtpm2ch1
0xFFE6:0xFFE7	TPM2 Channel 0	Vtpm2ch0
0xFFE8:0xFFE9	TPM1 Overflow	Vtpm1ovf
0xFFEA:0xFFEB	TPM1 Channel 5	Vtpm1ch5
0xFFEC:0xFFED	TPM1 Channel 4	Vtpm1ch4
0xFFEE:0xFFEF	TPM1 Channel 3	Vtpm1ch3
0xFFFF0:0xFFFF1	TPM1 Channel 2	Vtpm1ch2
0xFFFF2:0xFFFF3	TPM1 Channel 1	Vtpm1ch1
0xFFFF4:0xFFFF5	TPM1 Channel 0	Vtpm1ch0
0xFFFF6:0xFFFF7	MCG Loss of lock	Vlol
0xFFFF8:0xFFFF9	Low-Voltage Detect	Vlvd
0xFFFFA:0xFFFFB	IRQ	Virq
0xFFFFC:0xFFFFD	SWI	Vswi
0xFFFFE:0xFFFFF	Reset	Vreset

如果密钥启用（KEYEN）位为 1，那么 8 字节对比密钥可用于暂时脱离内存安全的限制。这种密钥机制只能通过安全内存中运行的用户代码访问。（安全密钥不能通过后台调试命令直接输入。）这个安全密钥可通过将 KEYEN 位设为 0 来完全禁用。如果这个安全密钥被禁用，那么脱离安全限制的唯一方式是整体擦除 Flash（通常通过后台调试接口）并确认 Flash 是空的。为了避免在下次复位后返回到安全模式，应该将安全位（SEC）设置为非安全状态（1: 0）。

4.4 RAM

MC9S08DZ60 系列包括静态 RAM。RAM 中 0x0100 以下的位置可以使用更高效的直接寻址模式访问，而这一区域中的任何单一比特可以通过位操作指令（BCLR、BSET、BRCLR 和 BRSET）访问。首选的方式是在这一区域中查找 RAM 最频繁访问的程序变量。

在 MCU 处于低功耗等待、Stop2 或 Stop3 模式时，RAM 会保留数据。加电启动时，RAM 中的内容不会被初始化。如果电源电压没有降低到 RAM 保留 (V_{RAM}) 的最低值以下，RAM 数据就不会受到复位的任何影响。

为了实现与 M68HC05 MCU 的兼容性，HCS08 会将栈指针复位为 0x00FF。在 MC9S08DZ60 系列中，最好的方法通常是将栈指针重新初始化到 RAM 顶部，以便使经常被访问的 RAM 变量和位可寻址程序变量处于直接寄存器。复位初始化程序（其中的 RamLast 等于飞思卡尔半导体等同文件中 RAM 的最高地址）中包含以下两个指令序列。

```
LDHX    #RamLast+1    ;point one past RAM
TXS                    ;SP<-(H:X-1)
```

在启用了安全性的情况下，RAM 被认为是一种安全的内存资源，不能通过 BDM 或从非安全内存中执行代码来访问。若欲了解有关安全特性的更详尽描述，请参见 4.5.9，“安全性”。

4.5 Flash 和 EEPROM

MC9S08DZ60 系列器件包括 Flash 和 EEPROM 存储器。这些存储器主要用于保存程序和数据。在线编程使正在运行的程序和数据可以在应用产品的最终组装完成后分别上载到 Flash 和 EEPROM 中。我们可以通过单线后台调试接口对阵列进行编程。由于擦除和编程操作不需要特殊的电压，所以也可以通过其他软件控制的通信路径来实现应用编程。有关在线和应用内编程的更详尽描述，请参见“HCS08 系列参考手册，第 1 卷”（飞思卡尔半导体文件编号 HCS08RMv1）。

4.5.1 特性

Flash 和 EEPROM 存储器具有以下特性：

- 阵列大小请参见表 1-1
- Flash 分区大小：768 字节
- EEPROM 分区大小：可选 4 字节或 8 字节分区映射操作
- 单一电源程序和擦除
- 用于快速编程和擦除操作的命令接口
- 一般电压和温度下最多 100,000 个编程 / 擦除循环
- 灵活的块保护和向量重定向

6.5.4.8 D 端口中断边沿选择寄存器 (PTDES)

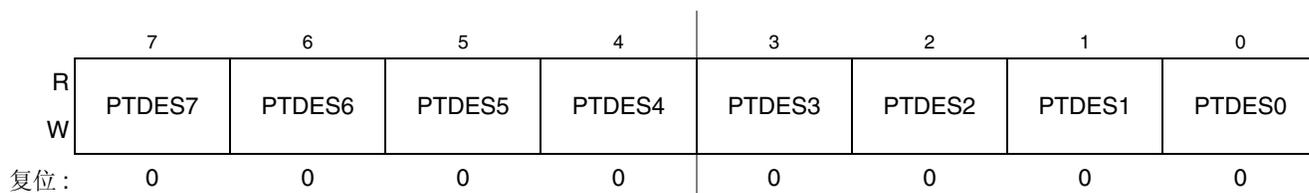


图 6-31. D 端口边沿选择寄存器 (PTDES)

表 6-29. PTDES 寄存器字段描述

字段	描述
7:0 PTDES[7:0]	D 端口边沿选择 — 每个 PTDES _n 位都具有双重功能，选择活动中断边沿的极性以及选择上拉或下拉器件（使能的话）。 0 上拉器件与相关的管脚相连，检测中断生成的下降边沿 / 低电平。 1 下拉器件与相关的管脚相连，检测中断生成的上升边沿 / 高电平。

6.5.5 E 端口寄存器

E 端口由下列寄存器控制。

6.5.5.1 E 端口数据寄存器 (PTED)

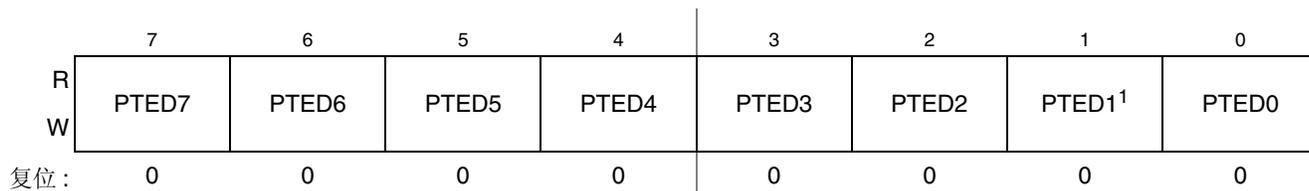


图 6-32. E 端口数据寄存器 (PTED)

¹ 读取这个位总是要返回相关管脚的管脚值，与端口数据方向位中保存的值无关。

表 6-30. PTED 寄存器字段描述

字段	描述
7:0 PTED[7:0]	E 端口数据寄存器位 — 对于配置为输入的 E 端口管脚，读数返回管脚上的逻辑电平。对于配置为输出的 E 端口管脚，读数返回写入寄存器的最后一个值。 写入值被锁定在本寄存器的所有位中。对于配置为输出的 E 端口管脚，逻辑电平被输出到驱出相应的 MCU 管脚。 复位强制 PTED 都为 0，但是这些 0 未被输出到驱出相应的管脚，因为复位还会将所有端口管脚配置为上拉 / 下拉禁止的高阻抗输入。

表 7-2. 指令集小结 (第 5 页, 共 9 页)

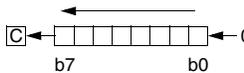
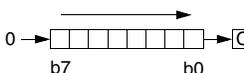
Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V I 1 H I N Z C	
INC <i>opr8a</i> INCA INCX INC <i>opr8,X</i> INC <i>,X</i> INC <i>opr8,SP</i>	增量 M ⁻ (M) + \$01 A ⁻ (A) + \$01 X ⁻ (X) + \$01 M ⁻ (M) + \$01 M ⁻ (M) + \$01 M ⁻ (M) + \$01	DIR INH INH IX1 IX SP1	3C dd 4C 5C 6C ff 7C 9E 6C ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↑ 1 1 -	- ↓ ↓ -
JMP <i>opr8a</i> JMP <i>opr16a</i> JMP <i>opr16,X</i> JMP <i>opr8,X</i> JMP <i>,X</i>	跳转 PC ⁻ 跳转地址	DIR EXT IX2 IX1 IX	BC dd CC hh ll DC ee ff EC ff FC	3 4 4 3 3	ppp pppp pppp ppp ppp	- 1 1 -	- - - - -
JSR <i>opr8a</i> JSR <i>opr16a</i> JSR <i>opr16,X</i> JSR <i>opr8,X</i> JSR <i>,X</i>	跳转到子程序 PC ⁻ (PC) + n (n = 1, 2, 或 3) 推 (PCL); SP ⁻ (SP) - \$0001 推 (PCH); SP ⁻ (SP) - \$0001 PC ⁻ 无条件地址	DIR EXT IX2 IX1 IX	BD dd CD hh ll DD ee ff ED ff FD	5 6 6 5 5	ssppp pssppp pssppp ssppp ssppp	- 1 1 -	- - - - -
LDA # <i>opr8i</i> LDA <i>opr8a</i> LDA <i>opr16a</i> LDA <i>opr16,X</i> LDA <i>opr8,X</i> LDA <i>,X</i> LDA <i>opr16,SP</i> LDA <i>opr8,SP</i>	从存储器那里加载累加器 A ⁻ (M)	IMM DIR EXT IX2 IX1 IX SP2 SP1	A6 ii B6 dd C6 hh ll D6 ee ff E6 ff F6 9E D6 ee ff 9E E6 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	- ↓ ↓ -
LDHX # <i>opr16i</i> LDHX <i>opr8a</i> LDHX <i>opr16a</i> LDHX <i>,X</i> LDHX <i>opr16,X</i> LDHX <i>opr8,X</i> LDHX <i>opr8,SP</i>	加载索引寄存器 (H:X) H:X ⁻ (M:M + \$0001)	IMM DIR EXT IX IX2 IX1 SP1	45 jj kk 55 dd 32 hh ll 9E AE 9E BE ee ff 9E CE ff 9E FE ff	3 4 5 5 6 5 5	ppp rrpp prrrpp prrrfp pprrpp prrrpp prrrpp	0 1 1 -	- ↓ ↓ -
LDX # <i>opr8i</i> LDX <i>opr8a</i> LDX <i>opr16a</i> LDX <i>opr16,X</i> LDX <i>opr8,X</i> LDX <i>,X</i> LDX <i>opr16,SP</i> LDX <i>opr8,SP</i>	从存储器那里加载 X (索引寄存器低) X ⁻ (M)	IMM DIR EXT IX2 IX1 IX SP2 SP1	AE ii BE dd CE hh ll DE ee ff EE ff FE 9E DE ee ff 9E EE ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	- ↓ ↓ -
LSL <i>opr8a</i> LSLA LSLX LSL <i>opr8,X</i> LSL <i>,X</i> LSL <i>opr8,SP</i>	逻辑左移位 t  (同 ASL)	DIR INH INH IX1 IX SP1	38 dd 48 58 68 ff 78 9E 68 ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↑ 1 1 -	- ↓ ↓ ↓
LSR <i>opr8a</i> LSRA LSRX LSR <i>opr8,X</i> LSR <i>,X</i> LSR <i>opr8,SP</i>	逻辑右移位 t 	DIR INH INH IX1 IX SP1	34 dd 44 54 64 ff 74 9E 64 ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↑ 1 1 -	- 0 ↓ ↓

表 8-2. MCG 控制寄存器 2 字段描述

字段	描述
7:6 BDIV	总线分频器 — 选择被 MCGC1 寄存器中的 CLKS 位所选的时钟源除的数字。这样可以控制总线频率。 00 Encoding 0 — 用所选时钟除以 1 01 Encoding 1 — 用所选时钟除以 2 (复位默认) 10 Encoding 2 — 用所选时钟除以 4 11 Encoding 3 — 用所选时钟除以 8
5 RANGE	频率范围选择 — 选择外部振荡器或外部时钟源的频率范围。 1 为外部振荡器选择 1 MHz --16 MHz 的高频率范围 (外部时钟源为 1 MHz-- 40 MHz) 0 为外部振荡器选择 32 kHz --100 kHz 的低频率范围 (外部时钟源为 32 kHz --1 MHz)
4 HGO	高增益振荡器选择 — 控制外部振荡器的运行模式 1 配置外部振荡器的高增益运行 0 配置外部振荡器的低增益运行
3 LP	低功率选择 — 控制是否在旁路模式中禁止 FLL (或 PLL)。 1 旁路模式中禁止 FLL (或 PLL) (低功率). 0 旁路模式中激活旁路模式中激活 FLL (或 PLL) .
2 EREFS	外部参考选择 选择外部参考源。 1 选择振荡器 0 选择外部时钟源
1 ERCLKEN	外部参考使能 — 使能外部参考时钟, 用作 MCGERCLK。 1 MCGERCLK 活动 0 MCGERCLK 未活动
0 EREFSTEN	外部参考停止使能 — 控制着当 MCG 进入停止模式时, 内部参考时钟是否仍保持使能状态。 1 如果设置了 IRCLKEN 或者在 MCG 进入停止状态前已处于 FEI、FBI 或 BLPI 模式, 那么外部参考时钟在停止状态中保持使能。 0 外部参考时钟在停止状态中禁用。

8.4.3 MCG 修正寄存器 (MCGTRM)

	7	6	5	4	3	2	1	0
R	TRIM							
W								
POR:	1	0	0	0	0	0	0	0
复位:	U	U	U	U	U	U	U	U

图 8-5. MCG 修正寄存器 (MCGTRM)

表 8-3. MCG 修正寄存器字段描

字段	描述
7:0 TRIM	MCG 修正设置 — 通过控制内部参考时钟时段来控制内部参考时钟频率。TRIM 位是加权二进位 (即位 1 的调整次数是位 0 调整次数的两倍)。增大 TRIM 中的二进位值将延长这个时段, 减小 TRIM 值会缩短该时段。 MCGSC 中还提供了另外一个微调位, 即 FTRIM 位 t。 如果使用保存在非易失性存储器中的 TRIM[7:0] 值, 用户就有责任将这个值从非易失性存储器位置复制到该寄存器。r.

10.6 初始化报文

本节给出了一个为用户提供如何初始化和配置 ADC 模块的一些基本指导的示例。用户可以从众多选项中灵活选择配置模块的 8 位、10 位或 12 位分辨率、单或连续转换、查询或中断法。

请参见表 11-8、表 11-9 和表 11-10，获取示例中使用的报文。

注意

十六进制值前加了一个 0x，二进制值前加了一个 %，十进制值没有前置字符。

10.6.1 ADC 模块初始化示例

10.6.1.1 初始化顺序

在使用 ADC 模块完成转换前，必须进行初始化步骤。初始化的常见顺序如下：

1. 更新配置寄存器 (ADCCFG)，选择输入时钟源和用来生成内部时钟 ADCK 的分频率。该寄存器也可用于选择采样时间和低功率配置。
2. 更新状态和控制寄存器 2 (ADCSC2)，选择转换触发 (硬件或软件) 与比较功能选项，如使能的话。
3. 更新状态和控制寄存器 1 (ADCSC1)，选择转换是连续转换还是只完成一次，并使能或禁止转换完成中断。同时还选择执行转换的输入通道。

10.6.1.2 伪代码示例

在本例中，ADC 模块设置为：中断使能，在低功率情况下实施 10 位转换，该转换在输入通道 1 上有一个长采样时间，这里的内部 ADCK 时钟用总线时钟除以 1 得来。

ADCCFG = 0x98 (%10011000)

位 7	ADLPC	1	配置用于低功率 (降低最快时钟速度)
位 6:5	ADIV	00	将 ADCK 设置为输入时钟除以 1
位 4	ADLSMP	1	配置用于长采样时间
位 3:2	MODE	10	在 10 位转换上设置模式
位 1:0	ADICLK	00	选择总线时钟为输入时钟源

ADCSC2 = 0x00 (%00000000)

位 7	ADACT	0	标记表明是否正在进行转换
位 6	ADTRG	0	软件触发已选
位 5	ACFE	0	比较功能禁止
位 4	ACFGT	0	本例中未使用
位 3:2		00	未实施或保留，总是读取 0
位 1:0		00	供飞思卡尔内部使用，总是写入 0

ADCSC1 = 0x41 (%01000001)

位 7	COCO	0	转换完成时设置的只读标记
位 6	AIEN	1	转换完成中断使能
位 5	ADCO	0	仅一次转换 (连续转换禁止)
位 4:0	ADCH	00001	输入通道 1 选为 ADC 输入通道

表 12-6. CANBTR1 寄存器字段描述

字段	描述
7 SAMP	采样 — 该位确定每位时间所采集的 CAN 总线样本数量 0 每位 1 个样本 1 每位 3 个样本 1。 如果 SAMP = 0, 得到的位值等于采样点上定位的单个位的值。如果 SAMP = 1, 得到的位值通过在总共三个采样点上使用多数规则来决定。要实现更高比特速率, 建议每个位时间只采集一个样本 (SAMP = 0)。
6:4 TSEG2[2:0]	TSEG2[2:0] 时间段 2—位时间内的时间段固定每个位时间的时钟周期数和采样点的位置 (参见图 12-43)。时间段 2 (TSEG2) 值可以如表 12-7 所示进行编程。
3:0 TSEG1[3:0]	时间段 1—位时间内的时间段固定每个位时间的时钟周期数和采样点的位置 (参见图 12-43)。时间段 1 (TSEG1) 值可以如表 12-8 所示进行编程。

表 12-7. 时间段 2 值

TSEG22	TSEG21	TSEG20	时间段 2
0	0	0	1 Tq 时钟周期 ¹
0	0	1	2 Tq 时钟周期
:	:	:	:
1	1	0	7 Tq 时钟周期
1	1	1	8 Tq 时钟周期

¹ This setting is not valid. Please refer to 表 12-35 for valid settings.

表 12-8. 时间段 1 值

TSEG13	TSEG12	TSEG11	TSEG10	时间段 1
0	0	0	0	1 Tq c 时钟周期 ¹
0	0	0	1	2 Tq 时钟周期 ¹
0	0	1	0	3 Tq 时钟周期 ¹
0	0	1	1	4 Tq 时钟周期
:	:	:	:	:
1	1	1	0	15 Tq 时钟周期
1	1	1	1	16 Tq 时钟周期

¹ 该设置无效, 请参见表 12-35 查看有效设置。

位时间由振荡器频率、波特率预分频器和每位的时间冲量 (Tq) 数量确定 (如表 12-7 和表 12-8)。

等式 12-1

$$\text{Bit Time} = \frac{(\text{Prescaler value})}{f_{\text{CANCLK}}} \cdot (1 + \text{TimeSegment1} + \text{TimeSegment2})$$

13.5.1 SPI 时钟格式

为了适应不同制造商的各种同步串行外围器件，SPI 系统有一个时钟极性（CPOL）位和一个时钟相位（CPHA）控制位，从四种时钟格式中选择一种进行数据传输。CPOL 有选择性地插入了与时钟串行的取反逻辑。CPHA 选择时钟和数据间的两种不同时钟相位关系。

图 13-10 显示了 CPHA = 1 时的时钟格式。在图的顶部，显示了 8 个位时间，作为参考。第一个位始于第一个 SPSCCK 边沿，第八个位结束于第 16 个 SPSCCK 边沿后的半个 SPSCCK 周期。MSB First 和 LSB First 线根据 LSBFE 中的设置显示了 SPI 数据位的顺序。SPSCCK 极性的两个变化都显示了出来，但这两个波形中只有一个适用于特定传输，具体哪一个取决于 CPOL 中的值。SAMPLE IN 波形适用于辅器件的 MOSI 输入或主器件的 MISO 输入。MOSI 波形适用于主器件的 MOSI 输出管脚，MISO 波形适用于辅器件的 MISO 输出。SS OUT 波形适用于主器件的辅选择输出（如果 MODFEN，SSOE = 1）。在传输开始前的半个 SPSCCK 周期，主 SS 输出信号进入有效低电平状态，在传输的第 8 个位时间结束时返回有效高态。SS IN 波形适用于辅器件的辅选择输入。

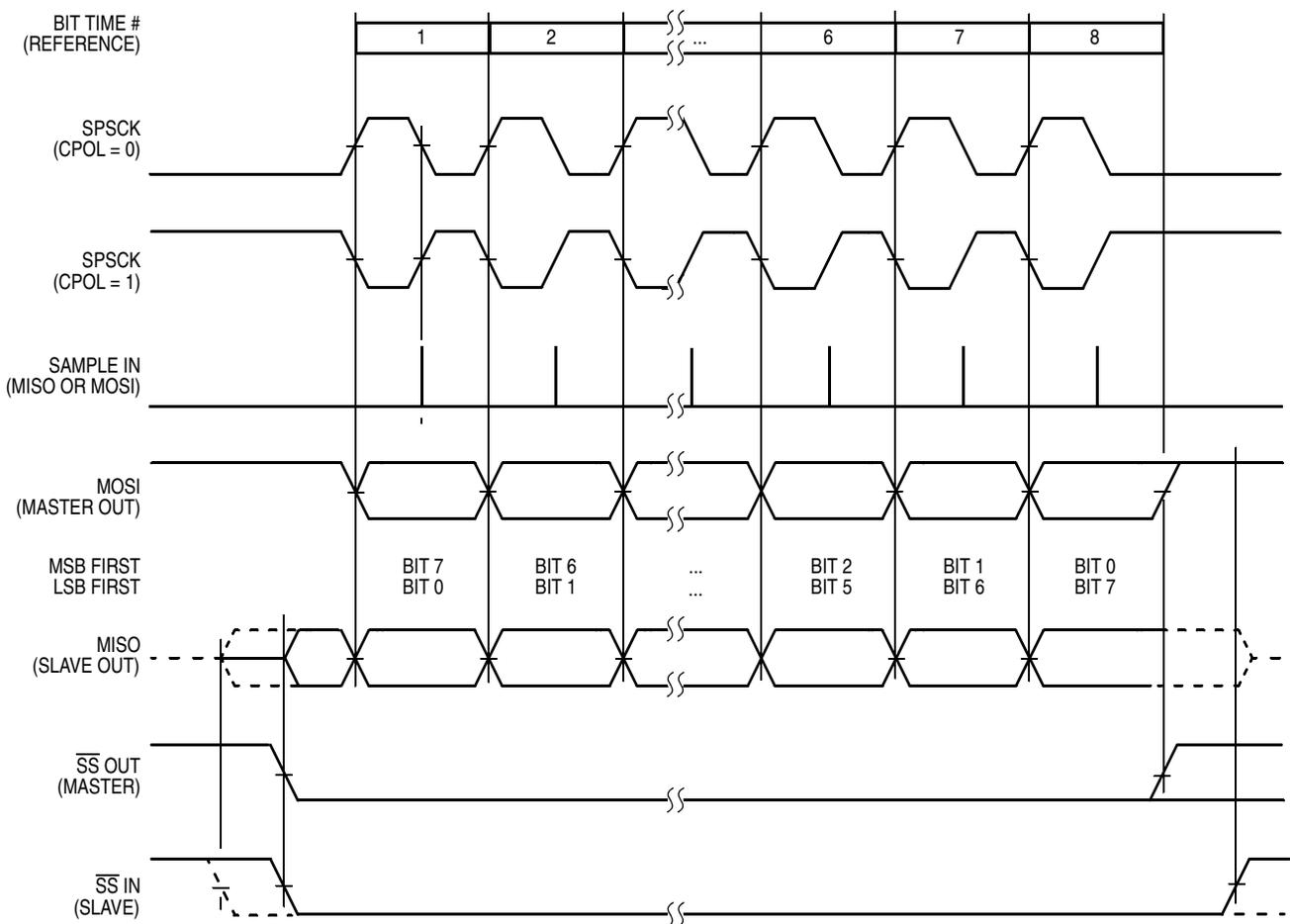


图 13-10. SPI 钟格式 (CPHA = 1)

若 $CPHA = 1$ ，则当处于活跃低态时，辅器件开始驱动其 MISO 输出，但直到出现第一个 SPSCK 边沿时才定义数据。第一个 SPSCK 边沿将数据的第一位从移位器转移到主 SPI 器件的 MOSI 输出和辅 SPI 器件的 MISO 输出。第二个 SPSCK 边沿促使主 SPI 器件和辅 SPI 器件分别在它们的 MISO 和 MOSI 输入上进行数据位值采样。在第三个 SPSCK 边沿，SPI 移位器移动 1 个位位置，移到刚刚采样的位值中，将第二个数据位值移出移位器的另一端，分别移到主 SPI 器件和辅 SPI 器件的 MOSI 和 MISO 输出。若 $CPHA = 1$ ，不需要辅 SPI 器件的 SS 输入在两个传输之间进入非激活的高电平状态。

图 13-11 显示了 $CPHA = 0$ 时的时钟格式。在图的顶部，显示了 8 个位时间，作为参考。当选择辅时钟时（SS IN 进入低态），第一个位就开始，第八个位结束于最后一个 SPSCK 边沿。MSB First 和 LSB First 线根据 LSBFE 中的设置显示了 SPI 数据位的顺序。SPSCK 极性的两个变化都显示了出来，但这两个波形中只有一个适用于特定传输，具体哪一个取决于 CPOL 中的值。SAMPLE IN 波形适用于辅器件的 MOSI 输入或主器件的 MISO 输入。MOSI 波形适用于主器件的 MOSI 输出管脚，MISO 波形适用于辅器件的 MISO 输出。SS OUT 波形适用于主器件的辅选择输出（如果 MODFEN，SSOE = 1）。传输的第一位时间开始时，主器件的 SS 输出处于活跃低态，在传输的第 8 个位时间结束后的半个 SPSCK 周期时返回高态。SS IN 波形适用于辅器件的辅选择输入。

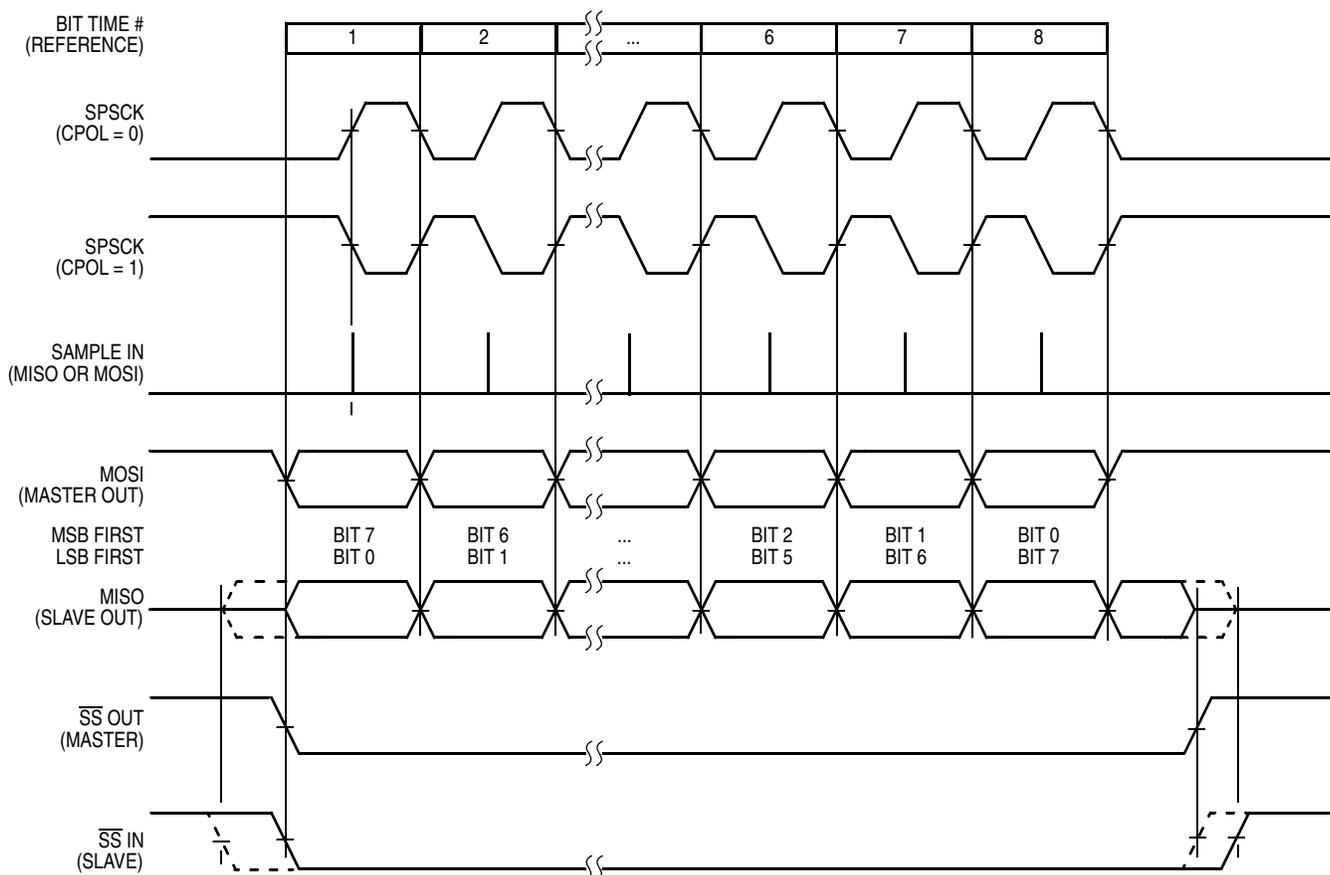


图 13-11. SPI 时钟格式 ($CPHA = 0$)

三种时钟源可由软件选择：低功率振荡器时钟（LPO）、外部时钟（ERCLK）和内部时钟（IRCLK）。RTC 时钟选择位（RTCLKS）用于选择想要的时钟源。如果一个不同值被写入到 RTCLKS 中，预分频器和 RTCCNT 计数器将复位为 0x00。

RTCPS 和 RTCLKS[0] 位选择想要的除数值。如果不同值被写入到 RTCPS 中，预分频器和 RTCCNT 计数器将复位为 0x00。表 15-6 显示了不同的预分频器周期值。

表 15-6. 预分频器周期

RTCPS	1-kHz 内部时钟源 (RTCLKS = 00)	1-MHz 外部时钟源 (RTCLKS = 01)	32-kHz 内部时钟源 (RTCLKS = 10)	32-kHz 外部时钟源 (RTCLKS = 11)
0000	Off	Off	Off	Off
0001	8 ms	1.024 ms	250 μ s	32 ms
0010	32 ms	2.048 ms	1 ms	64 ms
0011	64 ms	4.096 ms	2 ms	128 ms
0100	128 ms	8.192 ms	4 ms	256 ms
0101	256 ms	16.4 ms	8 ms	512 ms
0110	512 ms	32.8 ms	16 ms	1.024 s
0111	1.024 s	65.5 ms	32 ms	2.048 s
1000	1 ms	1 ms	31.25 μ s	31.25 ms
1001	2 ms	2 ms	62.5 μ s	62.5 ms
1010	4 ms	5 ms	125 μ s	156.25 ms
1011	10 ms	10 ms	312.5 μ s	312.5 ms
1100	16 ms	20 ms	0.5 ms	0.625 s
1101	0.1 s	50 ms	3.125 ms	1.5625 s
1110	0.5 s	0.1 s	15.625 ms	3.125 s
1111	1 s	0.2 s	31.25 ms	6.25 s

RTC 模数寄存器（RTCMOD）允许将比较值设置为从 0x00 到 0xFF 的任何值。当计数器处于有效状态时，计数器以所选速率递增，直到计数与模数值匹配。当这些值匹配时，计数器复位为 0x00 并继续计数。任何时候发生匹配时，实时中断标记（RTIF）会被设置。该标记在从模数值过渡为 0x00 时设置。写入 RTCMOD 将使预分频器和 RTCCNT 计数器复位为 0x00。

RTC 允许在设置 RTIF 时生成中断。要启用实时中断，在 RTCSC 中设置实时中断使能位（RTIE）。向 RTIF 写入 1 可以清除 RTIF。

表 16-5. TPMxCnSC 字段描述 (continued)

字段	描述
4 MSnA	TPM 通道 n 的模式 A 选择位。当 CPWMS=0, MSnB=0 时, MSnA 为输入捕捉模式或输出比较模式配置 TPM 通道 n。请参见表 16-6 中关于通道模式和设置控制的总结。 注意: 如果相关端口管脚在变为输入捕捉模式前至少 2 个总线时钟周期内是不稳定的, 则可能获得一个边缘触发的意外指示。
3-2 ELSnB ELSnA	边沿 / 电平选择位。根据 CPWMS:MSnB:MSnA 设置、表 16-6, 中所示的定时器通道的运行模式, 这些位选择触发输入捕捉事件的输入边的极性, 选择满足输出比较匹配后将驱动的电平, 或选择 PWM 输出的极性。 将 ELSnA 设置为 0:0 可将关联的定时器管脚配置为与任何定时器功能无关的通用输入 / 输出管脚。当关联的定时器通道被设置为不请求使用管脚的软件定时器时, 本功能常用于临时关闭输入捕捉通道或使定时器管脚可用作通用输入 / 输出管脚。

表 16-6. 模式、边沿和电平选择

CPWMS	MSnB:MSnA	ELSnB:ELSnA	模式	配置
X	XX	00	不用于 TPM 的管脚 - 恢复为通用输入 / 输出或其他外围设备控制	
0	00	01	输入捕捉	仅在上升边沿捕捉
		10		仅在下降边沿捕捉
		11		在上升或下降边沿捕捉
	01	01	输出比较	切换比较输出
		10		清除比较输出
		11		设置比较输出
1X	10	边缘对齐 PWM	High-true p 脉冲 (清除比较输出)	
	X1		Low-true p 脉冲 (设置比较输出)	
1	XX	10	中央对齐 PWM	High-true 脉冲 (清除向上比较输出)
		X1		Low-true 脉冲 (设置向上比较输出)

16.3.5 TPM 通道值寄存器 (TPMxCnVH:TPMxCnVL)

这些读 / 写寄存器包含输入捕捉功能捕捉的 TPM 计数器值, 或输出比较或 PWM 功能的输出比较值。该通道寄存器可通过复位清除。

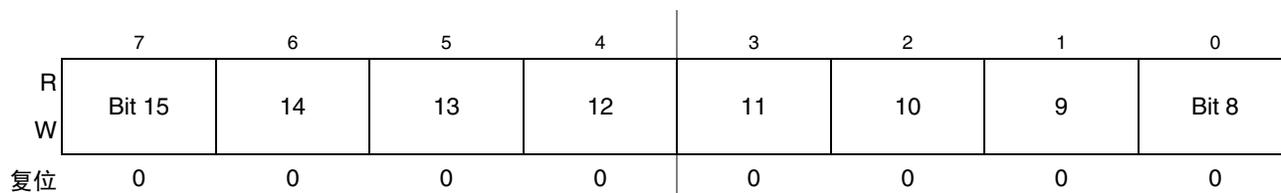


图 16-13. TPM 道值寄存器高字节 (TPMxCnVH)

17.4.3.7 调试控制寄存器 (DBGC)

这个寄存器可以在任何时间读或写。

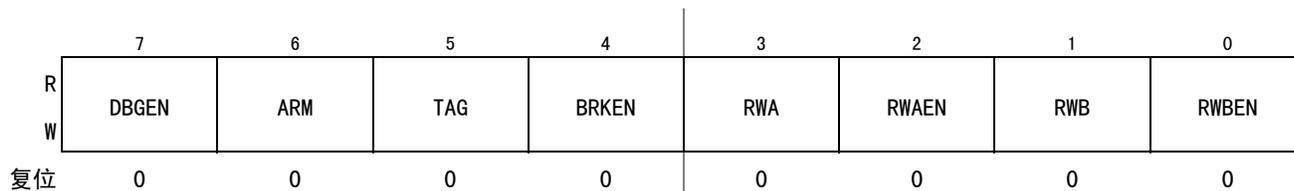


图 17-7. 调试控制寄存器 (DBGC)

表 17-4. DBGC 寄存器字段描述

字段	描述
7 DBGEN	调试模块启用 — 用来启用调试模块。DBGEN 不能设置为 1，如果 MCU 是安全的。 0 DBG 禁用 1 DBG 启用
6 ARM	打开控制 — 控制调试器是否在 FIFO 中比较和存储信息。采用写操作来设置该位 (和 ARMF)，完成调试运行就是自动清除它。将 ARM 或 DBGEN 写为 0，可以停止任何调试运行。 0 调试器没有打开 1 调试器被打开
5 TAG	标记 / 强制选择 — 控制送到 CPU 的中断请求是否为标签或强制型请求。如果 BRKEN = 0，这个位就没有意义或无效。 0 CPU 中断请求作为强制型请求 1 CPU 中断请求作为标签型请求
4 BRKEN	中断启用 — 控制触发事件是否向 CPU 生成中断请求。触发事件可以使信息存储在 FIFO 中而不必向 CP 生成中断请求。对于结束跟踪，如果比较器 (s) 和 R/W 满足触发条件，则发出 CPU 中断请求。对于起始跟踪，则当 FIFO 满时发出 CPU 中断请求。TRGSEL 不影响 CPU 中断请求的定时。 0 CPU 中断请求未启用 1 触发器触发向 CPU 发出中断请求
3 RWA	比较器 A 的 R/W 比较值 — 当 RWAEN = 1，这个位确定是否用读或写接入来鉴定比较器 A，当 RWAEN = 0，RWA 和 R/W 信号不影响比较器 A。 0 比较器 A 只在写周期上匹配 1 比较器 A 只在读周期上匹配
2 RWAEN	启用比较器 A 的 R/W — 控制比较器 A 的匹配是否考虑这个水平的 R/W。 0 R/W 未用在比较 A 中 1 R/W 用在比较 A 中
1 RWB	比较器 B 的 R/W 比较值 — 当 RWBEN = 1，这个位确定是否用读或写接入来鉴定比较器 B。当 RWBEN = 0，RWA 和 R/W 信号不影响比较器 B。 0 比较器 B 只在写周期上匹配 1 比较器 B 只在读周期上匹配
0 RWBEN	启用比较器 B 的 R/W B — 控制比较器 B 的匹配是否考虑这个水平的 R/W。 0 R/W 未用在比较 B 中 1 R/W 用在比较 B 中

表 A-2. 绝对最大额定值

编号	参数	符号	值	单位
1	电源电压	V_{DD}	-0.3 to + 5.8	V
2	输入电压	V_{In}	- 0.3 to $V_{DD} + 0.3$	V
3	瞬时最大电流 单管脚极限 (适用于所有端口管脚) ^{1, 2, 3}	I_D	± 25	mA
4	V_{DD} 中的最大电流	I_{DD}	120	mA
5	存储温度	T_{stg}	-55 to +150	°C

¹ 输入必须是限定为指定值的电流。要确定所需的电流限定电阻器的值，需要先计算正 (V_{DD} 和负 (V_{SS}) 钳位电压的电阻值，然后使用两个电阻值中的较大者。

² 所有功能性非电源管脚内部均钳位在 V_{SS} 和 V_{DD} 。

³ 在瞬时和操作最大电流条件下，电源必须维持在操作 V_{DD} 范围内。如果正注入电流 ($V_{In} > V_{DD}$) 大于 I_{DD} ，则注入电流就可能超出 V_{DD} ，并导致外部电源不可调控。确保外部 V_{DD} 载荷分流大于最大注入电流的电流。当 MCU 不消耗功率时，就会有最大的风险，这样的例子包括：如果当前无系统时钟，或者如果时钟速率非常低，这都会降低总功耗。

A.4 热特性

本小节提供有关操作温度范围、功耗和封装热阻的信息。I/O 管脚上的功耗一般要比片上逻辑的功耗小，它由用户自己决定而非受 MCU 设计的控制。为了在功率计算中把 $P_{I/O}$ 考虑进去，先需要确定实际管脚电压和 V_{SS} or V_{DD} 间的差，并乘以每个 I/O 管脚的管脚电流。除非出现异常高的管脚电流（大负荷），管脚电压和 V_{SS} or V_{DD} 间的差非常小。

表 A-3. 热特征

编号	C	参数	符号	值	单位	温度代码
1	D	操作温度范围 (打包后)	T_A	-40 至 125 -40 至 105 -40 至 85	°C	M V C
2	T	最高结温度 ¹	T_J	135	°C	—
3	D	热阻 ²				
		单层板				
		64- 管脚 LQFP	θ_{JA}	69	°C/W	
		48- 管脚 LQFP	θ_{JA}	75	°C/W	
		32- 管脚 LQFP	θ_{JA}	80	°C/W	
		四层板				
		64- 管脚 LQFP	θ_{JA}	51	°C/W	
		48- 管脚 LQFP	θ_{JA}	51	°C/W	
		32- 管脚 LQFP	θ_{JA}	52	°C/W	

¹ 结温度是晶元尺寸、片上功耗、封装热阻、安装点（主板）温度、周围温度、气流、主板上的其他组件功耗及主板热阻的函数。

² 结与环境的自然对流。

B.6.2.3 边缘对齐 PWM 模式

这类 PWM 输出使用定时器计数器的正常向上计数模式（CPWMS=0），而且可在相同 TPM 中的其他通道被配置为在输入捕获或输出对比时使用。这个 PWM 信号的周期由模数寄存器（TPMxMODH:TPMxMODL）中的设置确定。工作周期由定时器通道值（TPMxCnVH:TPMxCnVL）的设置确定。这个 PWM 信号的极性由 ELSnA 控制位的设置确定。0% 和 100% 工作周期都是可能的。

如图 B-10 所示，TPM 通道寄存器中的输出对比值决定 PWM 信号的脉冲宽度（工作周期）。模数溢出和输出对比之间的时间间隔就是脉冲宽度。如果 ELSnA=0，计数器溢出强制进入 PWM 信号高态；而输出对比强制进入 PWM 信号低态。如果 ELSnA=1，则计数器溢出强制进入 PWM 信号低态；而输出对比强制进入 PWM 信号高态。

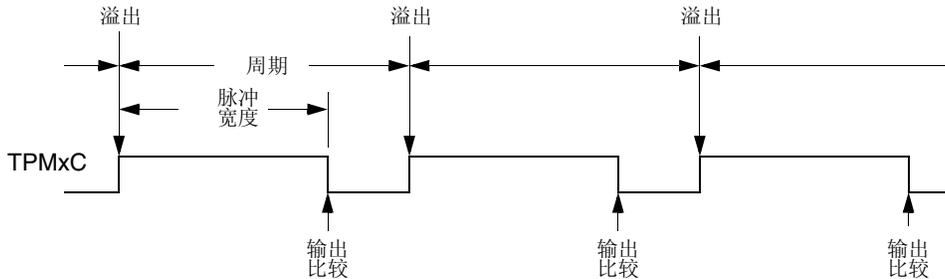


图 B-10. PWM 周期和脉冲宽度 (ELSnA = 0)

当通道值寄存器被设为 0x0000 时，工作周期为 0%。通过将定时器的通道值计数器（TPMxCnVH:TPMxCnVL）设为大于模数设置的值，可实现 100% 的工作周期。这意味着模数设置必须小于 0xFFFF 才能实现 100% 的工作周期。

HCS08 是一个 8 位 MCU 系列，定时器通道寄存器中的设置被缓冲，以确保连贯的 16 位更新并避免意外的 PWM 脉冲宽度。将值写入到任一寄存器（TPMxCnVH 或 TPMxCnVL）中也就是写入到缓冲器寄存器中。在边缘对齐 PWM 模式中，只有在 16 位寄存器的两个 8 位字节都被写入并且 TPMxCnTH:TPMxCnTL 计数器中的值为 0x0000 时，值才会被发送到相应定时器通道寄存器中。（新的工作周期直到下一个完全周期才生效）

B.6.3 中央对齐 PWM 模式

这类 PWM 输出使用定时器计数器的向上 / 向下计数模式（CPWMS = 1）。TPMxCnVH:TPMxCnVL 中的输出比较值决定 PWM 信号的脉冲带宽（工作周期），而周期是由 TPMxMODH:TPMxMODL 中的值决定的。TPMxMODH:TPMxMODL 应保持在 0x0001 至 0x7FFF 之间的范围内，因为这一范围以外的值可能会导致模糊结果。ELSnA 将决定 CPWM 输出的极性。

$$\text{脉冲宽度} = 2 \times (\text{TPMxCnVH}:\text{TPMxCnVL}) \quad \text{等式 17-1}$$

$$\begin{aligned} \text{周期} &= 2 \times (\text{TPMxMODH}:\text{TPMxMODL}); \\ \text{TPMxMODH}:\text{TPMxMODL} &= 0x0001\text{--}0x7FFF \end{aligned} \quad \text{等式 17-2}$$

联系我们：

主页：
www.freescale.com

电子邮件：
support@freescale.com

美国 / 欧洲或未列出的地点：

飞思卡尔半导体
技术信息中心，CH370
1300 N. Alma School Road
Chandler, Arizona 85224
+1-800-521-6274 or +1-480-768-2130
support@freescale.com

欧洲、中东和非洲：

Freescale Halbleiter Deutschland GmbH
技术信息中心
Schatzbogen 7
81829 Muenchen, Germany
+44 1296 380 456 (English)
+46 8 52200080 (English)
+49 89 92103 559 (German)
+33 1 69 35 48 48 (French)
support@freescale.com

日本：

飞思卡尔半导体日本公司。
总部
ARCO Tower 15F
1-8-1, Shimo-Meguro, Meguro-ku,
Tokyo 153-0064
Japan
0120 191014 or +81 3 5437 9125
support.japan@freescale.com

亚太地区：

飞思卡尔半导体香港公司
技术信息中心
2 Dai King Street
Tai Po Industrial Estate
Tai Po, N.T., Hong Kong
+800 2666 8080
support.asia@freescale.com

索取技术资料：

飞思卡尔半导体手册发布中心
P.O. Box 5405
Denver, Colorado 80217
1-800-441-2447 or 303-675-2140
Fax: 303-675-2150
LDCForFreescaleSemiconductor@hibbertgroup.com

Information in this document is provided solely to enable system and software implementers to use Freescale Semiconductor products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits or integrated circuits based on the information in this document.

Freescale Semiconductor reserves the right to make changes without further notice to any products herein. Freescale Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Freescale Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters that may be provided in Freescale Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals", must be validated for each customer application by customer's technical experts. Freescale Semiconductor does not convey any license under its patent rights nor the rights of others. Freescale Semiconductor products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Freescale Semiconductor product could create a situation where personal injury or death may occur. Should Buyer purchase or use Freescale Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold Freescale Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Freescale Semiconductor was negligent regarding the design or manufacture of the part.

RoHS-compliant and/or Pb-free versions of Freescale products have the functionality and electrical characteristics as their non-RoHS-compliant and/or non-Pb-free counterparts. For further information, see <http://www.freescale.com> or contact your Freescale sales representative.

For information on Freescale's Environmental Products program, go to <http://www.freescale.com/epp>.

Freescale™ and the Freescale logo are trademarks of Freescale Semiconductor, Inc. All other product or service names are the property of their respective owners.

© Freescale Semiconductor, Inc. 2007. All rights reserved.