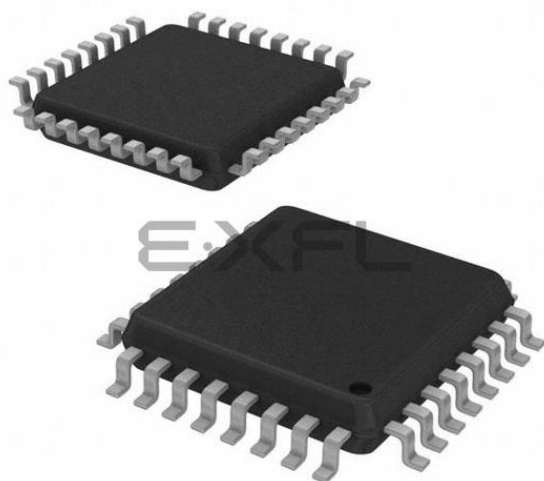




Welcome to [E-XFL.COM](#)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	32KB (32K x 8)
Program Memory Type	FLASH
EEPROM Size	1K x 8
RAM Size	2K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/s9s08dz32f1mlc

章节号	标题	页码
12.3.14	MSCAN 发送错误计数器 (CANTXERR)	226
12.3.15	MSCAN 标识符接收寄存器 (CANIDAR0-7)	227
12.3.16	MSCAN 标识符掩码寄存器 (CANIDMR0-CANIDMR7)	228
12.4	报文存储模式	229
12.4.1	标识符寄存器 (IDR0-IDR3)	231
12.4.2	标准标识符映射的 IDR0 - IDR3	233
12.4.3	数据段寄存器 (DSR0-7)	234
12.4.4	数据长度寄存器 (DLR)	235
12.4.5	发送缓冲器优先寄存器 (TBPR)	236
12.4.6	时间标签寄存器 (TSRH - TSRL)	236
12.5	功能描述	237
12.5.1	概述	237
12.5.2	报文存储	238
12.5.3	标识符接收滤波器	241
12.5.4	运行模式	247
12.5.5	低功耗选项	248
12.5.6	复位初始化	253
12.5.7	中断	253
12.6	初始化 / 应用信息	255
12.6.1	MSCAN 初始化	255
12.6.2	总线脱离恢复	255

第 13 章 串行外围器件接口 (S08SPIV3)

13.1	介绍	257
13.1.1	特性	259
13.1.2	结构图	259
13.1.3	SPI 波特率生成	261
13.2	外部信号描述	262
13.2.1	SPSCK — SPI 串行时钟	262
13.2.2	MOSI — Master Data Out, Slave Data In	262
13.2.3	MISO — Master Data In, Slave Data Out	262
13.2.4	SS — 从选择	262
13.3	运行模式	262
13.3.1	处于停止模式的 SPI	262
13.4	寄存器定义	263
13.4.1	SPI 控制寄存器 1 (SPIC1)	263
13.4.2	SPI 控制寄存器 2 (SPIC2)	264
13.4.3	SPI 波特率寄存器 (SPIBR)	265
13.4.4	SPI 状态寄存器 (SPIS)	266
13.4.5	SPI 数据寄存器 (SPID)	267
13.5	功能描述	267

后台命令有两种类型：

- 非中断型命令，被定义为可在用户程序运行时发出。非中断型命令可在 MCU 处于运行模式时通过 BKGD/MS 管脚发出；非中断型命令也可以在 MCU 处于主动后台模式时执行。非中断型命令包括：
 - 内存访问命令
 - 带状态内存访问命令
 - BDC 寄存器访问命令
 - 后台命令
- 主动后台命令只能在 MCU 处于主动后台模式时执行。主动后台命令主要用于执行以下操作：
 - 读或写 CPU 寄存器
 - 在特定时间跟踪一个用户程序指令
 - 退出主动后台模式，返回到用户应用程序（GO）

主动后台模式用于在 MCU 第一次以运行模式运行前将 Bootloader 或用户应用程序写入到 Flash 程序存储器中。MC9S08DZ60 系列产品从飞思卡尔工厂运出时，除非特别说明，Flash 程序存储器在缺省被擦除，以确保在 Flash 首次被编程前不会有程序在运行模式下被执行。主动后台模式可用于擦除或重新编程先前已编程的 Flash。

关于主动后台模式的详尽信息，请参见 Development Support 一章。

3.5 等待模式

等待模式通过执行 WAIT 指令进入。在执行 WAIT 指令后，CPU 进入无时钟的低功耗状态。CPU 进入等待模式后，CCR 中的 I 位被清除，进而使能中断操作。发生中断请求后，CPU 退出等待模式并执行恢复处理，先开始执行堆栈中的中断业务程序。

MCU 处于等待模式时，后台调试命令的使用受限。MCU 处于等待模式时，只有后台命令和带状态内存访问命令可用。带状态内存访问命令虽然不允许内存访问，但它们会上报错误，指出 MCU 处于停止或等待模式。可以使用后台命令将 MCU 从等待模式中唤醒并进入主动后台模式。

3.6 停止模式

在 SOPT1 寄存器中设置了 STOPE 位时，执行 STOP 指令后会进入停止模式。在停止模式下，所有内部时钟都被暂停。我们可对 MCG 模块进行适当设置，使参考时钟保持运行。更详尽信息请参见第 8 章，“多功能时钟发生器（S08MCGV1）”。

表 4-2. 直接页面寄存器总结 (第 1 页, 共 3 页)

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0x0029	TPM1C1VH	Bit 15	14	13	12	11	10	9	Bit 8
0x002A	TPM1C1VL	Bit 7	6	5	4	3	2	1	Bit 0
0x002B	TPM1C2SC	CH2F	CH2IE	MS2B	MS2A	ELS2B	ELS2A	0	0
0x002C	TPM1C2VH	Bit 15	14	13	12	11	10	9	Bit 8
0x002D	TPM1C2VL	Bit 7	6	5	4	3	2	1	Bit 0
0x002E	TPM1C3SC	CH3F	CH3IE	MS3B	MS3A	ELS3B	ELS3A	0	0
0x002F	TPM1C3VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0030	TPM1C3VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0031	TPM1C4SC	CH4F	CH4IE	MS4B	MS4A	ELS4B	ELS4A	0	0
0x0032	TPM1C4VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0033	TPM1C4VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0034	TPM1C5SC	CH5F	CH5IE	MS5B	MS5A	ELS5B	ELS5A	0	0
0x0035	TPM1C5VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0036	TPM1C5VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0037	预留	—	—	—	—	—	—	—	—
0x0038	SCI1BDH	LBKDIE	RXEDGIE	0	SBR12	SBR11	SBR10	SBR9	SBR8
0x0039	SCI1BDL	SBR7	SBR6	SBR5	SBR4	SBR3	SBR2	SBR1	SBR0
0x003A	SCI1C1	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT
0x003B	SCI1C2	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK
0x003C	SCI1S1	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF
0x003D	SCI1S2	LBKDIF	RXEDGIF	0	RXINV	RWUID	BRK13	LBKDE	RAF
0x003E	SCI1C3	R8	T8	TXDIR	TXINV	ORIE	NEIE	FEIE	PEIE
0x003F	SCI1D	Bit 7	6	5	4	3	2	1	Bit 0
0x0040	SCI2BDH	LBKDIE	RXEDGIE	0	SBR12	SBR11	SBR10	SBR9	SBR8
0x0041	SCI2BDL	SBR7	SBR6	SBR5	SBR4	SBR3	SBR2	SBR1	SBR0
0x0042	SCI2C1	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT
0x0043	SCI2C2	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK
0x0044	SCI2S1	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF
0x0045	SCI2S2	LBKDIF	RXEDGIF	0	RXINV	RWUID	BRK13	LBKDE	RAF
0x0046	SCI2C3	R8	T8	TXDIR	TXINV	ORIE	NEIE	FEIE	PEIE
0x0047	SCI2D	Bit 7	6	5	4	3	2	1	Bit 0
0x0048	MCGC1	CLKS		RDIV			IREFS	IRCLKEN	IREFSTEN
0x0049	MCGC2	BDIV		RANGE	HGO	LP	EREFS	ERCLKEN	EREFSTEN
0x004A	MCGTRM	TRIM							
0x004B	MCGSC	LOLS	LOCK	PLLST	IREFST	CLKST		OSCINIT	FTRIM
0x004C	MCGC3	LOLIE	PLLS	CME	0	VDIV			
0x004D– 0x004F	预留	— —	— —	— —	— —	— —	— —	— —	— —
0x0050	SPIC1	SPIE	SPE	SPTIE	MSTR	CPOL	CPHA	SSOE	LSBFE
0x0051	SPIC2	0	0	0	MODFEN	BIDIROE	0	SPISWAI	SPC0

- Flash、EEPROM 和 RAM 的安全特性
- 突发编程功能
- 扇区擦除终止

4.5.2 编程和擦除时间

在接受任何编程或擦除命令前，必须通过写 Flash 和 EEPROM 时钟分频寄存器 (FCDIV) 以将 Flash 和 EEPROM 模块的内部时钟设置为 150 kHz ~ 200 kHz 之间的频率 (f_{FCLK}) (请参见 4.5.11.1, “Flash 和 EEPROM 时钟分频寄存器 (FCDIV)”)。这个寄存器只能写入一次，因此这一写入操作通常是在复位初始化过程中执行的。用户必须确保在写入 FCDIV 寄存器之前没有设置 FACCERR。命令处理器使用最终时钟 ($1/f_{FCLK}$) 的一个周期来对编程和擦除脉冲定时。命令处理器利用这些定时脉冲的一个整数来完成编程或擦除命令。

表 4-6 显示了编程和擦除时间。总线时钟频率和 FCDIV 决定 FCLK 的频率 (f_{FCLK})。一个 FCLK 周期为 $t_{FCLK} = 1/f_{FCLK}$ 。定时器显示为多个 FCLK 循环和一个绝对时间 ($t_{FCLK} = 5s$)。显示的编程和擦除时间包括命令状态机的开销及编程和擦除电压的启用及禁用的时间。

表 4-6. 编程和擦除时间

参数	FCLK 循环	FCLK = 200 kHz 时的时间
字节程序	9	45 ms
突发程序	4	20 ms ¹
分区擦除	4000	20 ms
整体擦除	20,000	100 ms
分区擦除终止	4	20 ms ¹

¹ 不包括开始 / 结束开销。

4.5.3 编程和擦除命令的执行

在复位和错误标记被清除后，FCDIV 寄存器在开始命令执行之前必须初始化。命令执行步骤如下：

1. 将一个数据值写入到 Flash 或 EEPROM 阵列中的一个地址中。该地址和写入的数据信息被锁定到 Flash 和 EEPROM 接口上。这一写入操作是任何命令序列中要求的第一步。对于擦除和空白检查命令，这些数据的值并不重要。对于分区擦除命令，地址可以是将要擦除的 Flash 或 EEPROM 分区中的任何地址。对于整体擦除和空白检查命令，地址可以是 Flash 或 EEPROM 内存中的任何地址。Flash 和 EEPROM 擦除互相独立。

注意

在对 Flash 或 EEPROM 中的特定字节进行编程前，该字节所在的分区必须通过整体或分区擦除操作擦除。如果对已经编程的字节中的位进行重新编程而不首先进行擦除，可能会造成 Flash 或 EEPROM 内存中保存数据的错误。

7.2 程序员模型和 CPU 寄存器

图 7-1 显示了 5 个 CPU 寄存器。CPU 寄存器不属于存储器映射。

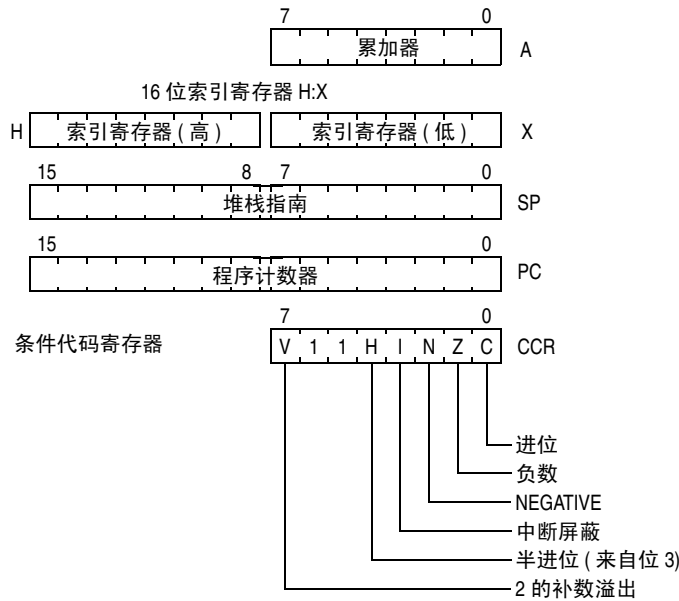


图 7-1. CPU 寄存器

7.2.1 累加器（A）

A 累加器是通用 8 位寄存器。算术逻辑单元（ALU）中的其中一个输入操作数会来自于累加器，在完成算术和逻辑运算后，ALU 结果通常保存在 A 累加器中。使用不同寻址模式可以将存储器中指定地址的数据加载到累加器；或者使用不同寻址模式将 A 的内容保存到指定的存储器地址。

复位不会对 A 累加器的内容产生影响。

7.2.2 索引寄存器（H:X）

这个 16 位寄存器实际上是两个独立的 8 位寄存器（H 和 X），它们通常以 16 位地址指针的形式在一起工作，其中，H 保存地址的高字节，X 保存地址的低字节。所有索引寻址模式指令均使用 H:X 中的整个 16 位值，作为索引参考指针。然而，为了实现与早期 M68HC05 系列的兼容，有些指令只在低阶 8 位部分（X）上操作。

许多指令将 X 作为备用通用 8 位寄存器，该寄存器可以用来保留 8 位数据值。X 可以被清除、累加、减少、补数、忽略、移位或旋转。传输指令允许数据从 A 那里进行传输，也可以传输到 A，然后在这里进行算术和逻辑运算。

为了实现与早期 M68HC05 系列的兼容，复位期间 H 被强制为 0x00。复位不会对 X 的内容产生影响。

7.4 特殊运算

CPU 执行一些特殊运算，这些运算和指令类似，但不像其他 CPU 指令那样有操作码。此外，有些指令，如 STOP 和 WAIT，还会直接影响其他 MCU 电路。本节提供了有关这些运算报文。

7.4.1 复位顺序

上电复位 (POR) 事件、内部条件 (如 COP 看门狗) 或外部低效复位管脚有效状态等都可以导致复位。发生复位事件时，CPU 立即停止正在处理的任何操作 (MCU 在响应复位事件前，无需等待指令边界)。如需了解 MCU 如何识别复位和决定源的详细信息，请参见“复位，中断和系统配置”章。

当确定复位是否来自内部源的顺序已经确定且复位管脚的电平不再处于复位有效状态时，复位事件就视为已经结束。复位事件结束后，CPU 执行一个 6 周期顺序，从 0xFFFFE 和 0xFFFF 中获取复位向量，并填写指令队列，为执行第一个程序指令做准备。

7.4.2 中断时序

发生中断请求时，CPU 在响应中断前会完成当前指令。此时，程序计数器指向下一个指令的开始位置，这个位置也是 CPU 完成中断操作后的返回位置。CPU 通过执行与软件中断 (SWI) 指令一样的运算顺序响应中断，但不同的是，用于向量获取的地址由中断时序开始时处于等待状态优先级最高的中断决定。

CPU 中断的时序为：

1. 把 PCL、PCH、X、A 和 CCR 的内容顺序保存到堆栈上；
2. 在 CCR 中设置 I 位；
3. 获取中断向量高阶部分；
4. 获取中断向量低阶部分；
5. 延迟一个空闲总线周期；
6. 获取从中断向量显示的地址开始的 3 个字节程序报文来填写指令队列，为执行中断服务程序的第一个指令做好准备。

当 CCR 内容被推送到堆栈后，在 CCR 中 I 位被置位，防止中断服务程序中出现其他中断。尽管可以用中断服务程序的指令来清除 I 位，但这样会发生中断嵌套 (不推荐使用该方法，因为它会让程序难以调试和维护)。

为了实现与早期 M68HC05 的兼容，H:X 索引寄存器对 (H) 的高阶部分未作为中断顺序的一部分保存在堆栈上。用户必须在服务程序开始时使用 PSHH 指令来保存 H，然后在结束中断服务程序的 RTI 前使用 PULH 指令。如果您确定中断服务程序不使用任何指令或可能修改 H 值的自动增量寻址模式，就没有必要保存 H。

软件中断 (SWI) 指令类似硬件中断，只是它不是由 CCR 中的全局 I 位进行屏蔽，它与程序中的指令操作码有关，因此它不同步于程序执行。

表 7-3. 操作码映射 (第 1 页, 共 2 页)

Bit-Manipulation			Branch		Read-Modify-Write										Control				Register/Memory												
00	5	10	5	20	3	30	5	40	1	50	1	60	5	70	4	80	9	90	3	A0	2	B0	3	C0	4	D0	4	E0	3	F0	3
BRSET0	3	DIR	2	BSET0	2	BRA	REL	NEG	DIR	NEGA	INH	NEGX	1	NEG	IX1	RTI	INH	BGE	REL	SUB	IMM	SUB	DIR	SUB	EXT	SUB	IX2	SUB	IX1	SUB	IX
01	5	11	5	21	3	31	5	41	4	51	4	61	5	71	5	81	6	91	3	A1	2	B1	3	C1	4	D1	4	E1	3	F1	3
BRCLR0	3	DIR	2	BCLR0	2	BRN	REL	CBEQ	DIR	CBEQA	IMM	CBEQX	3	CBEQ	IX1+	RTS	INH	BLT	REL	CMP	IMM	CMP	DIR	CMP	EXT	CMP	IX2	CMP	IX1	CMP	IX
02	5	12	5	22	3	32	5	42	5	52	6	62	1	72	1	82	5+	92	3	A2	2	B2	3	C2	4	D2	4	E2	3	F2	3
BRSET1	3	DIR	2	BSET1	2	BHI	REL	LDHX	EXT	MUL	INH	DIV	INH	NSA	INH	DAA	INH	BGND	REL	SBC	IMM	SBC	DIR	SBC	EXT	SBC	IX2	SBC	IX1	SBC	IX
03	5	13	5	23	3	33	5	43	1	53	1	63	5	73	4	83	11	93	3	A3	2	B3	3	C3	4	D3	4	E3	3	F3	3
BRCLR1	3	DIR	2	BCLR1	2	BLS	REL	COM	DIR	COMA	INH	COMX	1	COM	IX1	SWI	INH	BLE	REL	CPX	IMM	CPX	DIR	CPX	EXT	CPX	IX2	CPX	IX1	CPX	IX
04	5	14	5	24	3	34	5	44	1	54	1	64	5	74	4	84	1	94	2	A4	2	B4	3	C4	4	D4	4	E4	3	F4	3
BRSET2	3	DIR	2	BSET2	2	BCC	REL	LSR	DIR	LSRA	INH	LSRX	1	LSR	IX1	TAP	INH	TXS	INH	AND	IMM	AND	DIR	AND	EXT	AND	IX2	AND	IX1	AND	IX
05	5	15	5	25	3	35	4	45	3	55	4	65	3	75	5	85	1	95	2	A5	2	B5	3	C5	4	D5	4	E5	3	F5	3
BRCLR2	3	DIR	2	BCLR2	2	BCS	REL	STHX	DIR	LDHX	IMM	LDHX	2	CPHX	IMM	TPA	INH	TSX	INH	BIT	IMM	BIT	DIR	BIT	EXT	BIT	IX2	BIT	IX1	BIT	IX
06	5	16	5	26	3	36	5	46	1	56	1	66	5	76	4	86	3	96	5	A6	2	B6	3	C6	4	D6	4	E6	3	F6	3
BRSET3	3	DIR	2	BSET3	2	BNE	REL	ROR	DIR	RORA	INH	RORX	1	ROR	IX1	PULA	INH	STHX	EXT	LDA	IMM	LDA	DIR	LDA	EXT	LDA	IX2	LDA	IX1	LDA	IX
07	5	17	5	27	3	37	5	47	1	57	1	67	5	77	4	87	2	97	1	A7	2	B7	3	C7	4	D7	4	E7	3	F7	2
BRCLR3	3	DIR	2	BCLR3	2	BEQ	REL	ASR	DIR	ASRA	INH	ASRX	1	ASR	IX1	PSHA	INH	TAX	INH	AIS	IMM	STA	DIR	STA	EXT	STA	IX2	STA	IX1	STA	IX
08	5	18	5	28	3	38	5	48	1	58	1	68	5	78	4	88	3	98	1	A8	2	B8	3	C8	4	D8	4	E8	3	F8	3
BRSET4	3	DIR	2	BSET4	2	BHCC	REL	LSL	DIR	LSLA	INH	LSLX	1	LSL	IX1	PULX	INH	CLC	INH	EOR	IMM	EOR	DIR	EOR	EXT	EOR	IX2	EOR	IX1	EOR	IX
09	5	19	5	29	3	39	5	49	1	59	1	69	5	79	4	89	2	99	1	A9	2	B9	3	C9	4	D9	4	E9	3	F9	3
BRCLR4	3	DIR	2	BCLR4	2	BHCS	REL	ROL	DIR	ROLA	INH	ROLX	1	ROL	IX1	PSHX	INH	SEC	INH	ADC	IMM	ADC	DIR	ADC	EXT	ADC	IX2	ADC	IX1	ADC	IX
0A	5	1A	5	2A	3	3A	5	4A	1	5A	1	6A	5	7A	4	8A	3	9A	1	AA	2	BA	3	CA	4	DA	4	EA	3	FA	3
BRSET5	3	DIR	2	BSET5	2	BPL	REL	DEC	DIR	DECA	INH	DECX	1	DEC	IX1	PULH	INH	CLI	INH	ORA	IMM	ORA	DIR	ORA	EXT	ORA	IX2	ORA	IX1	ORA	IX
0B	5	1B	5	2B	3	3B	7	4B	4	5B	4	6B	7	7B	6	8B	2	9B	1	AB	2	BB	3	CB	4	DB	4	EB	3	FB	3
BRCLR5	3	DIR	2	BCLR5	2	BMI	REL	DBNZ	DIR	DBNZA	INH	DBNZX	3	DBNZ	IX1	PSHH	INH	SEI	INH	ADD	IMM	ADD	DIR	ADD	EXT	ADD	IX2	ADD	IX1	ADD	IX
0C	5	1C	5	2C	3	3C	5	4C	1	5C	1	6C	5	7C	4	8C	1	9C	1			BC	3	CC	4	DC	4	EC	3	FC	3
BRSET6	3	DIR	2	BSET6	2	BMC	REL	INC	DIR	INCA	INH	INCX	1	INC	IX1	CLRH	INH	RSP	INH			JMP	DIR	JMP	EXT	JMP	IX2	JMP	IX1	JMP	IX
0D	5	1D	5	2D	3	3D	4	4D	1	5D	1	6D	4	7D	3			9D	1	AD	5	BD	5	CD	6	DD	6	ED	5	FD	5
BRCLR6	3	DIR	2	BCLR6	2	BMS	REL	TST	DIR	TSTA	INH	TSTX	1	TST	IX1					BSR	REL	JSR	DIR	JSR	EXT	JSR	IX2	JSR	IX1	JSR	IX
0E	5	1E	5	2E	3	3E	6	4E	5	5E	5	6E	4	7E	5	8E	2+	9E	Page 2	AE	2	BE	3	CE	4	DE	4	EE	3	FE	3
BRSET7	3	DIR	2	BSET7	2	BIL	REL	CPHX	EXT	MOV	DD	MOV	2	MOV	IX+D	STOP	INH			LDX	IMM	LDX	DIR	LDX	EXT	LDX	IX2	LDX	IX1	LDX	IX
0F	5	1F	5	2F	3	3F	5	4F	1	5F	1	6F	5	7F	4	8F	2+	9F	1	AF	2	BF	3	CF	4	DF	4	EF	3	FF	2
BRCLR7	3	DIR	2	BCLR7	2	BIH	REL	CLR	DIR	CLRA	INH	CLR	1	CLR	IX1	WAIT	INH	TXA	INH	AIX	IMM	STX	DIR	STX	EXT	STX	IX2	STX	IX1	STX	IX

INH 固有
IMR 立即
DIR 直接
EXT 扩展
DD DIR 至 DIR
IX+D IX+ 至 DIR

REL 相关
IX 索引、无偏移
IX1 索引、8 位偏移
IX2 索引、16 位偏移
IMD IMM 至 DIR
DIX+ DIR 至 IX+

SP1 堆栈指针, 8 位偏移
SP2 堆栈指针, 16 位偏移
IX+ 有索引、无偏移、
带后增量
IX1+ 有索引、1 字节偏移、
带后增量

十六进制操作码 字节数

F0	3
SUB	
1	IX

HCS08 周期
指令助记符
寻址模式

8.4.4 MCG 状态和控制寄存器 (MCGSC)

	7	6	5	4	3	2	1	0
R	LOLS	LOCK	PLLST	IREFST	CLKST		OSCINIT	FTRIM
W								
POR:	0	0	0	1	0	0	0	0
复位:	0	0	0	1	0	0	0	U

图 8-6. MCG 状态和控制寄存器 (MCGSC)

表 8-4. MCG 状态和控制寄存器字段描述

字段	描述
7 LOLS	锁定状态丢失 — 该位是 FLL 或 PLL 锁定状态的标志。当锁定检测使能时，并且时钟已经锁定所定时，就设置 LOLS。锁定后，PLL 或 PLL 输出频率超出未锁定频率容限 D _{unl} 的范围。当 LOLIE 置位时，它决定是否在设置了 LOLS 时发送中断请求。当设置了 LOLS 时，可以通过复位或向 LOLS 写入逻辑 1 的方式清除 LOLS。向 LOLS 写入逻辑 0 不会产生影响。 0 自从上次清除 LOLS 以来，FLL 或 PLL 没有丢失锁定。 1 自从上次清除 LOLS 以来，FLL 或 PLL 丢失锁定。
6 LOCK	锁定状态 — 显示 FLL 或 PLL 是否已获得锁定。当 PLL 和 FLL 都被禁止时，锁定检测也被禁止。如果设置了锁定状态位，那么修改 IREFS、PLLS、RDIV[2:0]、TRIM[7:0]（如果为 FEI 或 FBI 模式）或 VDIV[3:0]（如果为 PBE 或 PEE 模式）中的任何一个值都可能造成锁定状态位清除，并在 FLL 或 PLL 重新获得锁定之前一直保持清除状态。进入停止模式也会造成锁定状态位清除，并在 FLL 或 PLL 重新获得锁定之前一直保持清除状态。进入 BLPI 或 BLPE 模式也会造成锁定状态位清除，并在 MCG 退出这些模式前一直保持清除状态，直到 FLL 或 PLL 重新获得锁定。 0 FLL 或目前未被锁定。 1 FLL 或目前被锁定。
5 PLLST	选择状态 — PLLST 位显示 PLLS 时钟的当前源。由于时钟域间的内部同步，在向 PLLS 位进行写入后，PLLST 位不会立即更新。 0 PLLS 时钟源是 FLL 时钟 1 PLLS 时钟源是 PLL 时钟
4 IREFST	内部参考状态 — IREFST 位显示当前参考时钟的源。由于时钟域间的内部同步，在向 IREFST 位进行写入后，IREFS 位不会立即更新。 0 参考时钟源是外部参考时钟（振荡器或外部时钟源由 MCGC2 寄存器中的 EREFS 位决定） 1 参考时钟源是内部参考时钟
3:2 CLKST	时钟模式状态 — CLKST 位显示当前时钟模式。由于时钟域间的内部同步，在向 CLKST 位进行写入后，CLKS 位不会立即更新。 00 Encoding 0 — 选择 FLL 输出 01 Encoding 1 — 选择内部参考时钟 10 Encoding 2 — 选择外部参考时钟 11 Encoding 3 — 选择 PLL 输出
1 OSCINIT	OCS 初始化 — 如果 ERCLKEN 选择了外部参考时钟源或者 MCG 正处于 FEE、FBE、PEE、PBE 或 BLPE 模式，并且设置了 EREFS，那么在完成了外部振荡器时钟的初始化周期后就要设置该位。只有当 EREFS 被清除或者 MCG 处于 FEI、FBI 或 BLPI 模式且 ERCLKEN 被清除时，这个位才被清除。
0 FTRIM	MCG 微调 — 控制内部参考时钟频率最细微的调节。设置 FTRIM 会以最小的幅度延长该时段，清除 FTRIM 会以最小的幅度缩短该时段。 如果保存在非易失性存储器中 FTRIM 值被使用，用户有责任将这个值从非易失性存储器位置复制到该寄存器的 FTRIM 位上。

8.6.2.3 示例 3: 从 BLPI 转换到 FEE 模式: 外部晶体 = 4 MHz、总线频率 = 16 MHz

本例中，MCG 将选择适当的运行模式，从以基于内部参考时钟，运行于 16 kHz 总线频率的 BLPI 模式（参见前例）转换到 4MHz 晶体频率、16 MHz 总线频率的 FEE 模式。示例中首先介绍了代码序列，然后提供了一个演示该顺序的流程图。

1. 首先，BLPI 必须转换到 FBI 模式。
 - a) MCGC2 = 0x00 (%00000000)
 - MCGSC 中的 LP（位 3）是 0
 - b) 循环检测，直到 MCGSC 中的 LOCK（位 6）置位，表明 FLL 已经获得锁定。尽管在 FBI 模式中 FLL 被旁通，但它仍使能并运行。
2. 接下来，FBI 将转换到 FEE 模式。
 - a) MCGC2 = 0x36 (%00110110)
 - RANGE（位 5）设置为 1，因为 4 MHz 频率在高频范围内。
 - HGO（位 4）设置为 1，为高增益运行配置外部振荡器。
 - EREFS（位 2）设置为 1，因为正在使用晶体。
 - ERCLKEN（位 1）设置为 1，确保外部参考时钟处于活动状态。
 - b) 循环检测，直到 MCGSC 中的 OSCINIT（位 1）是 1，表明 EREFS 位选择的晶体已经完成初始化。
 - c) MCGC1 = 0x38 (%00111000)
 - CLKS（位 7 和 6）设置为 %00，以便将 FLL 输出选为系统时钟源。
 - RDIV（位 5-3）设置为 %111 或除以 128，因为 $4 \text{ MHz} / 128 = 31.25 \text{ kHz}$ ，这在 FLL 要求的 31.25 kHz -- 39.0625 kHz 频率范围内。
 - IREFS（位 1）清除至 0，选择外部参考时钟
 - d) 循环检测，直到 MCGSC 中的 IREFST（位 4）是 0，表明外部参考时钟是参考时钟的当前源。
 - e) 循环检，直到 MCGSC 中的 LOCK（位 6）置位，表明 FLL 重新获得了锁定。
 - f) 循环检测，直到 MCGSC 中的 CLKST（位 3 和 2）是 %00，表明已经选择 FLL 输出为 MCGOUT 馈电。

9.1.4 结构图

模拟比较器模块的结构图如图 9-2。

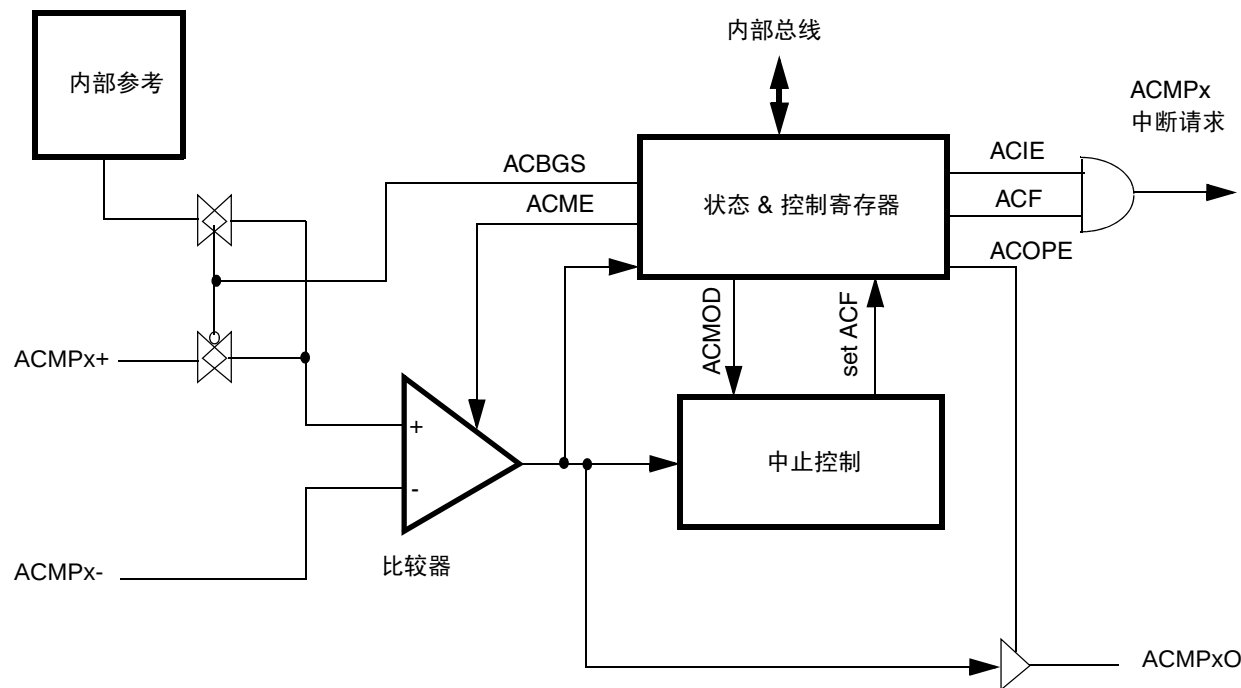


图 9-2. 模拟比较器（ACMP）结构图

9.2 外部信号描述

ACMP 有两个模拟输入管脚 ACMPx+ 和 ACMPx-，有一个数字输出管脚 ACMPxO。输入管脚可接受的电压范围在 MCU 正常工作电压范围内。如图 9-2 所示，ACMPx- 管脚连接比较器的反相输入，如果 ACBGS 是 0，ACMPx+ 管脚连接比较器的同相输入。如图 9-2 所示，可以使能 ACMPxO 管脚来驱动外部输出。

ACM 的信号属性如表 9-1 所示。

表 9-1. 信号属性

信号	功能	I/O
ACMPx-	ACMP 的反相模拟输入（负输入）	I
ACMPx+	ACMP 的同相模拟输入（正输入）	I
ACMPxO	ACMP 的数字输出	O

9.3 存储器映射 / 寄存器定义

ACMP 包括一个寄存器：

- 一个 8 位状态和控制寄存器

如需了解 ACMP 寄存器的绝对地址分配，请参见本文档的存储器节 “直接页面寄存器概述”。本节仅按寄存器和控制位的名称及相关地址偏移进行参考。

有些 MCU 的 ACMP 可能不止一个，因此寄存器名称包括占位符 (x)，以明确正在参考哪个 ACMP。

表 9-2. ACMP 寄存器摘要

名称		7	6	5	4	3	2	1	0
ACMPxSC	R	ACME	ACBGS	ACF	ACIE	ACO	ACOPE	ACMOD	
	W								

9.3.1 ACMPx 状态和控制寄存器 (ACMPxSC)

ACMPxSC 包括状态标记和使能和配置 ACMP 所需的控制位。

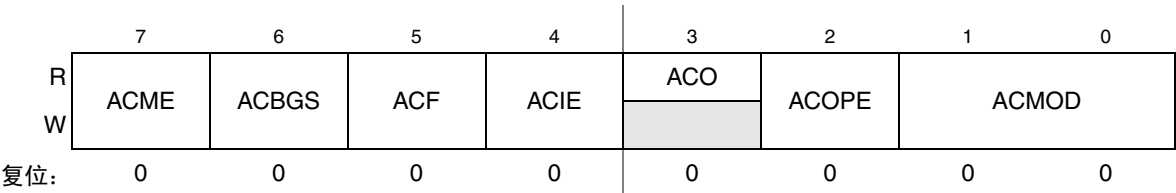


图 9-3. ACMPx 状态和控制寄存器 (ACMPxSC)

表 9-3. ACMPxSC 字段描述

字段	描述
7 ACME	模拟比较器模块使能。使能 ACMP 模块。 0 ACMP 关闭 1 ACMP 使能
6 ACBGS	模拟比较器死区选择。选择带死区参考电压或 ACMPx+ 管脚作为模拟比较器同相输入的输入。 0 外部管脚 ACMPx+ 选择为比较器的同相输入 1 内部参考选择为比较器的同相输入
5 ACF	模拟比较器标记。每次发生比较事件时都设置 ACF。比较事件由 ACMOD 定义。通过在 ACF 上写入 1 来清除 ACF。 0 未发生比较事件。 1 已发生比较事件。
4 ACIE	模拟比较器中断使能。从 ACMP 那里使能中断。设置了 ACIE 后，在 ACF 置位时中断被触发。 0 中断禁止 1 中断使能
3 ACO	模拟比较器输出。ACO 读数返回模拟比较器输出的当前值。ACO 复位为 0，在 ACMP 禁止时 (ACME = 0) 读数为 0。

表 11-4. IIC 分频器和保持值

ICR (hex)	SCL 分频器	SDA 保持值	SCL 保持 (开始) 值	SDA 保持 (停止) 值
00	20	7	6	11
01	22	7	7	12
02	24	8	8	13
03	26	8	9	14
04	28	9	10	15
05	30	9	11	16
06	34	10	13	18
07	40	10	16	21
08	28	7	10	15
09	32	7	12	17
0A	36	9	14	19
0B	40	9	16	21
0C	44	11	18	23
0D	48	11	20	25
0E	56	13	24	29
0F	68	13	30	35
10	48	9	18	25
11	56	9	22	29
12	64	13	26	33
13	72	13	30	37
14	80	17	34	41
15	88	17	38	45
16	104	21	46	53
17	128	21	58	65
18	80	9	38	41
19	96	9	46	49
1A	112	17	54	57
1B	128	17	62	65
1C	144	25	70	73
1D	160	25	78	81
1E	192	33	94	97
1F	240	33	118	121

ICR (hex)	SCL 分频器	SDA 保持值	SCL 保持 (开始) 值	SDA 保持 (停止) 值
20	160	17	78	81
21	192	17	94	97
22	224	33	110	113
23	256	33	126	129
24	288	49	142	145
25	320	49	158	161
26	384	65	190	193
27	480	65	238	241
28	320	33	158	161
29	384	33	190	193
2A	448	65	222	225
2B	512	65	254	257
2C	576	97	286	289
2D	640	97	318	321
2E	768	129	382	385
2F	960	129	478	481
30	640	65	318	321
31	768	65	382	385
32	896	129	446	449
33	1024	129	510	513
34	1152	193	574	577
35	1280	193	638	641
36	1536	257	766	769
37	1920	257	958	961
38	1280	129	638	641
39	1536	129	766	769
3A	1792	257	894	897
3B	2048	257	1022	1025
3C	2304	385	1150	1153
3D	2560	385	1278	1281
3E	3072	513	1534	1537
3F	3840	513	1918	1921

12.5.7.7 从恢复停止或 等待

MSCAN 可以通过唤醒中断从停止或等待中恢复。只有当 MSCAN 在进入断电模式前处于睡眠模式 (SLPRQ = 1, SLPK = 1) 时, 唤醒选项被使能 (WUPE = 1), 唤醒中断使能 (WUPIE = 1), 这种中断才能发生。

12.6 初始化 / 应用信息

12.6.1 MSCAN 初始化

系统复位后, 初始化 MSCAN 模块的流程如下:

1. 置位 CANE
2. 写入处于初始化模式的配置寄存器
3. 清除 INITRQ, 离开初始化模式, 进入正常模式

当 MSCAN 模块处于正常模式下, 需要更改只能在初始化模式中写入的寄存器:

1. CAN 总线空闲后, 通过设置 SLPRQ 并等待 SLPK 进行确认, 将模块置入睡眠模式。
2. 进入初始化模式: 确定 INITRQ 并等待 INITAK
3. 写入处于初始化模式的配置寄存器
4. 清除 INITRQ, 离开初始化模式, 继续保持正常模式

12.6.2 总线脱离恢复

用户可配置总线脱离恢复功能。总线脱离状态既可以自动退出, 也可以在用户的请求下退出。

出于向前兼容原因, 复位后, MSCAN 默认为自动恢复。在这种情况下, 在计数 128 次 CAN 总线上 11 个连续隐性位的出现后, MSCAN 将重新变成 ERROR ACTIVE (详情请参见 Bosch CAN 规范)。

如果 MSCAN 配置为用于用户请求模式 12.3.2, “控制寄存器 1 (CANCTL1)” 中设置的 BORM), 从总线脱离中恢复依赖于以下两个独立事件都成立后:

- 发现 128 次 CAN 总线上的 11 个连续隐性位
- 12.3.12, “MSCAN 其他寄存器 (CANMISC)” 中的 BOHOLD 已经被用户清除

这两个事件的发生顺序任意。

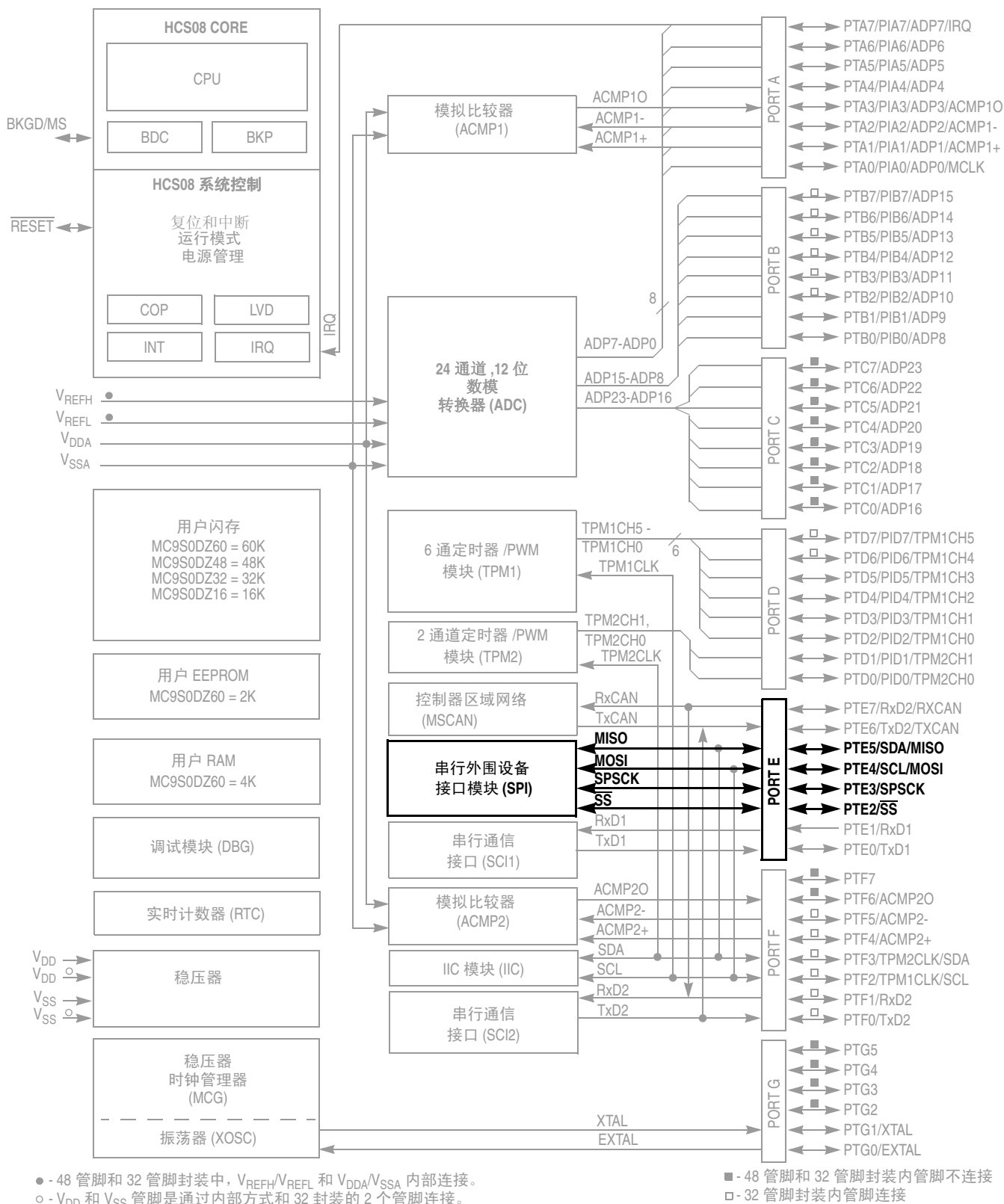


图 13-1. 强调 ADC 模块和管脚的 MC9S08DZ60 结构图

14.3.5.2 停止模式运行

在所有停止模式中，SCI 模块的时钟都被暂停。

在 STOP1 和 STOP2 模式中，所有 SCI 寄存器数据丢失，当从这两种停止模式恢复时必须重新初始化。任何 SCI 模块寄存器在 STOP3 模式中都不受影响。

接收输入活动边沿检测电路在 STOP3 模式中仍然是活动的，但在 STOP2 模式中不活动。如果中断未屏蔽（RXEDGIE = 1），接收输入上的活动边沿将把 CPU 带离 STOP3 模式。

注意，由于时钟被暂停，当从停止模式（仅在 STOP3 模式）退出时，SCI 模块会重新开始运行。当 ISC 模块正在发送或接收字符时，软件应确保不会进入停止模式。

14.3.5.3 循环模式

当 LOOPS = 1 时，相同寄存器中的 RSRC 位选择循环模式（RSRC = 0）或单线模式（RSRC = 1）。循环模式独立于外部系统连接，有时用于检查软件，以帮助隔离系统问题。在该模式中，发射器输出内部连接到接收器输入，且 SCI 不使用 RxD 管脚，因此它恢复为通用端口 I/O 管脚。

14.3.5.4 单线运行

当 LOOPS = 1 时，相同寄存器中的 RSRC 位选择循环模式（RSRC = 0）或单线模式（RSRC = 1）。单线模式用来执行半双工串行连接。接收器内部连接到发射器输出和 TxD 管脚。RxD 管脚不使用并恢复为通用端口 I/O 管脚。

在单线模式中，SCIxC3 中的 TXDIR 位控制着 TxD 管脚上的串行数据方向。当 TXDIR = 0 时，TxD 管脚是 SCI 接收器的输入，发射器与 TxD 管脚的连接被暂时断开，因此外部器件就可以向接收器发送串行数据。当 TXDIR = 1 时，TxD 管脚是一个由发射器驱动的输出。在单线模式中，辅发射器到接收器的内部环回连接使接收器接收由发射器发送出来的字符。

规定中央对齐 PWM 操作时，计数器从 0x0000 向上计数到其终端计数，然后向下计数到 0x0000，在那里又开始向上计数。0x0000 和终端计数值均为正常长度计数（一个定时器时钟周期长度）。在这种模式下，定时器溢出标记（TOF）在终端计数周期结束时被设置（当计数器变为下一个更低计数值时）。

16.4.1.4 手动计数器复位

主定时器计数器可随时通过将任何值写入 TPMxCNTH 或 TPMxCNTL 的任何一半来手动复位。如果复位计数前只有一半计数器被读取，这种计数器复位方法还会复位一致性机制。

16.4.2 通道模式选择

如果 Provided CPWMS=0, 通道 n 状态和控制寄存器中 MSnA 和 MSnA 控制位为相应通道确定基本运行模式。选择包括输入捕捉、输出比较或边缘对齐 PWM。

16.4.2.1 输入捕捉模式

利用输入捕捉功能，TPM 可捕捉外部事件发生的时间。当输入捕捉通道的管脚上发生活动边沿时，TPM 可将 TPM 计数器的内容锁入到通道值寄存器（TPMxCnVH:TPMxCnVL）中。上升边沿、下降边沿或任何边沿都可选择作为触发输入捕捉的使能边沿。

在输入捕捉模式下，TPMxCnVH 和 TPMxCnVL 寄存器为只读。

当 16 位捕捉寄存器的任何一半被读时，另一半被锁入到缓冲器中，以按从小到大或从大到小顺序支持连贯的 16 位接入。一致序列可通过向通道状态 / 控制寄存器（TPMxCnSC）中写入值来手动复位。

输入捕捉事件设置标记位（CHnF）。该位可选择生成 CPU 中断请求。

在 BDM 中时，输入捕捉功能按用户配置的方式运行。发生外部事件时，TPM 将 TPM 计数器的内容（因为这在 BDM 模式下是冻结的）锁入到通道值寄存器中，并设置标志位。

16.4.2.2 输出比较模式

利用输出比较功能，TPM 可生成具有可编程位置、极性、持续时间和频率的定时脉冲。当计数器达到输出比较通道的通道值寄存器中的值时，TPM 可设置、清除或切换通道管脚。

在输出比较模式下，根据 CLKSb:CLKSA 位值，仅在 16 位寄存器的两个一半（8 位）被写入后，值被传输到相应的定时器通道寄存器中，因此：

- 如果（clksb:clksa = 0:0），寄存器在第二个字节被写入时更新。
- 如果（clksb:clksa not = 0:0），寄存器在第二字节被写入后 tpm 计数器下次发生变化（预分频器计数结束）时更新。

一致性序列可通过向通道状态 / 控制寄存器（TPMxCnSC）中写入值来手动复位。

输出比较事件设置标记位（CHnF）。该位可选择生成 CPU 中断请求。

— 中央对齐 PWM (16.4.2.4, “中央对齐 PWM 模式”)

在此模式下, 如果 (CLKSB:CLKSA not = 0:0), TPM v3 在两个字节都被写入, 且 TPM 计数器从 (TPMxMODH:L - 1) 变为 (TPMxMODH:L) 时使用写入缓冲器的值更新 TPMxCnVH:L 寄存器。如果 TPM 计数器为自由运行的计数器, 那么更新在 TPM 计数器从 \$FFFE 变为 \$FFFF 时进行。然而, TPM v2 在两个字节都被写入, 且 TPM 计数器从 TPMxMODH:L 变为 (TPMxMODH:L - 1) 时进行更新。

5. 中央对齐 PWM (16.4.2.4, “中央对齐 PWM 模式”)

— TPMxCnVH:L = TPMxMODH:L [SE110-TPM 案例 1]

在这种情况下, TPM v3 生成 100% 的占空比。然而, TPM v2 生成 0% 的占空比。

— TPMxCnVH:L = (TPMxMODH:L - 1) [SE110-TPM 案例 2]

在这种情况下, TPM v3 生成几乎 100% 的占空比。然而, TPM v2 生成 0% 的占空比。

— TPMxCnVH:L 从 0x0000 变为非零值 [SE110-TPM 案例 3 和 5]

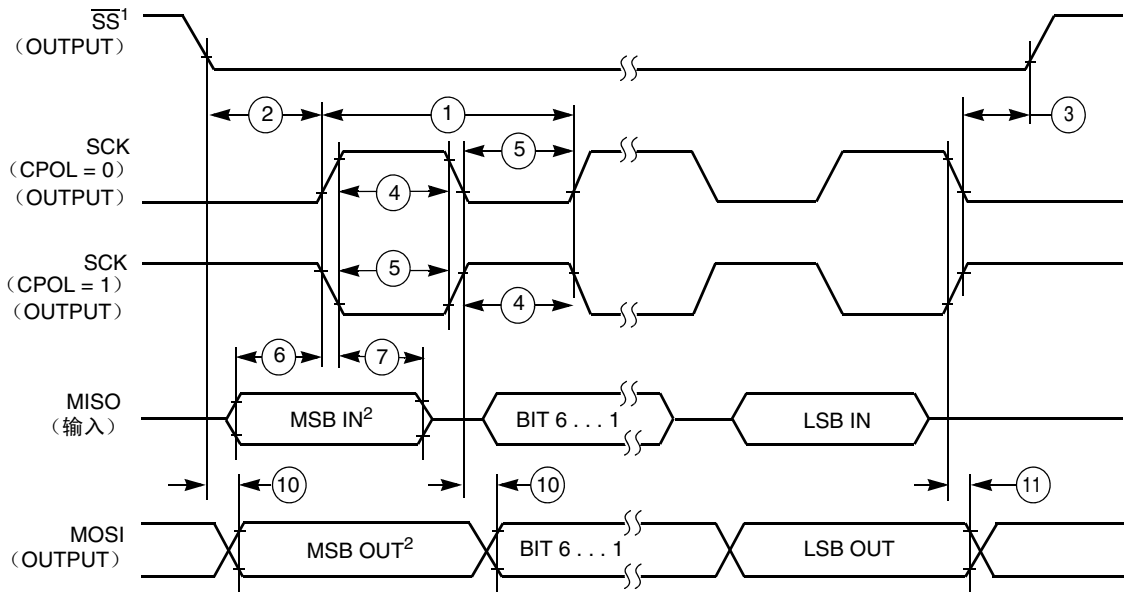
在这种情况下, TPM v3 等待新的 PWM 时期开始, 以便开始使用新占空比设置。然而, TPM v2 在当前 PWM 周期的中间改变通道输出 (当计数达到 0x0000 时)。

— TPMxCnVH:L 从非零值变为 0x0000 [SE110-TPM 案例 4]

在这种情况下, TPM v3 使用旧的占空比设置完成当前的 PWM 周期。然而, TPM v2 使用新占空比设置完成当前的 PWM 周期。

6. 在 BDM 模式下写入到 TPMxMODH:L 寄存器 (16.3.3, “TPM 计数器模数寄存器 (TPMxMODH:TPMxMODL)”)

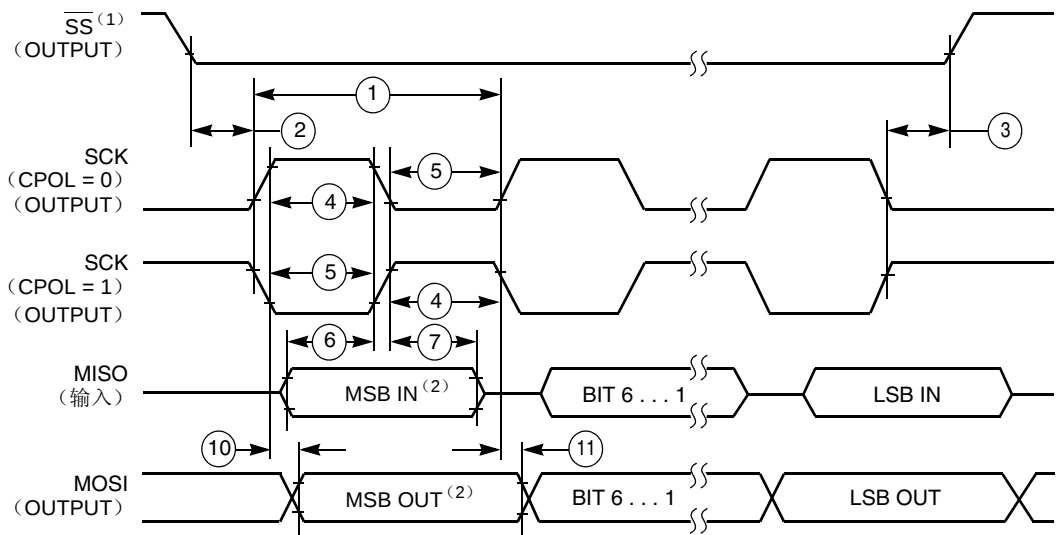
在 TPM v3 中, BDM 模式下向 TPMxSC 寄存器的写入可清除 TPMxMODH:L 寄存器的写入一致性机制。然而, 在 TPM v2 中, TPMxSC 寄存器写入操作不会清除这个一致性机制。



注释:

- 1. SS 输出模式 (MODFEN = 1, SSOE = 1) .
- 2. LSBF = 0。当 LSBF = 1 时, 位顺序是 LSB、位 1、...、位 6、MSB。

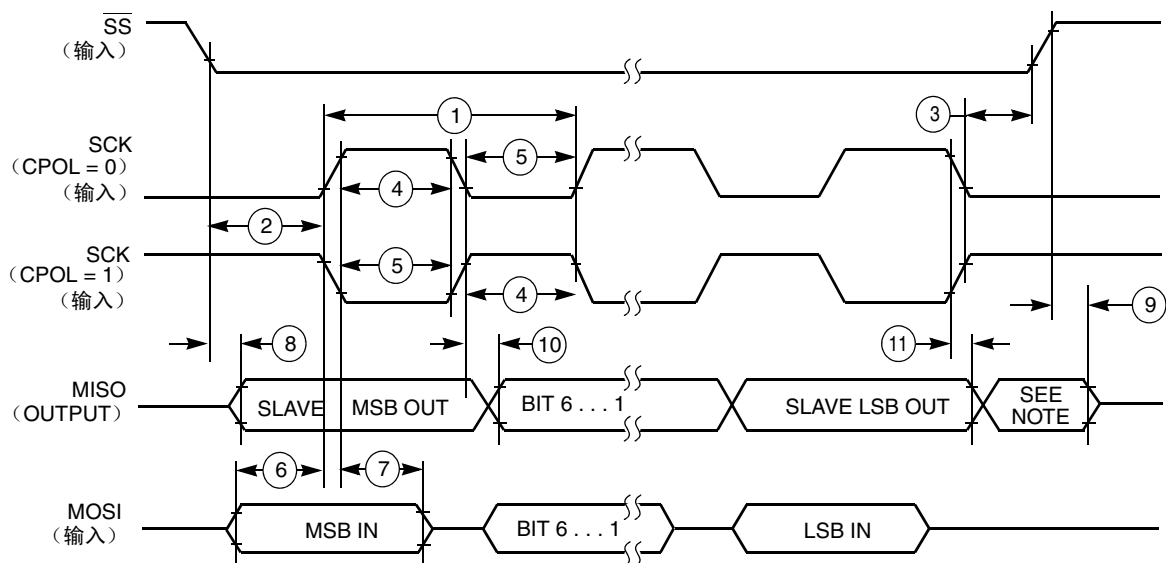
图 A-7. SPI 主时序 (CPHA = 0)



注释

- 1. SS 输出模式 (MODFEN = 1, SSOE = 1)
- 2. LSBF = 0。当 LSBF = 1 时, 位顺序是 LSB、位 1、...、位 6、MSB。B.

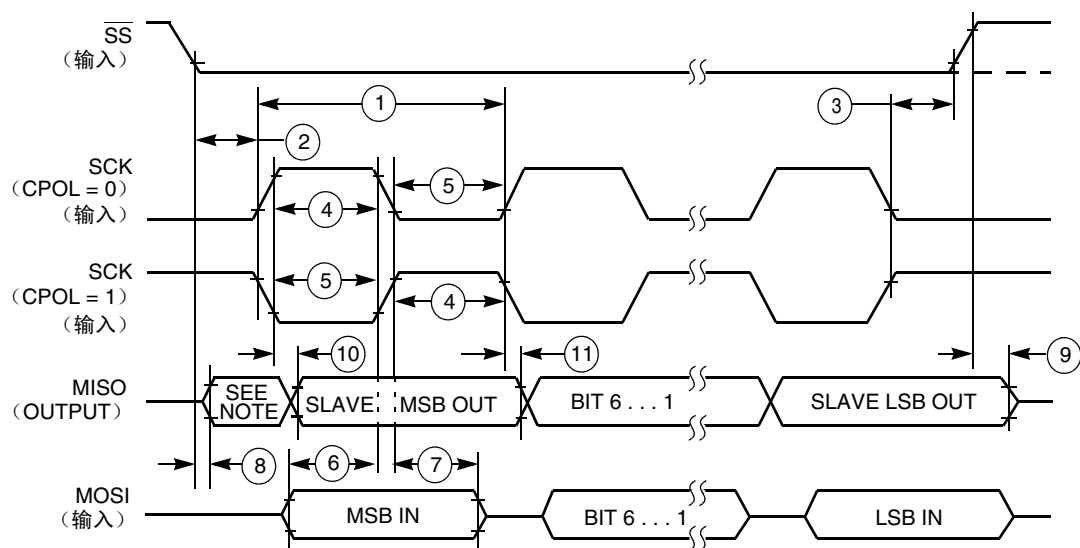
图 A-8. SPI 主时序 (CPHA = 1)



注释:

1. 未定义, 但在正常情况下只接收 MSB 字符

图 A-9. SPI 从时序 (CPHA = 0)



注释:

1. 未定义, 但在正常情况下只接收 LSB 字符

图 A-10. SPI 从时序 (CPHA = 1)

A.13 闪存和 EEPROM

本小节详细地描述闪存和 EEPROM 存储器的编程 / 擦除次数及编程 - 擦除容限。

编程和擦除操作除正常 V_{DD} supply 电源外不需要任何特殊电源。有关编程 / 擦除操作的更多信息，请参见第 4 章，“存储器”。

表 A-17. 闪存和 EEPROM 特性

编号	C	参数	符号	最小值	典型值	最大值	单位
16	—	编程 / 擦除的电原电压	$V_{\text{prog/erase}}$	2.7		5.5	V
17	—	读取操作的电源电压 $0 < f_{\text{Bus}} < 8 \text{ MHz}$ $0 < f_{\text{Bus}} < 20 \text{ MHz}$	V_{Read}	2.7		5.5	V
18	—	内部 FCLK 频率 ¹	f_{FCLK}	150		200	kHz
19	—	内部 FCLK 时间 (1/FCLK)	t_{Fcyc}	5		6.67	μs
20	—	字节编程时间 (任意位置) (2)	t_{prog}	9			t_{Fcyc}
21	—	字节编程时间 (突发模式) (2)	t_{Burst}	4			t_{Fcyc}
22	—	页面擦除时间 ²	t_{Page}	4000			t_{Fcyc}
23	—	块擦除时间 (2)	t_{Mass}	20,000			t_{Fcyc}
24	C	闪存编程 / 擦除次数 ³ T_L 至 $T_H = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $T = 25^\circ\text{C}$	n_{FLPE}	10,000 —	— 100,000	— —	cycles
25	C	编程 / 擦除次数 ³ T_L 至 $T_H = -40^\circ\text{C}$ to $+0^\circ\text{C}$ T_L to $T_H = 0^\circ\text{C}$ to $+125^\circ\text{C}$ $T = 25^\circ\text{C}$	n_{EEPE}	10,000 50,000 —	— — 100,000	— — —	cycles
26	C	数据保留时间 ⁴	$t_{\text{D_ret}}$	15	100	—	years

¹ 该时钟的频率由软件设置控制。

² 这些值是硬件状态设备控制的值。用户代码无需计周期数。提供该信息的目的是为了计算编程和擦除的大约时间。

³ 闪存和 EEPROM 的典型容限基于内在的位信元性能。有关飞思卡尔半导体如何定义典型容限的更多信息，请参考 Engineering Bulletin EB619，非易失性存储器的典型容限。

⁴ 典型数据保留时间值基于在高温时测量的技术的内在能力，并使用阿伦尼乌斯公式降到 25°C 。有关飞思卡尔半导体如何定义典型数据保留时间的更多信息，请参考 Engineering Bulletin EB618，非易失性存储器的典型数据保留时间。