

Welcome to E-XFL.COM

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	39
Program Memory Size	32KB (32K x 8)
Program Memory Type	FLASH
EEPROM Size	1K x 8
RAM Size	2K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 16x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	48-LQFP
Supplier Device Package	48-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/pro/item?MUrl=&PartUrl=s9s08dz32f1mlf

章节号	标题	页码
13.5.1	SPI 时钟格式	268
13.5.2	SPI 中断	270
13.5.3	模式故障检测	270

第 14 章 串行通信接口 (S08SCIV4)

14.1	介绍	271
14.1.1	SCI2 配置信息	271
14.1.2	特性	273
14.1.3	运行模式	273
14.1.4	结构图	273
14.2	寄存器定义	276
14.2.1	SCI 波特率寄存器 (SCIxBDH, SCIxBDL)	276
14.2.2	SCI 控制寄存器 1 (SCIxC1)	277
14.2.3	SCI 控制寄存器 2 (SCIxC2)	278
14.2.4	SCI 状态寄存器 1 (SCIxS1)	279
14.2.5	SCI 状态寄存器 2 (SCIxS2)	280
14.2.6	SCI 控制寄存器 3 (SCIxC3)	282
14.2.7	SCI 数据寄存器 (SCIxD)	283
14.3	功能描述	283
14.3.1	波特率生成	283
14.3.2	发射器功能描述	284
14.3.3	接收器功能描述	285
14.3.4	中断和状态标记	286
14.3.5	其他 SCI 功能	287

第 15 章 实时计数器 (S08RTCV1)

15.1	简介	289
15.1.1	RTC 时钟信号名称	289
15.1.2	功能	291
15.1.3	运行模式	291
15.1.4	结构图	292
15.2	外部信号描述	292
15.3	寄存器定义	292
15.3.1	RTC 状态和控制寄存器 (RTCSC)	293
15.3.2	RTC 计数器寄存器 (RTCCNT)	294
15.3.3	RTC 模数寄存器 (RTCMOD)	294
15.4	功能描述	294
15.4.1	操作实例	296
15.5	初始化 / 应用信息	296

3.6.2 Stop2 模式

Stop2 模式通过表 3-1 所示的情况下执行 STOP 指令进入。除 RAM 外，MCU 的大部分内部电路在 Stop2 模式下处于断电状态。在进入 Stop2 模式后，所有 I/O 管脚控制信号被锁定，以确保管脚可以在 Stop2 模式下保持原来的状态。

从 Stop2 模式中退出的操作通过输入有效 RESET 信号完成。只有在 3M05C 或更老的掩码集中，您可以通过输入 PTA7/ADP7/IRQ 中断信号来退出 Stop2。

注意

只有在 3M05C 或更老的掩码集中，PTA7/ADP7/IRQ 是低电平唤醒，因此在执行 STOP 指令前必须配置为输入，以避免从 Stop2 中立即退出。如果 PTA7/ADP7/IRQ 被配置为高驱动输出，那么它可以禁止唤醒功能。为了在 Stop2 模式下最大限度地降低功耗，该管脚在被配置为输入时不应保持开路（启用内部上拉器件；或连接外部上拉/下拉器件；或将管脚设置为输出）。

此外，实时时钟计数器（RTC）也可以从 Stop2 模式下唤醒 MCU（如果已启用）。

MCU 从 Stop2 模式中唤醒后，启动过程和加电复位（POR）相同：

- 所有模块控制寄存器和状态寄存器被复位
- LVD 复位功能启用；如果 V_{DD} 低于 LVD 跳变点（由于 POR 选择的低跳变点），MCU 仍处于复位状态
- CPU 读取复位向量

并且，在从 Stop2 模式中唤醒后，SPMSC2 中的 PPDF 也会被设置用于将用户代码引导到 Stop2 恢复程序中。PPDF 仍保持有效且 I/O 管脚状态被锁定，直到 1 被写入到 SPMSC2 中的 PPDACK 中。

为了在进入 Stop2 之前保持被设置为通用 I/O 管脚的 I/O 状态，用户必须将 I/O 端口寄存器（保存在 RAM 中）的内容恢复到端口寄存器中，然后再写入到 PPDACK 位中。如果端口寄存器在写入到 PPDACK 中之前没有从 RAM 中恢复，那么在写入 PPDACK 时该管脚将切换到复位状态。

对于配置为外围 I/O 的管脚，用户在写入 PPDACK 位之前必须重新配置连接到该管脚的外围模块。如果外围模块在写入 PPDACK 之前没有启用，那么在 I/O 锁定被打开时，该管脚将由相关的端口控制寄存器控制。

3.6.3 停止模式中的片上外围模块

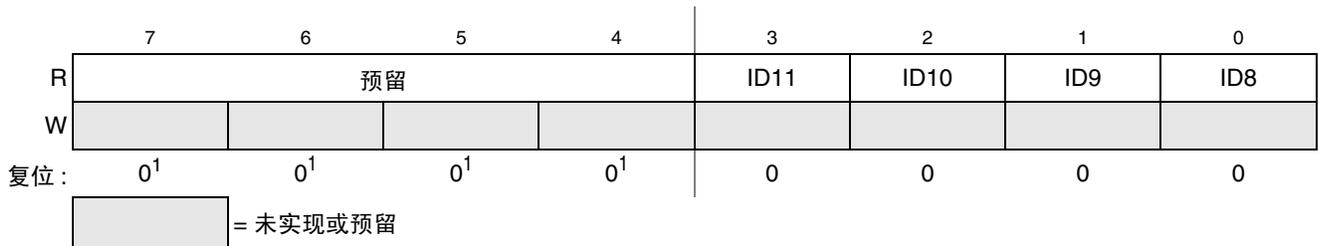
当 MCU 进入任何停止模式时，连接到内部外围模块的系统时钟被停止。即使在异常情况下（ENBDM = 1）（连接到后台调试逻辑的时钟继续运行），到外围系统的时钟也将被停止以降低功耗。有关停止模式下系统的详细信息，请参见 3.6.2，“Stop2 模式”和 3.6.1，“Stop3 模式”。

表 5-7. SOPT2 寄存器字段描述

字段	描述
7 COPCLKS	COP 看门狗时钟选择 — 这个单次写入有效的位选择 COP 看门狗时钟源。如需了解详细信息，请参见表 5-6。 0 内部 1-kHz 时钟是 COP 源。 1 总线时钟是 COP 源。
6 COPW	COP Window — 窗口—这个单次写入有效的位选择 COP 运行模式。设置时，向 SRS 寄存器的 0x55-0xAA 写入顺序必须出现在所选时段的后 25% 时间内，所选时段前 75% 时间内出现的任何 SRS 寄存器写入都将复位 MCU。 0 常规 COP 操作。 1 窗口式 COP 操作。
4 ADHTS	ADC 硬件触发选择 — 这个位选择决定使能 ADC 硬件触发（ADCSC2 寄存器设置了 ADCTRG）时由哪个硬件触发初始化数模转换器的转换操作。 0 实时计数器 (RTC) 溢出。 1 外部中断请求 (IRQ) 管脚。
2:0 MCSEL	MCLK 分频选择 — 这些位在 PTA0 管脚上 MCLK 输出使能，并根据下面的公式选择当 MCSEL 位不全部等于 0 时 MCLK 输出的分频比率。如果 MCSEL 位都等于 0，MCLK 输出禁止。 MCLK 频率 = 总线时钟频率 ³ (2 * MCSEL)

5.8.6 系统器件识别寄存器 (SDIDH, SDIDL)

这些高页只读寄存器也包括在内，这样主机开发系统就能够识别 HCS08 衍生和修定编号。这使得开发软件能够识别特定的存储器块、寄存器和控制位在目标 MCU 的什么位置。



¹ 硬编码到这些位的修订编号反应当前的芯片修订水平。

图 5-7. 系统器件识别寄存器 — 高 (SDIDH)

表 5-8. SDIDH 寄存器字段描述

字段	描述
3:0 ID[11:8]	部件识别编号 — MC9S08DZ60 μ C- MCU 被硬编码为值 0x00E。也请参见表 5-9 里的 ID 位。

6.5.1.7 A 端口中断管脚选择寄存器 (PTAPS)

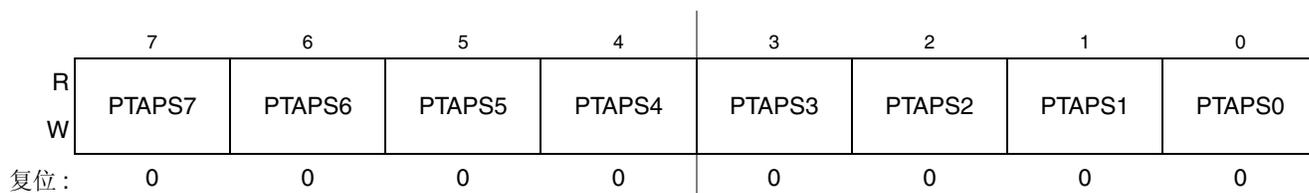


图 6-9. A 端口中断管脚选择寄存器 (PTAPS)

表 6-7. PTAPS 寄存器字段描述

字段	描述
7:0 PTAPS[7:0]	A 端口中断管脚选择 — 每个 PTAPSn 位都使能相应的 A 端口中断管脚。 0 管脚禁止中断。 1 管脚允许中断。

6.5.1.8 A 端口中断边沿选择寄存器 (PTAES)

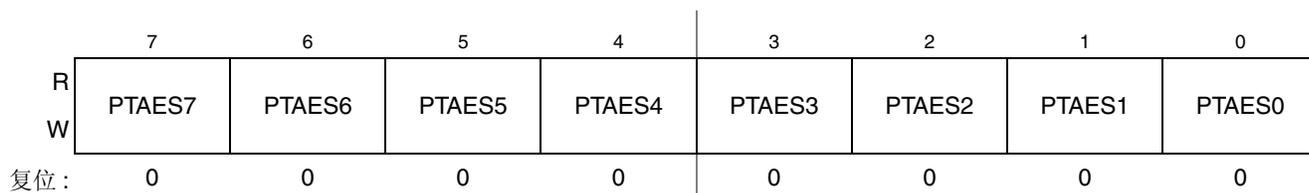


图 6-10. A 端口边沿选择寄存器 (PTAES)

表 6-8. PTAES 寄存器字段描述

字段	描述
7:0 PTAES[7:0]	A 端口边沿选择 — 每个 PTBESn 位都具有双重功能，选择中断边沿的极性以及选择上拉或下拉器件（使能的话）。 0 上拉器件与相关的管脚相连，检测中断生成的下降边沿 / 低电平。 1 下拉器件与相关的管脚相连，检测中断生成的上升边沿 / 高电平。

6.5.2 B 端口寄存器

B 端口由下面列出的寄存器控制。

6.5.7.4 G 端口斜率使能寄存器 (PTGSE)

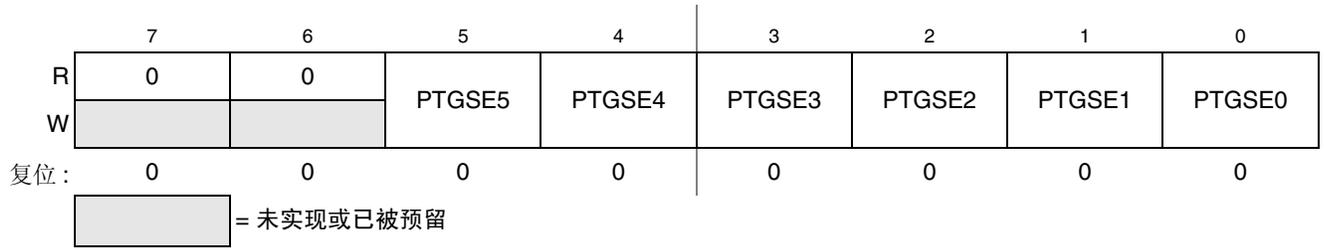


图 6-45. G 端口寄存器斜率使能 (PTGSE)

表 6-43. PTGSE 寄存器字段描述

字段	描述
5:0 PTGSE[5:0]	G 端口位的输出斜率使能 — 这些控制位决定是否为相关的 PTG 管脚使能输出斜率控制。对于配置为输入的 G 端口管脚，这些位不会产生任何影响。 0 G 端口位 - 输出斜率控制禁止。 1 G 端口位 - 输出斜率控制使能。

注意: 工程样品和最终成品的斜率复位默认值可能不同。一定要将斜率控制初始化为所需的值，以确保正确的操作。

6.5.7.5 G 端口驱动强度选择寄存器 (PTGDS)

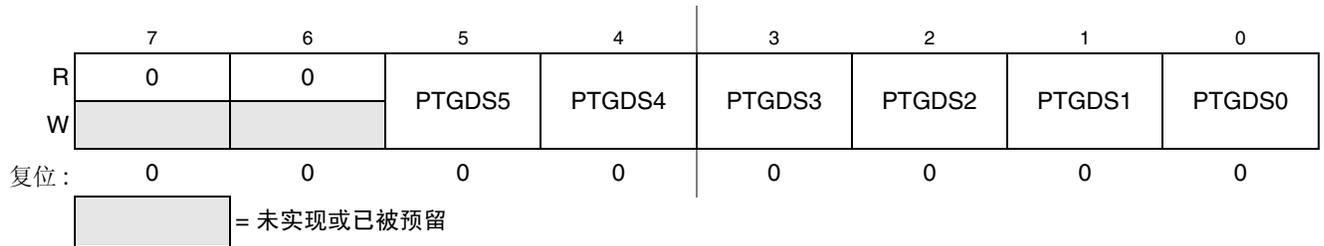


图 6-46. G 端口寄存器的驱动强度选择 (PTGDS)

表 6-44. PTGDS 寄存器字段描述

字段	描述
5:0 PTGDS[5:0]	G 端口位的输出驱动强度选择 — 这些控制位为相关的 PTG 选择低输出驱动和高输出驱动。对于配置为输入的 G 端口管脚，这些位不会产生任何影响。 0 G 端口位 - 选择的低输出驱动强度。 1 G 端口位 - 选择的高输出驱动强度。

7.2 程序员模型和 CPU 寄存器

图 7-1 显示了 5 个 CPU 寄存器。CPU 寄存器不属于存储器映射。

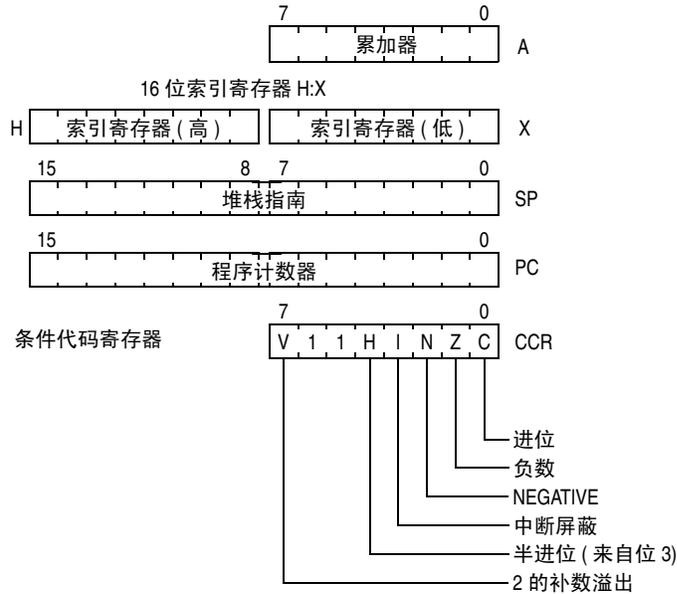


图 7-1. CPU 寄存器

7.2.1 累加器 (A)

A 累加器是通用 8 位寄存器。算术逻辑单元 (ALU) 中的其中一个输入操作数会来自于累加器，在完成算术和逻辑运算后，ALU 结果通常保存在 A 累加器中。使用不同寻址模式可以将存储器中指定地址的数据加载到累加器；或者使用不同寻址模式将 A 的内容保存到指定的存储器地址。

复位不会对 A 累加器的内容产生影响。

7.2.2 索引寄存器 (H:X)

这个 16 位寄存器实际上是两个独立的 8 位寄存器 (H 和 X)，它们通常以 16 位地址指针的形式在一起工作，其中，H 保存地址的高字节，X 保存地址的低字节。所有索引寻址模式指令均使用 H:X 中的整个 16 位值，作为索引参考指针。然而，为了实现与早期 M68HC05 系列的兼容，有些指令只在低阶 8 位部分 (X) 上操作。

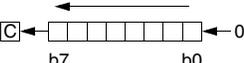
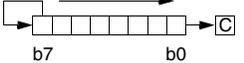
许多指令将 X 作为备用通用 8 位寄存器，该寄存器可以用来保留 8 位数据值。X 可以被清除、累加、减少、补数、忽略、移位或旋转。传输指令允许数据从 A 那里进行传输，也可以传输到 A，然后在这里进行算术和逻辑运算。

为了实现与早期 M68HC05 系列的兼容，复位期间 H 被强制为 0x00。复位不会对 X 的内容产生影响。

7.5 HCS08 指令集小结

表 7-2 概括地介绍了所有可能的寻址模式中的 HCS08 指令集。表中显示了各个指令的每个寻址模式变种的操作数构造、内部总线时钟周期的执行时间和逐周期详情。

表 7-2. 指令集小结 (第 1 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V I 1 H I N Z C	
ADC #opr8i ADC opr8a ADC opr16a ADC oprx16,X ADC oprx8,X ADC ,X ADC oprx16,SP ADC oprx8,SP	进位添加 $A \leftarrow (A) + (M) + (C)$	IMM DIR EXT IX2 IX1 IX SP2 SP1	A9 ii B9 dd C9 hh ll D9 ee ff E9 ff F9 9E D9 ee ff 9E E9 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	↓ 1 1 ↓ - ↓ ↓ ↓	↓ ↓ ↓ ↓ - ↓ ↓ ↓
ADD #opr8i ADD opr8a ADD opr16a ADD oprx16,X ADD oprx8,X ADD ,X ADD oprx16,SP ADD oprx8,SP	无进位添加 $A \leftarrow (A) + (M)$	IMM DIR EXT IX2 IX1 IX SP2 SP1	AB ii BB dd CB hh ll DB ee ff EB ff FB 9E DB ee ff 9E EB ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	↓ 1 1 ↓ - ↓ ↓ ↓	↓ ↓ ↓ ↓ - ↓ ↓ ↓
AIS #opr8i	在堆栈指针上添加立即值 (带符号) $SP \leftarrow (SP) + (M)$	IMM	A7 ii	2	pp	- 1 1 -	- - - - -
AIX #opr8i	在索引寄存器 (H:X) 上添加立即值 (带符号) H:X $H:X \leftarrow (H:X) + (M)$	IMM	AF ii	2	pp	- 1 1 -	- - - - -
AND #opr8i AND opr8a AND opr16a AND oprx16,X AND oprx8,X AND ,X AND oprx16,SP AND oprx8,SP	逻辑 AND $A \leftarrow (A) \& (M)$	IMM DIR EXT IX2 IX1 IX SP2 SP1	A4 ii B4 dd C4 hh ll D4 ee ff E4 ff F4 9E D4 ee ff 9E E4 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	- ↓ ↓ ↓ - - ↓ ↓ ↓ -
ASL opr8a ASLA ASLX ASL oprx8,X ASL ,X ASL oprx8,SP	算术左移位 t  (同 LSL)	DIR INH INH IX1 IX SP1	38 dd 48 58 68 ff 78 9E 68 ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↓ 1 1 -	- ↓ ↓ ↓ ↓ - ↓ ↓ ↓ ↓
ASR opr8a ASRA ASRX ASR oprx8,X ASR ,X ASR oprx8,SP	算术右移位 t 	DIR INH INH IX1 IX SP1	37 dd 47 57 67 ff 77 9E 67 ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↓ 1 1 -	- ↓ ↓ ↓ ↓ - ↓ ↓ ↓ ↓
BCC rel	如果进位清除, 分支 (如果 C = 0)	REL	24 rr	3	ppp	- 1 1 -	- - - - -

8.2.1 特性

MCG 模块的主要特性:

- 锁频环 (FLL)
 - 使用内部 32-kHz 参考时, 0.2% 分辨率
 - 使用内部 32-kHz 参考时, 全电压和温度范围内 2% 的偏差
 - 可以使用内部或外部参考控制 FLL
- 锁相环 (PLL)
 - 压控振荡器 (VCO)
 - 模数 VCO 分频器
 - 相位 / 频率检测器
 - 集成环路滤波器
 - 带中断功能的锁定检测器
- 内部参考时钟
 - 9 个调整位, 确保精确度
 - 可选择为 MCU 的时钟源
- 外部参考时钟
 - 外部振荡器控制
 - 具有复位功能的时钟监控器
 - 可选择为 MCU 的时钟源
- 提供参考分频器
- 所选的时钟源可以除以 1 2 4 或 8
- 无论在 FLL 还是 PLL 模式中, BDC 时钟 (MCGLCLK) 是一个由 DCO 输出除以 2 得出的常量。

表 10-6. 时钟分频选择

ADIV	分频率	时钟率
00	1	输入时钟
01	2	输入时钟 ÷ 2
10	4	输入时钟 ÷ 4
11	8	输入时钟 ÷ 8

表 10-7. 转换模式

模式	模式描述
00	8 位转换 (N=8)
01	12 位转换 (N=12)
10	10 位转换 (N=10)
11	保留

表 10-8. 输入时钟选择

ADICLK	所选的时钟源
00	总线时钟
01	总线时钟除以 2
10	替代时钟 (ALTCLK)
11	异步时钟 (ADACK)

10.4.8 管脚控制寄存器 1 (APCTL1)

管脚控制寄存器用来禁止对模拟输入的 MCU 管脚作为 I/O 端口控制，APCTL1 用来控制这些管脚与 ADC 模块通道 0-7 的连接。

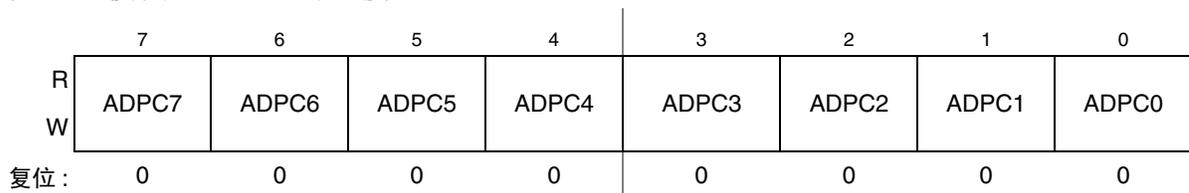


图 10-11. 管脚控制寄存器 1 (APCTL1)

表 10-9. APCTL1 寄存器字段描述

字段	描述
7 ADPC7	ADC 管脚控制 7 — ADPC7 用来控制与通道 AD7 连接的管脚。 0 AD7 管脚 I/O 控制使能 1 AD7 管脚 I/O 控制禁止
6 ADPC6	ADC 管脚控制 6 — ADPC6 用来控制与通道 AD6 连接的管脚。 0 AD6 管脚 I/O 控制使能 1 AD6 管脚 I/O 控制禁止
5 ADPC5	ADC 管脚控制 5 — ADPC5 用来控制与通道 AD5 连接的管脚。 0 AD5 管脚 I/O 控制使能 1 AD5 管脚 I/O 控制禁止
4 ADPC4	ADC 管脚控制 4 — ADPC4 用来控制与通道 AD4 连接的管脚。 0 AD4 管脚 I/O 控制使能 1 AD4 管脚 I/O 控制禁止
3 ADPC3	ADC 管脚控制 3 — ADPC3 用来控制与通道 AD3 连接的管脚。 0 AD3 管脚 I/O 控制使能 1 AD3 管脚 I/O 控制禁止
2 ADPC2	ADC 管脚控制 2 — ADPC2 用来控制与通道 AD2 连接的管脚。 0 AD2 管脚 I/O 控制使能 1 AD2 管脚 I/O 控制禁止
1 ADPC1	ADC 管脚控制 1 — ADPC1 用来控制与通道 AD1 连接的管脚。 0 AD1 管脚 I/O 控制使能 1 AD1 管脚 I/O 控制禁止
0 ADPC0	ADC 管脚控制 0 — ADPC0 用来控制与通道 AD0 连接的管脚。 0 AD0 管脚 I/O 控制使能 1 AD0 管脚 I/O 控制禁止

10.4.9 管脚控制寄存器 2 (APCTL2)

APCTL2 用来控制 ADC 模块的通道 8-15。

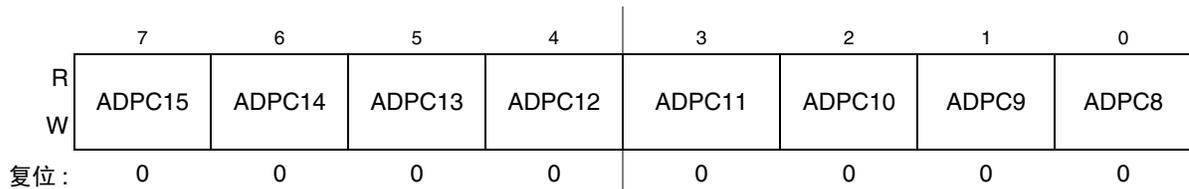


图 10-12. 管脚控制寄存器 2 (APCTL2)

12.1.3 结构图

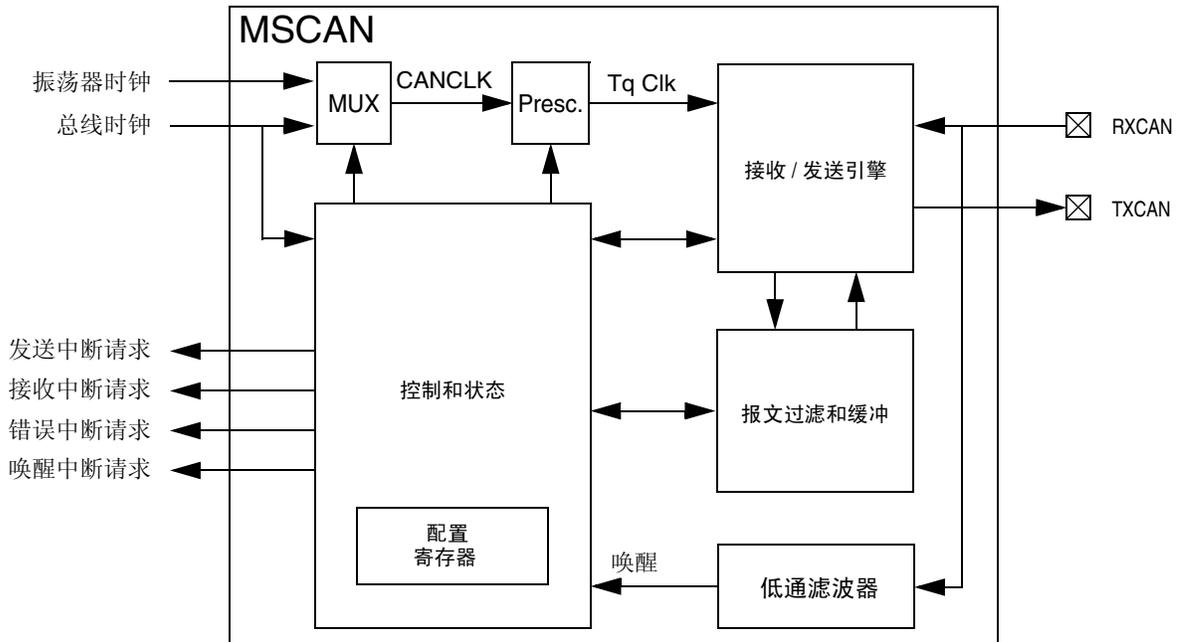


图 12-2. MSCAN 结构图

12.2 外部信号描述

MSCAN 使用两个外部管脚：

12.2.1 RXCAN — CAN 接收器输入管脚 Y

RXCAN 是 MSCAN 接收器输入管脚。

12.2.2 TXCAN — CAN T 发射器输出管脚

TXCAN 是 MSCAN 发送器输出管脚。TXCAN 输出管脚代表 CAN 总线上的逻辑层：

0 = 显性状态

1 = 隐性状态

12.2.3 CAN 系统

图 12-3. 显示了一个具有 MSCAN 的典型 CAN 系统。每个 CAN 节点通过收发器物理连接到 CAN 总线线路。e. 收发器能够驱动 CAN 总线所需的大电流，并具有对故障 CAN 或故障节点的电流保护。

表 12-12. CANTIER 寄存器字段描述

字段	描述
2:0 TXEIE[2:0]	发送器空中断使能 0 无中断请求从该事件中生成。 1 发送器空（发送缓冲器可用于发送）事件引起发送器空中断请求。更多报文参见 12.5.2.2, “发送结构”。

12.3.8 MSCAN Transmitter 发送器报文中止请求寄存器 (CANTARQ)

The CANTARQ 寄存器中止报文发送队列的请求。

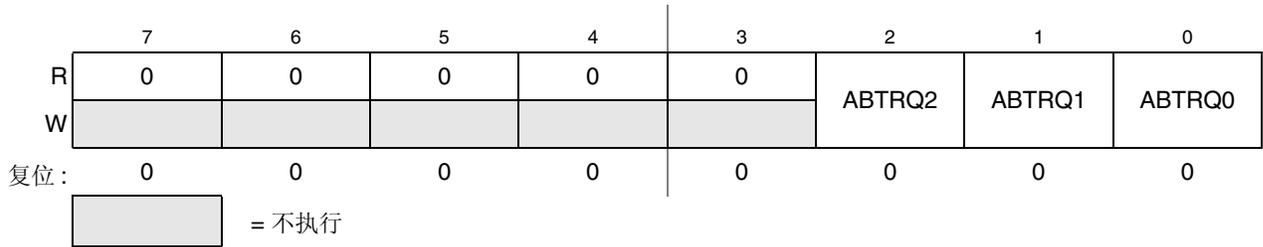


图 12-12. MSCAN 发送器报文中止请求寄存器 (CANTARQ)

注意

当初始化模式处于有效状态时，CANTARQ 寄存器保持复位状态（INITRQ=1，INITAK=1）。当未处于初始化模式时，该寄存器可以写入（INITRQ=0，INITAK=0）。

读取：任何时间

写入：未处于初始化模式的任何时间

表 12-13. CANTARQ 寄存器字段描述

字段	描述
2:0 ABTRQ[2:0]	中止请求 —CPU 设置 ABTRQ _x 位，请求中止预定的报文缓冲器（TXE _x = 0）。如果报文还没有开始发送，或者如果发送没有成功（仲裁丢失或错误），MSCAN 就同意请求。当报文被中止时，相关 TXE（参见 12.3.6, “MSCAN 发送器标志寄存器 (CANTFLG)”）和中止确认标志（ABTAK, 参见 12.3.9, “MSCAN 发送器报文中止确认寄存器 (CANTAACK)”）被设置，且若使能就触发发送中断。CPU 不能复位 ABTRQ _x 。每当设置了相关的 TXE 标志时，ABTRQ _x 就被复位。 0 无中止请求 1 中止请求产生

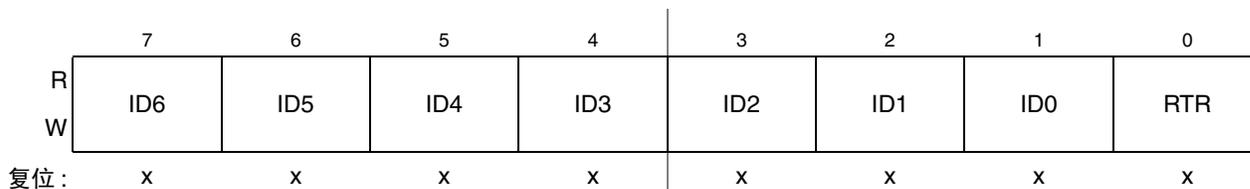


图 12-28. 标识符寄存器 3 (IDR3) — 扩展标识符映射

表 12-28. 标识符寄存器 0 — 标准映射

字段	描述
7:1 ID[6:0]	扩展格式标识符 — 该标识符由 29 个扩展格式位 (ID[28:0]) 组成。ID28 是最高的位, 仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。
0 RTR	远程发送请求 — 该标志反应 CAN 帧中远程发送请求的状态。在接收缓冲器中, 它显示已接收帧的状态, 并在软件中支持应答帧的发送。在发送缓冲器中, 该标志定义将要发送的 RTR 位的设置。 0 数据帧 1 远程帧

12.4.2 标准标识符映射的 IDR0 - IDR3

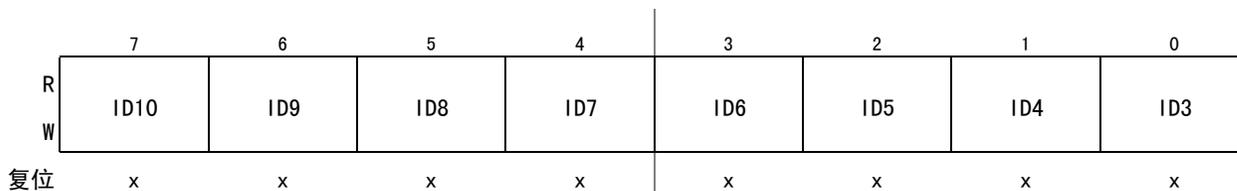
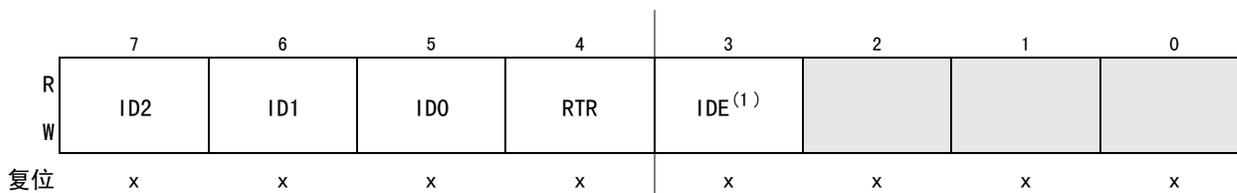


图 12-29. 标识符寄存器 0 — 标准映射

表 12-29. IDR0 寄存器字段描述 — 标准

字段	描述
7:0 ID[10:3]	标准格式标识符 — 该标识符由 11 个扩展格式位 (ID[10:0]) 组成。ID10 是最高位, 仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。也可参见表 12-30 中的 ID 位。



 = 不使用, 始终读为 'x'

图 12-30. 标识符寄存器 1 — 标准映射

¹ IDE 为 0.

12.5.7.7 从恢复停止或 等待

MSCAN 可以通过唤醒中断从停止或等待中恢复。只有当 MSCAN 在进入断电模式前处于睡眠模式 (SLPRQ = 1, SLPK = 1) 时, 唤醒选项被使能 (WUPE = 1), 唤醒中断使能 (WUPIE = 1), 这种中断才能发生。

12.6 初始化 / 应用信息

12.6.1 MSCAN 初始化

系统复位后, 初始化 MSCAN 模块的流程如下:

1. 置位 CANE
2. 写入处于初始化模式的配置寄存器
3. 清除 INITRQ, 离开初始化模式, 进入正常模式

当 MSCAN 模块处于正常模式下, 需要更改只能在初始化模式中写入的寄存器:

1. CAN 总线空闲后, 通过设置 SLPRQ 并等待 SLPK 进行确认, 将模块置入睡眠模式。
2. 进入初始化模式: 确定 INITRQ 并等待 INITAK
3. 写入处于初始化模式的配置寄存器
4. 清除 INITRQ, 离开初始化模式, 继续保持正常模式

12.6.2 总线脱离恢复

用户可配置总线脱离恢复功能。总线脱离状态既可以自动退出, 也可以在用户的请求下退出。

出于向前兼容原因, 复位后, MSCAN 默认为自动恢复。在这种情况下, 在计数 128 次 CAN 总线上 11 个连续隐性位的出现后, MSCAN 将重新变成 ERROR ACTIVE (详情请参见 Bosch CAN 规范)。

如果 MSCAN 配置为用于用户请求模式 12.3.2, “控制寄存器 1 (CANCTL1)” 中设置的 BORM), 从总线脱离中恢复依赖于以下两个独立事件都成立后:

- 发现 128 次 CAN 总线上的 11 个连续隐性位
- 12.3.12, “MSCAN 其他寄存器 (CANMISC)” 中的 BOHOLD 已经被用户清除

这两个事件的发生顺序任意。

若 $CPHA = 1$ ，则当处于活跃低态时，辅器件开始驱动其 MISO 输出，但直到出现第一个 SPSCK 边沿时才定义数据。第一个 SPSCK 边沿将数据的第一位从移位器转移到主 SPI 器件的 MOSI 输出和辅 SPI 器件的 MISO 输出。第二个 SPSCK 边沿促使主 SPI 器件和辅 SPI 器件分别在它们的 MISO 和 MOSI 输入上进行数据位值采样。在第三个 SPSCK 边沿，SPI 移位器移动 1 个位位置，移到刚刚采样的位值中，将第二个数据位值移出移位器的另一端，分别移到主 SPI 器件和辅 SPI 器件的 MOSI 和 MISO 输出。若 $CPHA = 1$ ，不需要辅 SPI 器件的 SS 输入在两个传输之间进入非激活的高电平状态。

图 13-11 显示了 $CPHA = 0$ 时的时钟格式。在图的顶部，显示了 8 个位时间，作为参考。当选择辅时钟时（SS IN 进入低态），第一个位就开始，第八个位结束于最后一个 SPSCK 边沿。MSB First 和 LSB First 线根据 LSBFE 中的设置显示了 SPI 数据位的顺序。SPSCK 极性的两个变化都显示了出来，但这两个波形中只有一个适用于特定传输，具体哪一个取决于 CPOL 中的值。SAMPLE IN 波形适用于辅器件的 MOSI 输入或主器件的 MISO 输入。MOSI 波形适用于主器件的 MOSI 输出管脚，MISO 波形适用于辅器件的 MISO 输出。SS OUT 波形适用于主器件的辅选择输出（如果 MODFEN，SSOE = 1）。传输的第一位时间开始时，主器件的 SS 输出处于活跃低态，在传输的第 8 个位时间结束后的半个 SPSCK 周期时返回高态。SS IN 波形适用于辅器件的辅选择输入。

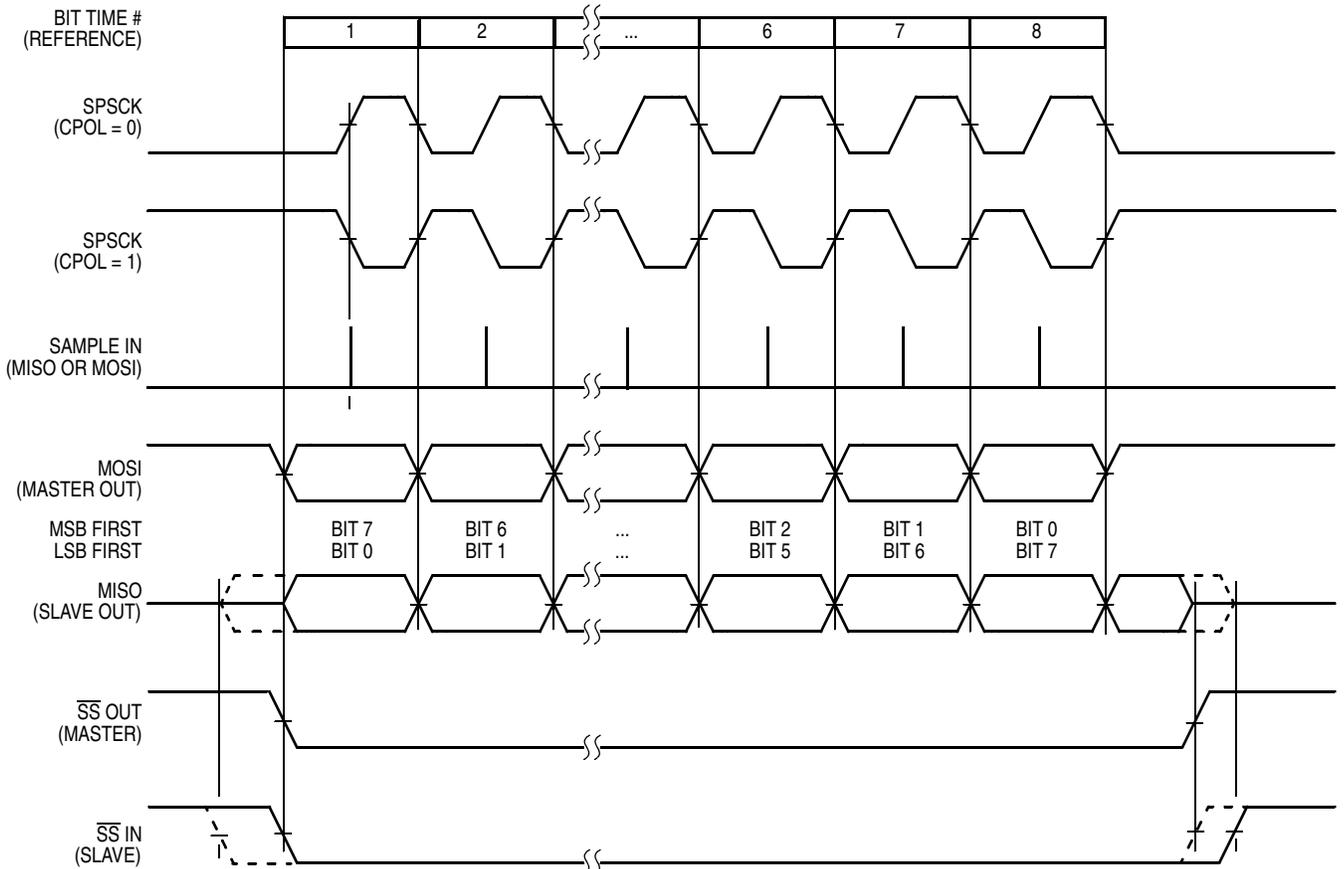


图 13-11. SPI 时钟格式 ($CPHA = 0$)

表 14-4. SC1xC1 字段描述

字段	描述
1 PE	奇偶效验使能 — 使能硬件奇偶效验生成和检查。当使能奇偶效验时，数据字符（第 8 或第 9 数据位）的最高位（MSB）视为奇偶校验位。 0 无硬件奇偶效验生成或检查。 1 奇偶效验使能。
0 PT	奇偶效验类型 — 如果使能奇偶效验（PE = 1），该位选择奇或偶效验。奇效验表示数据字符中 1 的总数（包括奇偶校验位）是奇数。偶效验表示数据字符中 1 的总数（包括奇偶校验位）是偶数。 0 偶效验 1 奇效验

14.2.3 SCI 控制寄存器 2 (SC1xC2)

该寄存器可以随时读取或写入。

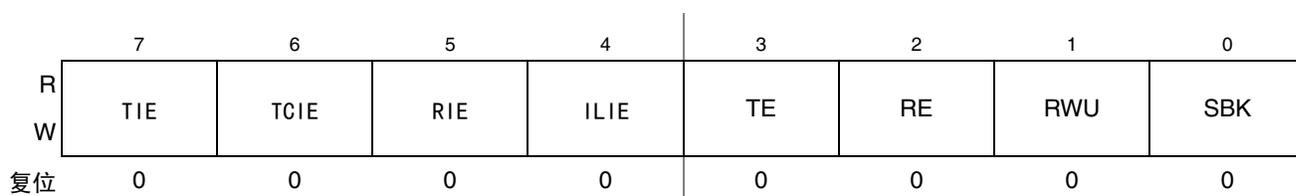


图 14-7. SCI 控制寄存器 2 (SC1xC2)

表 14-5. SC1xC2 字段说明

字段	描述
7 TIE	发送中断使能（用于 TDRE） 0 来自 TDRE 的硬件中断禁止（使用轮询）。 1 当 TDRE 标记为 1 时允许硬件中断。
6 TCIE	发送完成中断使能（用于 TC） 0 来自 TC 的硬件中断禁止（使用轮询）。 1 当 TC 标记为 1 时允许硬件中断。
5 RIE	接收器中断使能（用于 RDRF） 0 来自 RDRF 的硬件中断禁止（使用轮询）。 1 当 RDRF 标记为 1 时允许硬件中断。
4 ILIE	闲置线路中断使能（用于 IDLE） 0 来自 IDLE 的硬件中断禁止（使用轮询）。 1 当 IDLE 标记为 1 时允许硬件中断。
3 TE	发射器使能 0 发射器关闭。 1 发射器打开。 要使用 SCI 发射器，TE 必须是 1。当 TE = 1 时，SCI 强制 TxD 管脚作为 SCI 系统的输出。 当 SCI 配置用于单线运行（LOOPS = RSRC = 1）时，TXDIR 控制单 SCI 通信线路（TxD 管脚）上的流量方向。 当正在进行发送时通过写 TE = 0，然后写 TE=1，TE 也可以用来排队闲置字符。详情请 14.3.2.1，“发送中断和排队闲置”。 当 TE 写入 0，发射器保持对端口 TxD 管脚的控制，直到任何数据、队列闲置或队列中止字符在允许管脚恢复为通用 I/O 管脚前完成传输。

14.3.5.2 停止模式运行

在所有停止模式中，SCI 模块的时钟都被暂停。

在 STOP1 和 STOP2 模式中，所有 SCI 寄存器数据丢失，当从这两种停止模式恢复时必须重新初始化。任何 SCI 模块寄存器在 STOP3 模式中都不受影响。

接收输入活动边沿检测电路在 STOP3 模式中仍然是活动的，但在 STOP2 模式中不活动。如果中断未屏蔽（RXEDGIE = 1），接收输入上的活动边沿将把 CPU 带离 STOP3 模式。

注意，由于时钟被暂停，当从停止模式（仅在 STOP3 模式）退出时，SCI 模块会重新开始运行。当 ISC 模块正在发送或接收字符时，软件应确保不会进入停止模式。

14.3.5.3 循环模式

当 LOOPS = 1 时，相同寄存器中的 RSRC 位选择循环模式（RSRC = 0）或单线模式（RSRC = 1）。循环模式独立于外部系统连接，有时用于检查软件，以帮助隔离系统问题。在该模式中，发射器输出内部连接到接收器输入，且 SCI 不使用 RxD 管脚，因此它恢复为通用端口 I/O 管脚。

14.3.5.4 单线运行

当 LOOPS = 1 时，相同寄存器中的 RSRC 位选择循环模式（RSRC = 0）或单线模式（RSRC = 1）。单线模式用来执行半双工串行连接。接收器内部连接到发射器输出和 TxD 管脚。RxD 管脚不使用并恢复为通用端口 I/O 管脚。

在单线模式中，SCIxC3 中的 TXDIR 位控制着 TxD 管脚上的串行数据方向。当 TXDIR = 0 时，TxD 管脚是 SCI 接收器的输入，发射器与 TxD 管脚的连接被暂时断开，因此外部器件就可以向接收器发送串行数据。当 TXDIR = 1 时，TxD 管脚是一个由发射器驱动的输出。在单线模式中，辅发射器到接收器的内部环回连接使接收器接收由发射器发送出来的字符。

作为输入捕捉、输出比较或边缘对齐的 TPM 通道，PWM 通道是可独立编程的。或者，TPM 也可配置用于在所有通道上产生 CPWM 输出。当 TPM 被配置用于 CPWM 时，计数器作为向上 / 向下计数器运行；这种情况下输入捕捉、输出比较和 EPWM 功能是不可用的。

如果一个通道被配置为输入捕捉，那个该通道的内部上拉器件可以被使能。一个模块如何与管脚控制交互的细节取决于芯片实施，因为输入 / 输出管脚和相关通用输入 / 输出控制不是 PWM 模块的一部分。请参考全芯片规范中有关输入 / 输出端口逻辑的讨论。

因为中央对齐 PWM 通常用于驱动 3 相交流感应电机和无刷直流电机，它们一般用在 3 个或 6 个通道组中。

16.2 信号描述

表 16-1 显示了 TPM 的用户可接入信号。通道数目可从 1 到 8 之间变化。包含外部时钟时，它可与任何 TPM 通道一样通过相同的管脚共享；然而，它可以连接到独立的输入管脚。请参考全芯片规范中的输入 / 输出管脚介绍，了解具体的芯片执行。

表 16-1. 信号属性

名称	功能
EXTCLK ¹	可选择用于驱动 TPM 计数器的外部时钟源。
TPMxCHn ²	与 TPM 通道 n 相关的输入 / 输出管脚

¹ 预设后，该信号可分享任何通道管脚；然而根据全芯片实施，这个信号可以连接到独立的外部管脚。

² n= 通道数目 (1 至 8)

请参考全芯片文档，了解关于复位状态、端口连接的详细信息，以及这些管脚上是否有上拉器件。

当 TPM 或通用输入 / 输出控制将关联管脚配置为输入时，TPM 通道管脚可与通用输入 / 输出管脚相关，并且可以使用可通过控制位使能的被动上拉器件。当没有 TPM 功能被使能以使用关联的管脚时，管脚恢复到由通用输入 / 输出控制的状态，包括端口数据和数据方向寄存器。复位后不会有 TPM 功能立即使能，因此所有相关管脚都恢复到通用输入 / 输出控制。

16.2.1 详细信号描述

本小节详细介绍了每种用户可接入的管脚信号。虽然表 16-1 对所有通道管脚进行了分组，但任何 TPM 管脚都可以和外部时钟源信号共享。由于输入 / 输出管脚逻辑不是 TPM 的一部分，请参考全芯片文档的具体描述来了解有关 TPM 管脚功能和包括端口数据、数据方向和上拉控制的通用输入 / 输出控制交互的更多详情。

16.2.1.1 EXTCLK — 外部时钟源

通过定时器状态和控制寄存器中的控制位，用户可以选择无（定时器关闭）、总线速率时钟（正常默认源）、晶振相关时钟或外部时钟作为驱动 TPM 预分频器和随后的 16 位 TPM 计数器的时钟。外部时钟源在 TPM 中实现同步。总线时钟对同步器进行定时；外部源的频率必须不能超过总线速率时钟频率的四分之一，以满足 Nyquist 标准并允许抖动。

表 A-2. 绝对最大额定值

编号	参数	符号	值	单位
1	电源电压	V_{DD}	-0.3 to + 5.8	V
2	输入电压	V_{In}	- 0.3 to $V_{DD} + 0.3$	V
3	瞬时最大电流 单管脚极限 (适用于所有端口管脚) ^{1, 2, 3}	I_D	± 25	mA
4	V_{DD} 中的最大电流	I_{DD}	120	mA
5	存储温度	T_{stg}	-55 to +150	°C

¹ 输入必须是限定为指定值的电流。要确定所需的电流限定电阻器的值，需要先计算正 (V_{DD} 和负 (V_{SS}) 钳位电压的电阻值，然后使用两个电阻值中的较大者。

² 所有功能性非电源管脚内部均钳位在 V_{SS} 和 V_{DD} 。

³ 在瞬时和操作最大电流条件下，电源必须维持在操作 V_{DD} 范围内。如果正注入电流 ($V_{In} > V_{DD}$) 大于 I_{DD} ，则注入电流就可能超出 V_{DD} ，并导致外部电源不可调控。确保外部 V_{DD} 载荷分流大于最大注入电流的电流。当 MCU 不消耗功率时，就会有最大的风险，这样的例子包括：如果当前无系统时钟，或者如果时钟速率非常低，这都会降低总功耗。

A.4 热特性

本小节提供有关操作温度范围、功耗和封装热阻的信息。I/O 管脚上的功耗一般要比片上逻辑的功耗小，它由用户自己决定而非受 MCU 设计的控制。为了在功率计算中把 $P_{I/O}$ 考虑进去，先需要确定实际管脚电压和 V_{SS} or V_{DD} 间的差，并乘以每个 I/O 管脚的管脚电流。除非出现异常高的管脚电流（大负荷），管脚电压和 V_{SS} or V_{DD} 间的差非常小。

表 A-3. 热特征

编号	C	参数	符号	值	单位	温度代码
1	D	操作温度范围 (打包后)	T_A	-40 至 125 -40 至 105 -40 至 85	°C	M V C
2	T	最高结温度 ¹	T_J	135	°C	—
3	D	热阻 ²				
		单层板				
		64- 管脚 LQFP	θ_{JA}	69	°C/W	
		48- 管脚 LQFP	θ_{JA}	75	°C/W	
		32- 管脚 LQFP	θ_{JA}	80	°C/W	
		四层板				
		64- 管脚 LQFP	θ_{JA}	51	°C/W	
		48- 管脚 LQFP	θ_{JA}	51	°C/W	
		32- 管脚 LQFP	θ_{JA}	52	°C/W	

¹ 结温度是晶元尺寸、片上功耗、封装热阻、安装点（主板）温度、周围温度、气流、主板上的其他组件功耗及主板热阻的函数。

² 结与环境的自然对流。

B.7 TPM 中断

TPM 为主计数器溢出生成可选的中断，为每个通道生成一个中断。通道中断的意义取决于每个通道的运行模式。如果通道被配置用于输入捕获，所选的输入捕获边每次被识别时中断标记被设置。如果通道配置用于输出比较或 PWM 模式，中断标记会在每次主定时器计数器与 16 位通道值寄存器中的值匹配时被设置。参见复位、中断和系统配置一章了解绝对中断向量地址、优先级和本地中断掩码控制位。

对于 TPM 中的每个中断源，会在识别到中断条件（如定时器溢出、通道输入捕获或输出比较事件等）后设置标记位。这个标记可被软件读取（轮询）以确定操作已经发生，或者也可设置相关的启动位（TOIE 或 CHnIE）以启动硬件中断生成。中断启动位被设置时，相关中断标记等于 1 时会生成静态中断。从中断服务程序中返回前，用户软件必须执行一系列步骤来清除中断标记。

B.7.1 清除定时器中断标记

TPM 中断标记通过两个步骤来清除：标记位被设置（1）时被读取，然后是向该位中写入一个 0。如果在这两步间检测到新事件，序列被复位，并且在第二步后中断标记仍被设置以避免错过新事件的可能性。

B.7.2 定时器溢出中断描述

导致 TOF 被设置的条件取决于计数模式（向上或向上 / 向下）。在向上计数模式中，16 位定时器计数器从 0x0000 计数到 0xFFFF，然后在下一个计数时钟上溢出到 0x0000。在从 0xFFFF 过渡到 0x0000 时 TOF 被设置。设置了模数限制的情况下，TOF 标记会在从模数寄存器中设置的值过渡到 0x0000 时被设置。当计数器以向上 / 向下模式运行时，TOF 标记会在计数器从模数寄存器中设置的计数值和下一个更低计数值过渡而改变方向时被设置。这与 PWM 周期的结束对应（0x0000 计数值与周期中央对应）。

B.7.3 通道事件中断描述

通道中断的含义取决于通道的当前模式（输入捕获、输出比较、边缘对齐 PWM 或中央对齐 PWM）。

当通道被配置为输入捕获通道时，ELSnB:ELSnA 控制位选择上升边、下降边、任何边或无边（关）作为触发输入捕获事件的边。检测到选定的边之后，中断标记被设置。标记通过 B.7.1，“清除定时器中断标记”中所述的两步序列清除。

如果通道被配置为输出比较通道，每次主定时器计数器与通道值寄存器中的 16 位值匹配时会设置中断标记。标记通过 B.7.1，“清除定时器中断标记”中所述的两步序列清除。