



Welcome to [E-XFL.COM](#)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	53
Program Memory Size	32KB (32K x 8)
Program Memory Type	FLASH
EEPROM Size	1K x 8
RAM Size	2K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 24x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	64-LQFP
Supplier Device Package	64-LQFP (10x10)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/s9s08dz32f1mlh

1.3 系统时钟分配

图 1-2 为简化的时钟连接结构图。MCU 的某些模块的时钟输入可选。到各模块的时钟输入用于驱动该模块的功能。

下面列出了本 MCU 中使用的时钟：

- BUSCLK — 总线频率始终为 MCGOUT 的一半
- LPO — 独立的 1 kHz 时钟，可以作为 COP 和 RTC 模块的时钟源。
- MCGOUT — MCG 的主输出，为总线频率的两倍。
- MCGLCLK — 在 BUSCLK 被配置为以很低的频率运行的系统中，开发工具可以选择这一时钟源来加快 BDC 通信。
- MCGERCLK — 外部参考时钟，可用作 RTC 时钟源。它还可以用作 ADC 和 MSCAN 的备用时钟。
- MCGIRCLK — 内部参考时钟，可用作 RTC 时钟源。
- MCGFFCLK — 固定频率时钟，可用作 TPM1 和 TPM2 的时钟源。
- TPM1CLK — TPM1 的外部输入时钟源。
- TPM2CLK — TPM2 的外部输入时钟源。

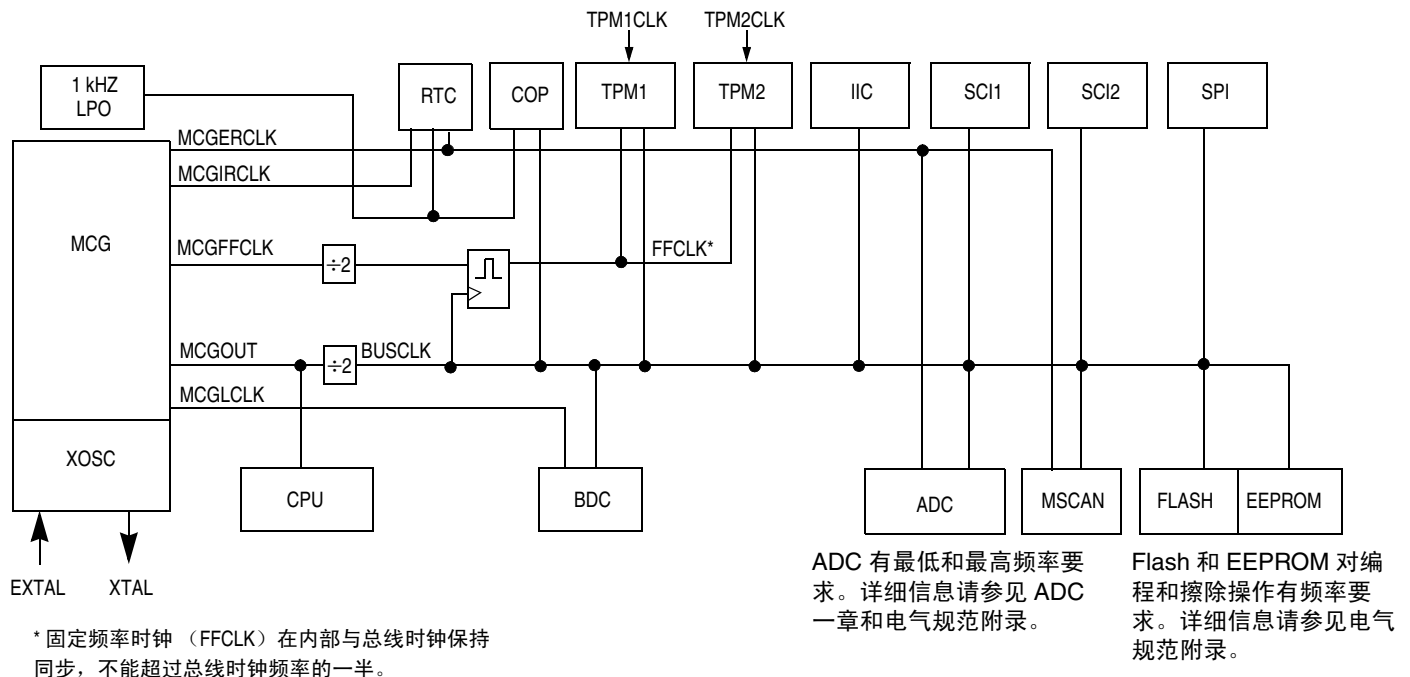


图 1-2. MC9S08DZ60 系统时钟分配图

4.3 寄存器地址和位分配

MC9S08DZ60 系列产品中的寄存器可分为以下几组：

- 直接页面寄存器，位于存储器映象的前 128 个位置上。这些寄存器可以通过高效的直接寻址模式指令访问。
- 高端页面（High-page）寄存器，不经常使用，因此位于存储器映象中 0x1800 以上。在直接页面寄存器中为经常使用的寄存器和 RAM 留出了更多空间。
- 非易失性寄存器，由 Flash 中 0xFFB0 ~ 0xFFBF 之间 16 个位置组成的位置段组成。非易失性寄存器位置包括：
 - NVPROT 和 NVOPT，在复位时上载到工作寄存器中。
 - 一个 8 字节后门对比密钥，可选择为用户分配有控制的安全内存访问权限。

由于非易失性寄存器的位置是在 Flash 中，所以必须像其他位置 Flash 一样擦除和编程。

直接页面寄存器可以通过高效的直接寻址模式指令访问。位操作指令可用于访问任何直接页面寄存器中的任何位。表 4-2 总结了所有用户可访问的直接页面寄存器和控制位。

表 4-2 所列的直接页面寄存器可以使用更高效的直接寻址模式（这种模式只需要地址的较低字节）。因此，第 1 栏中地址的较低字节用粗体显示。在表 4-3 和表 4-5 中，第 1 栏中的整个地址都用粗体显示。在表 4-2, 表 4-3, 和表 4-5 中，第 2 栏中的寄存器名称用粗体显示以便与右侧的位名称区分。与所列出的位不相关的单元在阴影中显示。带有 0 的阴影单元表示这个未使用的位始终应为 0。带有破折号的阴影单元表示未使用的或预留的位，可以是 1 或 0。

图 4-4 为接收及发送缓冲器（用于扩展的识别符映射）的结构。这些寄存器各有不同，具体取决于选择了标准映射还是扩展的映射。有关标准映射和扩展映射的更详尽信息请参见第 12 章，“飞思卡尔控制器局域网 (S08MSCANV1)”。

表 4-4. MSCAN 前台接收和发射缓冲器布局— 显示的为扩展映射

0x18A0	CANRIDR0	ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21
0x18A1	CANRIDR1	ID20	ID19	ID18	SRR ⁽¹⁾	IDE ⁽¹⁾	ID17	ID16	ID15
0x18A2	CANRIDR2	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
0x18A3	CANRIDR3	ID6	ID5	ID4	ID3	ID2	ID1	ID0	RTR ²
0x18A4 – 0x18AB	CANRDSR0 – CANRDSR7	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0x18AC	CANRDLR	—	—	—	—	DLC3	DLC2	DLC1	DLC0
0x18AD	预留	—	—	—	—	—	—	—	—
0x18AE	CANRTSRH	TSR15	TSR14	TSR13	TSR12	TSR11	TSR10	TSR9	TSR8
0x18AF	CANRTSRL	TSR7	TSR6	TSR5	TSR4	TSR3	TSR2	TSR1	TSR0
0x18B0	CANTIDR0	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3
0x18B1	CANTIDR1	ID2	ID1	ID0	RTR	IDE	—	—	—
0x18B2	CANTIDR2	—	—	—	—	—	—	—	—
0x18B3	CANTIDR3	—	—	—	—	—	—	—	—
0x18B4 – 0x18BB	CANTDSR0 – CANTDSR7	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0x18BC	CANTDLR	—	—	—	—	DLC3	DLC2	DLC1	DLC0
0x18BD	CANTTBPR	PRI07	PRI06	PRI05	PRI04	PRI03	PRI02	PRI01	PRI00

¹ SRR 和 IDE 均为 1s。
² RTR 的位置在扩展识别符映射和标准识别符映射不同。

表 4-5 的非易失性 Flash 寄存器位于 Flash 中。这些寄存器包括 8 个字节的后门密钥 NVBACKKEY。该密钥可用于访问安全的内存资源。在复位过程中，Flash 中非易失性寄存器区域的 NVPROT 和 NVOPT 内容会被转移到高端页面寄存器中相应的 FPROT 和 FOPT 工作寄存器中，以控制安全性和块保护选项。

表 4-5. 非易失性寄存器总结

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0xFFAE	预留用于存储 FTRIM	0	0	0	0	0	0	0	FTRIM
0xFFAF	预留用于存储 MCGTRM	TRIM							
0xFFB0– 0xFFB7	NVBACKKEY	8 字节对比密钥							
0xFFB8– 0xFFBC	预留	—	—	—	—	—	—	—	—
0xFFBD	NVPROT	EPS			FPS				
0xFFBE	预留	—	—	—	—	—	—	—	—
0xFFBF	NVOPT	KEYEN	FNORED	EPGMOD	0	0	0	SEC	

2. 将命令代码写入到 FCMD 中。6 个有效的命令分别是空白检查 (blank check, 0x05)、字节编程 (byte program, 0x20)、突发编程 (burst program, 0x25)、分区擦除 (sector erase, 0x40)、整体擦除 (mass erase¹, 0x41) 和分区擦除终止 (sector erase abort, 0x47)。命令代码被锁定到命令缓冲器中。

3. 将一个 1 写入到 FSTAT 中的 FCBEF 位上, 以清除 FCBEF 并发起命令 (包括其地址和数据信息)。

在写内存阵列之后到写 1 用于清除 FCBEF 并发起完整命令之前的任何时候, 可以通过向 FCBEF 中写入一个 “0”, 来手工终止部分命令顺序。以这种方式终止一个命令会设置 FACCERR 访问错误标记, 而这个标记必须在开始一个新命令之前清除掉。

整个过程必须遵守严格监控的流程, 否则命令将不会被接受。通过这种方式可以最大限度地降低无意中修改内存内容的可能性。命令完整标记 (FCCF) 用于指示一条命令是否完整。要启动命令, 必须通过清除 FCBEF 来使命令序列完整。图 4-2 是执行除突发编程和分区擦除终止以外的所有命令的流程。

4. 等待 FSTAT 中的 FCCF 位被设置。只要 FCCF=1, 就说明操作成功完成。

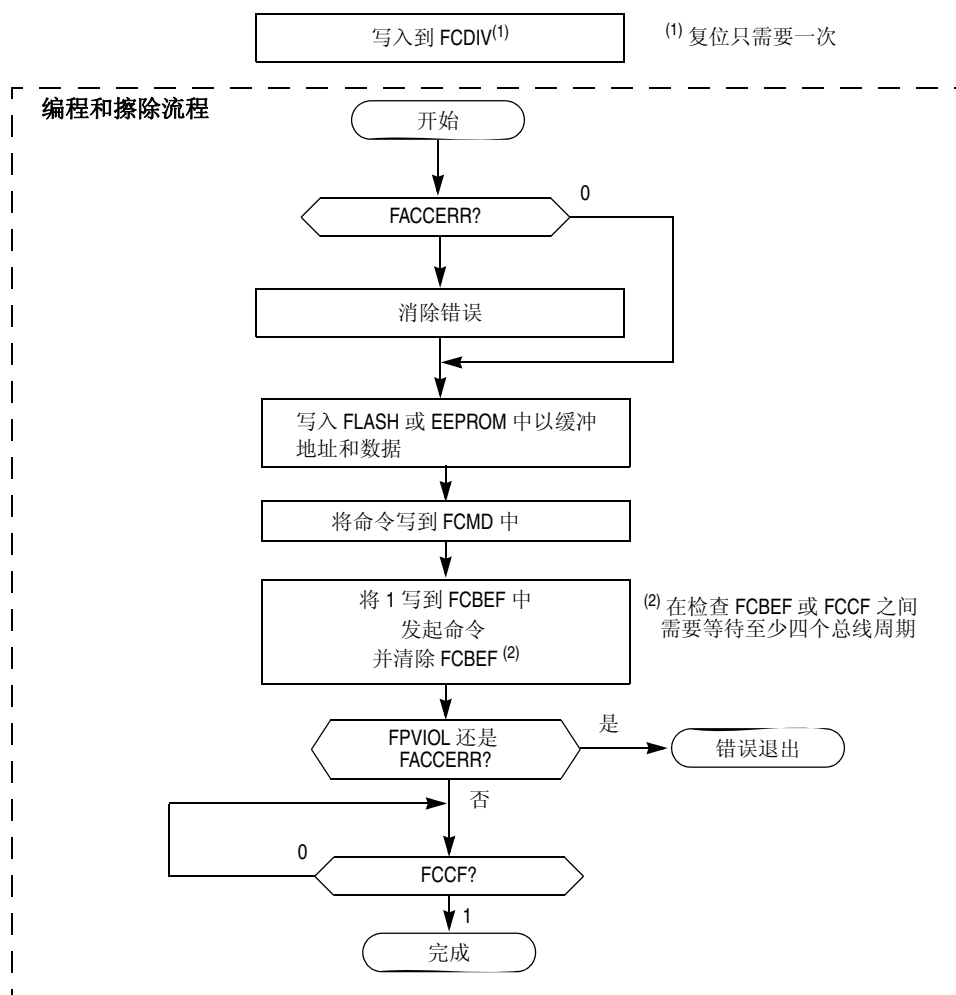


图 4-2. 编程和擦除流程图

1. 整体擦除只能在 Flash 块完全不受保护的情况下进行。

第 5 章

复位、中断和系统总控制

5.1 介绍

本章详细介绍 MC9S08DZ60 系列的基本复位和中断机制，以及它们的各种源。外围模块的某些中断源在本数据手册的其他章节中进行了更详细地讨论。本节收集了所有复位和中断源的基本报文，以便参考。而有些复位和中断源，包括计算机正常操作（COP）的看门狗，并不是作为片上外围系统的一部分而有其独立的章节进行介绍。

5.2 特性

复位和中断功能包括：

- 多源复位，实现灵活的系统配置和可靠操作
- 复位状态寄存器 (SRS)，显示最新的复位源
- 各个模块的单独中断向量（减少轮询开销），参见表 5-1

5.3 MCU 复位

复位 MCU 提供了一条从已知初始条件启动处理的途径。复位期间，大部分控制和状态寄存器被迫使用初始值，并从复位向量 (0xFFFF:0xFFFF) 上载程序计数器。片上外围模块被禁止，I/O 管脚初始配置为上拉器件被禁止的通用高阻抗输入。条件码寄存器 (CCR) 中的 I 位被设置用来拦截可隐藏中断，以使用户程序有机会对堆栈指针 (SP) 和系统控制设置进行初始化（如需了解中断 (I) 位的相关信息，请参见 CPU 章节）。SP 在复位时强制设为 0x00FF。

MC9S08DZ60 系列有 8 个用于复位的源：

- 加电复位 (POR)
- 外部管脚复位 (PIN)
- 计算机正常操作 (COP) 定时器
- 非法操作码检测 (ILOP)
- 非法地址检测 (ILAD)
- 低电压检测 (LVD)
- 时钟丢失 (LOC)
- 后台调试强制复位 (BDFR)

上述复位源（后台调试强制复位除外）在系统复位状态寄存器 (SRS) 中都有一个相关位。

5.4 计算机正常操作 (COP) 看门狗

当系统软件不能正常执行时，COP 看门狗将强制进行系统复位。为了防止从 COP 定时器（当 COP 定时器被使能时）发起系统复位，应用软件必须定期复位 COP 计数器。如果应用程序在超时前未能复位 COP 计数器，这时会生成一个系统复位，强迫系统回到已知起点。

每次复位后，COP 看门狗都会被激活（更多信息请参见 5.8.4，“系统选项寄存器 1 (SOPT1)”）。如果应用中没有使用 COP 看门狗，可以通过清除 SOPT1 的 COPT 位进行禁止。

COP 在设定的超时周期内，通过把 0x55 和 0xAA（按此顺序）写入 SRS 地址来复位 COP 计数器。写入不会对只读 SRS 中的数据造成影响。一旦写入顺序确定，COP 超时周期就会重新开始计算。如果程序在超时周期内未能完成该操作，MCU 将复位。此外，如果向 SRS 写入了非 0x55 或 0xAA 外的其他值，MCU 会被立即复位。

SOPT2 中的 COPCLKS 位（更多信息请参见 5.8.5，“系统选项寄存器 2 (SOPT2)”），设置供 COP 定时器使用的时钟源。时钟源可以是总线时钟或 1 kHz 内部时钟源。对任意一个时钟源来说，都有 3 个由 SOPT1 中的 COPT 控制的相关超时计数器。表 5-6 概括地介绍了 COPCLKS 和 COPT 位的控制功能。COP 看门狗默认设置为 1 kHz 时钟源的最长超时（ 2^{10} 周期）。

当选定了总线时钟源后，设置 SOPT2 寄存器中的 COPW 可以实现窗口化 COP。在该模式中，写入 SRS 寄存器来清除 COP 定时器必须发生在所选超时时段的后 25% 的时间内。提前写入会立即复位 MCU。当选择 1 kHz 时钟源时，窗口化 COP 操作不可用。

首次写入 SOPT1 和 SOPT2 寄存器后的任意一种系统复位后，COP 计数器被初始化。SOPT1 和 SOPT2 的后续写入不会对 COP 操作产生影响。即使应用程序使用 COPT、COPCLKS 和 COPW 位的默认复位设置，用户也必须在复位初始化过程中写入 write-once（一次写入）SOPT1 和 SOPT2 寄存器上，以便在该设置中锁定。如果应用程序丢失，使用这种方式可以防止意外修改。

用于服务（清除）COP 计数器的 SRS 写入操作不能放在中断服务程序（ISR）中，因为即使是在主应用程序不能正常执行时，仍然可以定期执行 ISR。

如果选择了总线时钟源，当 MCU 处于后台调试模式或者系统处于停止模式时，COP 计数器不会计数。当 MCU 退出后台调试模式或停止模式时，COP 计数器会重新开始计数。

如果选择 1 kHz 时钟源，那么一旦进入后台调试模式或停止模式时，COP 计数器就会被重新初始化为 0，并在退出后台调试模式或停止模式时会从 0 开始计数。

5.6 低电压检测 (LVD) 系统

MC9S08DZ60 系列包括一个防止低电压的系统，以便在电源电压不稳时保护存储器内容、控制 MCU 系统状态。该系统由加电复位（POR）电路和 LVD 电路组成，其中 LVD 电路带脱扣电压用于警告和检测。当 SPMSC1 中的 LVDE 设置为 1 时，LVD 电路使能。当进入停止模式时，LVD 禁止，除非 SPMSC1 中设置了 LVDSE。如果同时设置了 LVDSE 和 LVDE，那么 MCU 不能进入 stop2（进入 stop3），LVD 激活的 stop3 模式更耗电。

5.6.1 加电复位操作

当首次接通 MCU 的电源时，或当电源电压低于加电复位准备电压 V_{POR} 时，POR 电路会发起复位。随着电源电压升高，LVD 电路让 MCU 保持复位状态，直到电源高于低压检测低阈值 V_{LVDL} 。POR 后，SRS 中 POR 位和 LVD 位同时被设置。

5.6.2 低压检测 (LVD) 复位操作

通过把 LVDRE 设置为 1，可以在检测到低压情况时配置 LVD 以发起复位。低压检测阈值由 LVDV 位决定。在 LVD 复位后，LVD 系统会让 MCU 保持复位状态，直到电源电压高于低压检测阈值。LVD 复位或 POR 后都会在 SRS 寄存器中设置 LVD 位。

5.6.3 低压警告 (LVW) 中断操作

LVD 系统有一个低压警告标记，告知用户电源电压正接近低压条件。当检测到低压警告并配置了中断操作（LVWIE 设置为 1）时，SPMSC1 中的 LVWF 会被设置，而且会出现 LVW 中断请求。

5.7 MCLK 输出

PTA0 管脚共用于 MCLK 时钟输出。如果 MCSEL 位都是 0，MCLK 时钟禁止。若 MCSEL 的任意一个位被设置，无论该管脚的端口数据方向控制位的状态如何，都会导致 PTA0 管脚输出内部 MCU 总线时钟分频后时钟。分频比率由 MCSEL 位决定。管脚的斜率和驱动强度分别由 PTASE0 和 PTADS0 控制。如果斜率控制功能被打开，最大时钟输出频率将会受到限制。如需了解不同情况下的最大频率，请参见电气技术规范。

5.8 复位、中断及系统控制寄存器和控制位

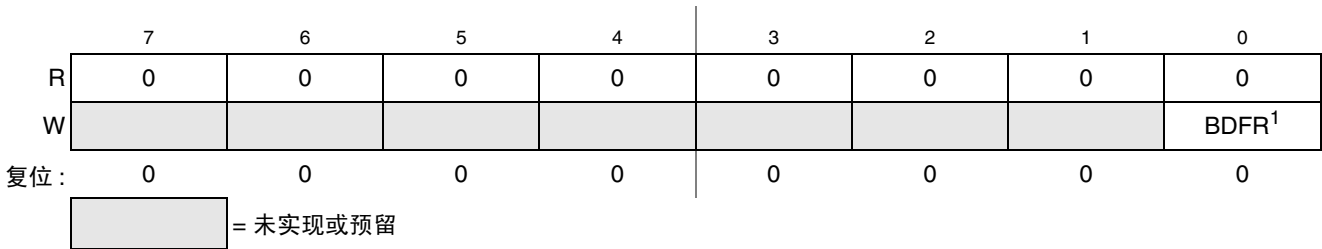
直接页面寄存器空间里的一个 8 位寄存器和高页寄存器空间的八个 8 位寄存器都与复位和中断系统有关。

如需了解各寄存器的绝对地址分配，请参见本产品说明第 4 章，“存储器”的表 4-2 和表 4-3。本节只根据它们的名称提及寄存器和控制位。飞思卡尔提供的等式或头文件用来把这些名称转换为相应的绝对地址。

SOPT1 和 SPMSC2 寄存器中的有些控制位与运行模式有关。此处对这些位进行简要描述，更详细的描述参见第 3 章，“操作模式”。

5.8.3 系统后台调试强制复位寄存器 (SBDFR)

这个高页寄存器只包括一个只写控制位。串行后台命令，如 `WRITE_BYTE` 必须用来写入 SBDFR。从用户程序写入寄存器的尝试被忽略。读总是返回 0x00。



¹ 只能通过串行后台调试命令，而非用户程序写入 BDFR。

图 5-4. 后台调试强制复位寄存器 (SBDFR)

表 5-4. SBDFR 寄存器字段描述

字段	描述
0 BDFR	后台调试强制复位 — 可以使用串行后台命令，如 <code>WRITE_BYTE</code> ，使外部调试主机强制进行目标系统复位。在该位中写入 1 就能强制进行 MCU 复位。该位不能从用户程序中写入。

5.8.4 系统选项寄存器 1 (SOPT1)

该高页寄存器是 `write-once` 寄存器，因此只重视复位后的第一次写入。它可以在任何时候读取。任何后续 `SOPT1` 写入尝试（有意或无意）都将被忽略，以避免对这些敏感器件的意外修改。该寄存器应在用户复位初始化程序期间写入，以设置期望的控制，即便期望的设置与复位设置相同。

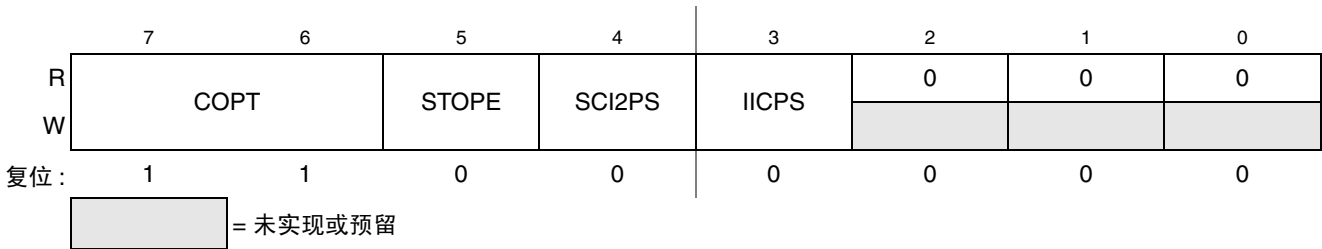


图 5-5. 系统选项寄存器 1 (SOPT1)

表 5-5. SOPT1 寄存器字段描述

字段	描述
7:6 COPT[1:0]	COP 看门狗超时 — 这些单次写入有效的位选择 COP 的超时周期。STOP2 中的 COPT 和 COPCLKS 定义 COP 超时周期。参见表 5-6。
5 STOPE	停止模式使能 — 这个单次写入有效的位用来使能停止模式。如果停止模式禁止且用户程序试图实施 STOP 指令，则会强制进行非法操作码复位。 0 停止模式禁止。 1 停止模式使能。

表 5-11. SPMSC2 寄存器字段描述

字段	描述
2 PPDACK	局部断电确认 — 向 PPDACK 写入 1 清除 PPDF 位。
0 PPDC	局部断电控制 — 这个单次写入有效的位控制着是选择 STOP2 还是选择 STOP3 模式。 0 Stop3 模式启动。 1 Stop2 、局部断电、模式启动。

表 5-12. LVD 和 LVW 跳变点典型值¹

LVDV:LVWV	LVW 跳变点	LVD 跳变点
0:0	$V_{LVW0} = 2.74\text{ V}$	$V_{LVD0} = 2.56\text{ V}$
0:1	$V_{LVW1} = 2.92\text{ V}$	
1:0	$V_{LVW2} = 4.3\text{ V}$	$V_{LVD1} = 4.0\text{ V}$
1:1	$V_{LVW3} = 4.6\text{ V}$	

¹ 最小最大值请参见附录电气特性。

6.5.1.3 A 端口上拉使能寄存器 (PTAPE)

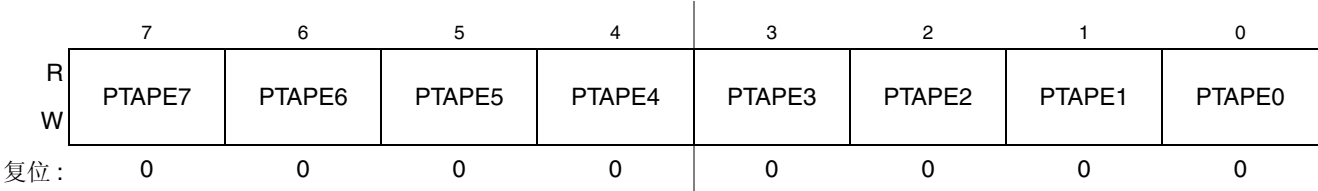


图 6-5. A 端口寄存器的内部上拉使能 (PTAPE)

表 6-3. PTAPE 寄存器字段描述

字段	描述
7:0 PTAPE[7:0]	A 端口内部上拉使能位 — 对于 PTA 管脚，这些控制位决定着为相关 PTA 管脚使能内部上拉还是使能下拉器件。对于配置为输出的 A 端口管脚，这些位不会产生影响，同时内部上拉器件被禁止。 0 A 端口位 - 内部上拉 / 下拉器件被禁止。 1 A 端口位 - 内部上拉 / 下拉器件使能。

注意

只有当使用管脚中断功能且配置了相应的边沿选择和管脚选择功能时，才能使用下拉器件。

6.5.1.4 A 端口斜率使能寄存器 (PTASE)

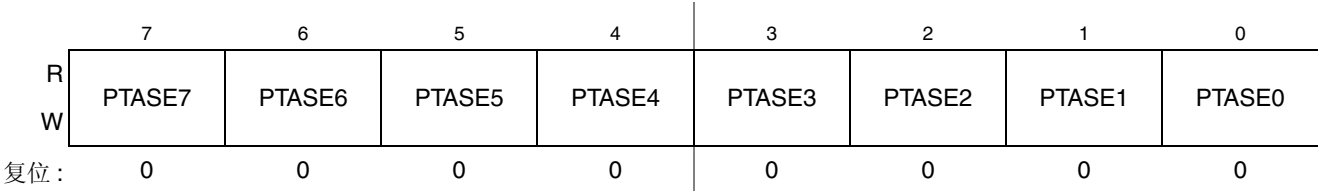


图 6-6. A 端口寄存器的斜率使能 (PTASE)

表 6-4. PTASE 寄存器字段描述

字段	描述
7:0 PTASE[7:0]	A 端口位输出斜率使能 — 这些控制位决定着是否为相关 PTA 管脚使能输出斜率控制。对于配置为输入的 A 端口管脚，这些位不会产生任何影响。 0 A 端口位 - 输出斜率控制被禁止。 1 A 端口位 - 输出斜率控制使能。

注意: 工程样品和最终成品的斜率复位默认值可能不同。一定要将斜率控制初始化为所需的值，以确保正确的操作。

8.5.1.4 FLL Bypassed External (FBE)

在 FLL Bypassed External (FBE) 模式中, MCGOUT 时钟来自外部参考时钟, FLL 处于运行状态但其输出时钟未使用。该模式对允许 FLL 获得目标频率非常有用, 同时 MCGOUT 时钟由内部参考时钟驱动。

当满足以下条件时就进入 FLL Bypassed External 模式:

- CLKS 位写入 10
- IREFS 位写入 0
- PLLS 位写入 0
- 位写入介于 31.25 kHz- 39.0625 kHz 频率范围内的分频参考时钟。
- LP 位写入 0

在 FLL Bypassed External 模式中, MCGOUT 时钟源自 FLL 时钟。使能的外部参考时钟可以是外部晶体 / 谐振器, 也可以是另外一个外部时钟源。FLL 时钟由外部参考时钟控制, FLL 时钟频率是由 RDIV 位选择的参考频率的 1024 倍。MCGCLK 来自 FLL, PLL 被禁止处于低功率状态。

注意

可以用大于指定最大频率的 FLL 参考时钟频率在 FBE 模式中短时间运行。这在使用频率大于 5 MHz 的外部晶体运行于 PEE 模式中是必需的。如需了解详细的示例信息, 请参见 8.6.2.4, “示例 4: 从 FEI 转换到 PEE 模式: 外部晶体 = 8 MHz、总线频率 = 8 MHz”。

8.5.1.5 PLL Engaged External (PEE)

当满足以下条件时就进入 PLL Engaged External (PEE) 模式:

- CLKS 位写入 00
- IREFS 位写入 0
- PLLS 位写入 1
- RDIV 位写入介于 1 MHz - 2 MHz 频率范围内的分频参考时钟。

在 PLL Engaged External 模式中, MCGOUT 时钟源自 PLL 时钟, 由外部参考时钟控制。使能的外部参考时钟可以是外部晶体 / 谐振器, 也可以是另外一个外部时钟源。PLL 时钟频率是参考频率 (RDIV 位所选) 和倍频因子 (VDIV 位所选) 乘积。如果使能 BDM, MCGCLK 值就是 DCO 除以 2 (开放环路模式) 的得数。如果禁止 BDM, 那么 FLL 被禁止且处于低功率状态。

8.5.1.6 PLL Bypassed External (PBE)

在 PLL Bypassed External (PBE) 模式中, MCGOUT 时钟源自外部参考时钟, PLL 处于运行状态但其输出时钟未使用。该模式对允许 PLL 获得目标频率非常有用, 同时 MCGOUT 时钟由内部参考时钟驱动。

8.6.2.2 示例 2: 从 PEE 切换到 BLPI 模式: 外部晶体 = 4 MHz、总线频率 = 16 kHz

本例中, MCG 将通过适当的运行模式, 从晶体频率为 4MHz、总线频率为 8MHz 的 PEE 模式 (参见前一示例) 切换到总线频率为 16kHz 的 BLPI 模式。示例中首先介绍了代码序列, 然后提供了一个演示该顺序的流程图。

1. 首先, PEE 必须转换到 PBE 模式:
 - a) MCGC1 = 0x90 (%10010000)
 - CLKS (位 7 和 6) 设置为 %10, 以便把系统时钟源切换到外部参考时钟。
 - b) 循环检测, 直到 MCGSC 中 CLKST (位 3 和 2) 是 %10, 表明已经选择外部参考时钟为 MCGOUT 馈电。
2. 然后, PBE 必须要么直接转换到 FBE 模式, 要么先转换到 BLPE 模式, 然后再转换到 FBE 模式:
 - a) BLPE: 如果需要从 BLPE 模式转换, 首先把 MCGC2 中的 LP (位 3) 设置为 1。
 - b) BLPE/FBE: MCGC1 = 0xB8 (%10111000)
 - RDIV (位 5-3) 设置为 %111 或除以 128, 因为 $4 \text{ MHz} / 128 = 31.25 \text{ kHz}$, 这在 FLL 要求的 31.25 kHz -- 39.0625 kHz 频率范围内。在 BLPE 模式中, RDIV 的配置不重要, 因为 FLL 和 PLL 都被禁止。更改它们只会建立供 FLL 在 FBE 模式中使用的分频器。
 - c) BLPE/FBE: MCGC3 = 0x04 (%00000100)
 - PLLS (位 6) 清除至 0, 选择 FLL。在 BLPE 模式中, 更改该位只会让 MCG 准备在 FBE 模式中的 FLL 使用。如果 PLLS = 0, VDIV 值不重要。
 - d) BLPE: 如果通过 BLPE 模式转换, 将 MCGC2LP (位 3) 中的 LP 清除至 0, 切换到 FBE 模式。
 - e) FBE: 循环检测, 直到 MCGSC 中的 PLLST (位 5) 已经清除, 表明 PLLS 时钟的当前源是 FLL。
 - f) FBE: 循环检测, 直到在 MCGSC 中的 LOCK (位 6) 已经置位, 表明 FLL 已经获得锁定。尽管在 FBE 模式中 FLL 被旁通, 但它仍使能且在运行。
3. 接下来, FBE 模式转换到 FBI 模式:
 - a) MCGC1 = 0x44 (%01000100)
 - MCGSC1 中的 CLKS (位 7 和 6) 设置为 %01, 以便将系统时钟切换到内部参考时钟。
 - IREFS (位 2) 设置为 1, 选择内部参考时钟为参考时钟源。
 - RDIV (位 5-3) 设置为 %000 或除以 1, 因为调整后的内部参考应在 FLL 要求的 31.25 kHz--39.0625 kHz 频率范围内。
 - b) 循环检测, 直到 MCGSC 中的 IREFST (位 4) 是 1, 表明已经选择内部参考时钟为参考时钟源。
 - c) 循环检测, 直到 MCGSC 中的 CLKST (位 3 和 2) 是 %01, 表明已经选择内部参考时钟为 MCGOUT 馈电。

表 10-10. APCTL2 寄存器字段描述

字段	描述
7 ADPC15	ADC 管脚控制 15 — ADPC15 用来控制与通道 AD15 连接的管脚。 0 AD15 管脚 I/O 控制使能 1 AD15 管脚 I/O 控制禁止
6 ADPC14	ADC 管脚控制 14 — ADPC14 用来控制与通道 AD14 连接的管脚。 0 AD14 管脚 I/O 控制使能 1 AD14 管脚 I/O 控制禁止
5 ADPC13	ADC 管脚控制 13 — ADPC13 用来控制与通道 AD13 连接的管脚。 0 AD13 管脚 I/O 控制使能 1 AD13 管脚 I/O 控制禁止
4 ADPC12	ADC 管脚控制 12 — ADPC12 用来控制与通道 AD12 连接的管脚。 0 AD12 管脚 I/O 控制使能 1 AD12 管脚 I/O 控制禁止
3 ADPC11	ADC 管脚控制 11 — ADPC11 用来控制与通道 AD11 连接的管脚。 0 AD11 管脚 I/O 控制使能 1 AD11 管脚 I/O 控制禁止
2 ADPC10	ADC 管脚控制 10 — ADPC10 用来控制与通道 AD10 连接的管脚。 0 AD10 管脚 I/O 控制使能 1 AD10 管脚 I/O 控制禁止
1 ADPC9	ADC 管脚控制 9 — ADPC9 用来控制与通道 AD9 连接的管脚。 0 AD9 管脚 I/O 控制使能 1 AD9 管脚 I/O 控制禁止
0 ADPC8	ADC 管脚控制 8 — ADPC8 用来控制与通道 AD8 连接的管脚。 0 AD8 管脚 I/O 控制使能 1 AD8 管脚 I/O 控制禁止

10.4.10 管脚控制寄存器 3（APCTL3）

APCTL3 用来控制 ADC 模块的通道 16-23。

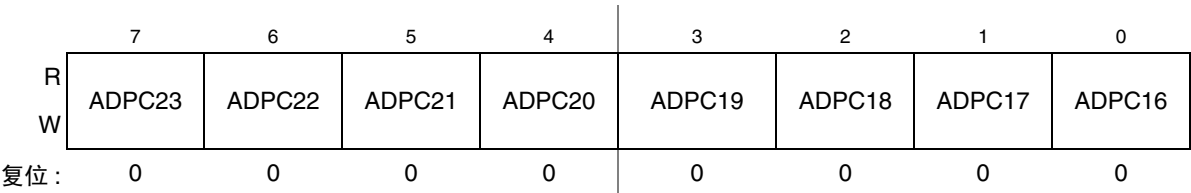


图 10-13. 管脚控制寄存器 3（APCTL3）

表 11-4. IIC 分频器和保持值

ICR (hex)	SCL 分频器	SDA 保持值	SCL 保持 (开始) 值	SDA 保持 (停止) 值
00	20	7	6	11
01	22	7	7	12
02	24	8	8	13
03	26	8	9	14
04	28	9	10	15
05	30	9	11	16
06	34	10	13	18
07	40	10	16	21
08	28	7	10	15
09	32	7	12	17
0A	36	9	14	19
0B	40	9	16	21
0C	44	11	18	23
0D	48	11	20	25
0E	56	13	24	29
0F	68	13	30	35
10	48	9	18	25
11	56	9	22	29
12	64	13	26	33
13	72	13	30	37
14	80	17	34	41
15	88	17	38	45
16	104	21	46	53
17	128	21	58	65
18	80	9	38	41
19	96	9	46	49
1A	112	17	54	57
1B	128	17	62	65
1C	144	25	70	73
1D	160	25	78	81
1E	192	33	94	97
1F	240	33	118	121

ICR (hex)	SCL 分频器	SDA 保持值	SCL 保持 (开始) 值	SDA 保持 (停止) 值
20	160	17	78	81
21	192	17	94	97
22	224	33	110	113
23	256	33	126	129
24	288	49	142	145
25	320	49	158	161
26	384	65	190	193
27	480	65	238	241
28	320	33	158	161
29	384	33	190	193
2A	448	65	222	225
2B	512	65	254	257
2C	576	97	286	289
2D	640	97	318	321
2E	768	129	382	385
2F	960	129	478	481
30	640	65	318	321
31	768	65	382	385
32	896	129	446	449
33	1024	129	510	513
34	1152	193	574	577
35	1280	193	638	641
36	1536	257	766	769
37	1920	257	958	961
38	1280	129	638	641
39	1536	129	766	769
3A	1792	257	894	897
3B	2048	257	1022	1025
3C	2304	385	1150	1153
3D	2560	385	1278	1281
3E	3072	513	1534	1537
3F	3840	513	1918	1921

13.4 寄存器定义

SPI 有 5 个 8 位寄存器来选择 SPI 选项、控制波特率、报告 SPI 状态和发送 / 接收数据。

如需了解所有 SPI 寄存器的绝对地址分配，参见本文 Memory 章的直接页面寄存器概述。本小节只提及了寄存器和控制位的名称，飞思卡尔提供的对照表或头文件用来把这些名称转换成适当的绝对地址。

13.4.1 SPI 控制寄存器 1 (SPIC1)

该读 / 写寄存器包括 SPI 使能控制、中断使能和配置选项。

	7	6	5	4	3	2	1	0
R	SPIE	SPE	SPTIE	MSTR	CPOL	CPHA	SSOE	LSBFE
W								
复位	0	0	0	0	0	1	0	0

图 13-5. SPI 控制寄存器 1 (SPIC1)

表 13-1. SPIC1 字段描述

字段	描述
7 SPIE	SPI 中断使能 (用于 SPRF 和 MODF) — 这是 SPI 接收缓冲器已满 (SPRF) 和模式故障 (MODF) 事件的中断使能。 0 禁止从 SPRF 和 MODF 中中断 (使用轮询) 1 当 SPRF 或 MODF 为 1，请求硬件中断
6 SPE	SPI 系统使能 — 禁止 SPI 将暂停正在进行的任何传输、清除数据缓冲器、初始化内部状态设备。SPRF 被清除，并设置 SPTEF 来显示 SPI 发送数据缓冲器空。 0 SPI 系统禁止 1 SPI 系统使能
5 SPTIE	SPI 发送中断使能 — 这是 SPI 发送缓冲器空 (SPTEF) 的中断使能位。 0 禁止从 SPTEF 中中断 (使用轮询) 1 当 SPTEF 为 1 时，请求硬件中断
4 MSTR	主 / 辅模式选择 0 SPI 模块配置为辅 SPI 器件 1 SPI 模块配置为主 SPI 器件
3 CPOL	时钟极性 — 该位在来自主 SPI 或去往从 SPI 的时钟信号间有效地以串联方式放置一个取反逻辑。详情请参见 13.5.1, “SPI 时钟格式”。 0 SPI 时钟高有效 (闲置低态) 1 SPI 时钟低有效 (闲置高态)
2 CPHA	时钟相位 — 该位选择两种时钟格式的一种用于不同类型的同步串行外围器件。详情请参见 13.5.1, “SPI 时钟格式”。 0 SPSCCK 上的第一个边沿出现在 8 周期数据传输的第一个周期的中央 1 SPSCCK 上的第一个边沿出现在 8 周期数据传输的第一个周期的起点

14.2.7 SCI 数据寄存器 (SCIxD)

该寄存器实际上是两个独立寄存器。读返回只读接收数据缓冲器的内容，写进入只写发送数据缓冲器。该寄存器的读写还涉及 SCI 状态标记的自动标记清除机制。

	7	6	5	4	3	2	1	0
R	R7	R6	R5	R4	R3	R2	R1	R0
W	T7	T6	T5	T4	T3	T2	T1	T0
复位	0	0	0	0	0	0	0	0

图 14-11. SCI 数据寄存器 (SCIxD)

14.3 功能描述

SCI 允许在 MCU 和远程器件（包括其他 MCU）间进行全双工、异步、NRZ 串行通信。SCI 由波特率发生器、发射器和接收时钟组成。发射器和接收器独立运行，尽管它们使用同一波特率发生器。在正常运行期间，MCU 监控 SCI 的状态，写将要发送的数据，处理已接收的数据。下面就简要地介绍一下 SCI 的每个块。

14.3.1 波特率生成

如图 14-12 所示，SCI 波特率发生器的时钟源是总线速率时钟。

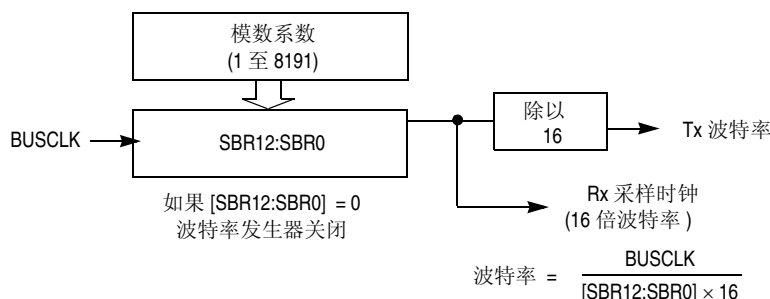


图 14-12. SCI 波特率生成

SCI 通信要求发射器和接收器（一般情况下从独立时钟源中获取波特率）使用相同的波特率。该波特频率的允许容限取决于接收器与起始位的前沿以及位采样执行的具体情况。

每次从高态转换到低态时，MCU 都重新同步位边界，但在最坏的情况下，整个 10 或 11 位时间字符帧中没有这种转换，所以波特率中的任何不匹配都累积到整个字符时间。对于总线频率由晶振驱动的非思卡尔半导体 SCI 系统，允许的波特率不匹配对 8 位数据格式来说大约为 4.5%、对 9 位数据格式来说大约 4%。尽管波特率模数除数设置不会永远生成与标准速率严格匹配的波特率，但一般情况下都在一个很小的百分比内，是可靠通信可以接受的。

15.3.2 RTC 计数器寄存器 (RTCCNT)

RTCCNT 是 8 位计数器的当前 RTC 计数的只读值。

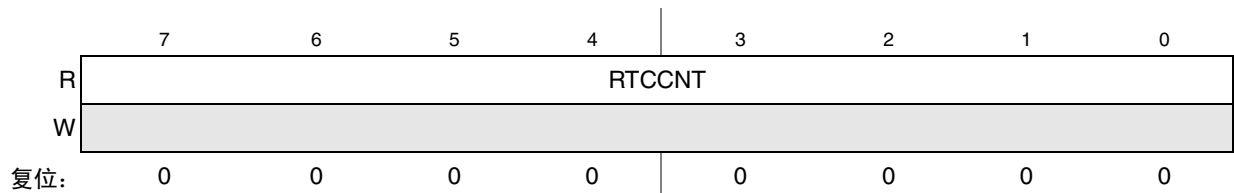


图 15-4. RTC 计数器寄存器 (RTCCNT)

表 15-4. RTCCNT 字段描述

字段	描述
7:0 RTCCNT	RTC 计数—这 8 个只读位包含 8 位计数器的当前值。写入操作对该寄存器无效。复位、写入 RTCMOD 或向 RTCLKS 和 RTCPS 写入不同值将把计数清除为 0x00。

15.3.3 RTC 模数寄存器 (RTCMOD)

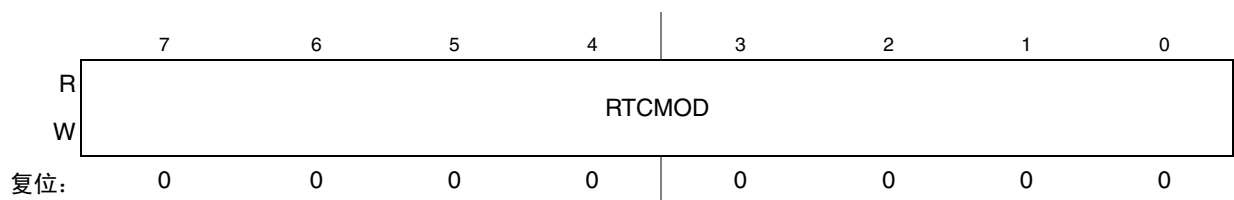


图 15-5. RTC 模数寄存器 (RTCMOD)

表 15-5. RTCMOD 字段描述

字段	描述
7:0 RTCMOD	RTC 模数 — 这 8 个读 / 写位包含用于在比较匹配后将计数复位为 0x00 并设置 RTIF 状态位的模数值。0x00 值会在预分频器输出的每个上升边沿设置 RTIF 位。写入 RTCMOD 将把预分频器和 RTCCNT 计数器复位为 0x00。复位将模数寄存器设置为 0x00。

15.4 功能描述

RTC 由一个带有 8 位模数寄存器的主 8 位向上计数器、一个时钟源选择器和一个带有二进制和十进制可选值的预分频器组件组成。该模块还包含软件可选的中断逻辑。

任何 MCU 复位后，计数器被停止并复位为 0x00；模数寄存器被设置为 0x00，而且预分频器将关闭。1-kHz 内部振荡器时钟被选择为默认时钟源。要启动预分频器，向预分频器选择位 (RTCPS) 写入零以外的任何值。



图 16-9. TPM 计数器寄存器低字节 (TPMxCNTL)

当 BDM 处于有效状态，定时器计数器被冻结（这是用户将读取的值）；一致性机制是冻结的，这样当 BDM 处于有效状态时，缓冲器中锁定的内容仍将保持锁定状态，即使计数器的一半或两个一半都在 BDM 处于有效状态时被读取。这确保了如果 BDM 处于有效状态时用户正在读取 16 位寄存器，那么返回到正常操作后将从 16 位值的另一半中读取适当值。

在 BDM 模式下，向 TPMxSC, TPMxCNTH 或 TPMxCNTL 寄存器写入任何值可复位 TPMxCNTH:L 寄存器的读取一致性机制而不受写入涉及的数据影响。

16.3.3 TPM 计数器模数寄存器 (TPMxMODH:TPMxMODL)

这个读 / 写 TPM 模数寄存器包含 TPM 计数器的模数值。TPM 计数器达到模数值后，TPM 计数器在下一个时钟周期内又从 0x0000 开始计数，同时会设置一个溢出标记（TOF）。向 TPMxMODH 或 TPMxMODL 中写入一个值可禁止 TOF 位和溢出中断，直到另一个字节也被写入。复位操作将 TPM 计数器的模数寄存器设置为 0x0000，进而导致自由运行的定时器计数器（模数被关闭）。

写入任何一个字节（无论是 TPMxMODH 还是 TPMxMODL）都会使值锁入到缓冲器中，同时寄存器会根据 CLKSb:CLKSa bits, so 位的值以它们的写入缓冲器的值得到更新，因此：

- 如果（clksb:clksa = 0:0），那么寄存器在第二个字节被写入时更新。
- 如果（clksb:clksa not = 0:0），那么寄存器在两个字节都被写入后更新，计数器从（tpmxmodh:tpmxmodl - 1）变为（tpmxmodh:tpmxmodl）。如果 tpm 计数器为自由运行的计数器，那么 tpm 计数器从 0xfffe 变为 0xffff 时会进行更新。

锁定机制可通过向 TPMxSC 地址（无论 BDM 是否活动）中写入一个值来手动复位。

当 BDM 处于有效状态时，一致性机制是冻结的（除非通过写入 TPMxSC register 寄存器复位）。这样，当 BDM 处于有效状态时，缓冲器中锁定的内容仍然保持锁定状态，即使模数寄存器的一半或两个一半都在 BDM 处于有效状态时被写入。当 BDM 处于有效状态时，任何向模数寄存器的写入行为都会绕过缓冲器锁定并直接写入到模数寄存器中。

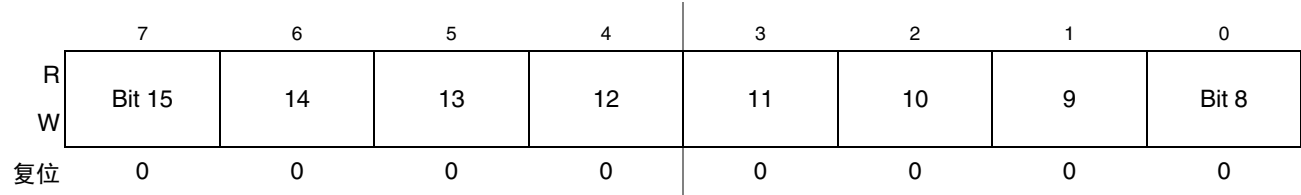


图 16-10. TPM 计数器模数寄存器高字节 (TPMxMODH)

A.9 ADC 特性

表 A-9. 12 位 ADC 操作条件

特性	条件	符号	最小值	典型值 ¹	最大值	单位	注释
电源电压	绝对	V_{DDAD}	2.7	—	5.5	V	
	Delta to V_{DD} ($V_{DD}-V_{DDAD}$) ²	DV_{DDAD}	-100	0	+100	mV	
接地电压	Delta to V_{SS} ($V_{SS}-V_{SSAD}$) ²	DV_{SSAD}	-100	0	+100	mV	
参考电压 高		V_{REFH}	2.7	V_{DDAD}	V_{DDAD}	V	仅在 64 管脚封装中适用 { $V_{REFH} < V_{DDAD}$ 描述性的, 未在生产中测试}
参考电压 低		V_{REFL}	V_{SSAD}	V_{SSAD}	V_{SSAD}	V	不适用于 64 管脚封装 (只适用于 32 和 48 管脚封装)
输入电压		V_{ADIN}	V_{REFL}	—	V_{REFH}	V	
输入电容		C_{ADIN}	—	4.5	5.5	pF	
输入电阻		R_{ADIN}	—	3	5	k Ω	
模拟信号源电阻	12 位模式 $f_{ADCK} > 4\text{MHz}$ $f_{ADCK} < 4\text{MHz}$	R_{AS}	— —	— —	2 5	k Ω	MCU 外部
	10 位模式 $f_{ADCK} > 4\text{MHz}$ $f_{ADCK} < 4\text{MHz}$		— —	— —	5 10		
	8 位模式 (所有有效 f_{ADCK})		—	—	10		
ADC 转换时钟频率	高速 (ADLPC=0)	f_{ADCK}	0.4	—	8.0	MHz	
	低速 (ADLPC=1)		0.4	—	4.0		

¹ 典型值假设 $V_{DDAD} = 5.0\text{V}$ 、温度 = 25°C、 $f_{ADCK} = 1.0\text{MHz}$ ，除非另有其他说明。典型值仅用于参考，并在生产中测试。

² DC 潜在差。