



Welcome to [E-XFL.COM](#)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	53
Program Memory Size	32KB (32K x 8)
Program Memory Type	FLASH
EEPROM Size	1K x 8
RAM Size	2K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 24x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 85°C (TA)
Mounting Type	Surface Mount
Package / Case	64-LQFP
Supplier Device Package	64-LQFP (10x10)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/s9s08dz32f2clh

4.3 寄存器地址和位分配

MC9S08DZ60 系列产品中的寄存器可分为以下几组：

- 直接页面寄存器，位于存储器映象的前 128 个位置上。这些寄存器可以通过高效的直接寻址模式指令访问。
- 高端页面（High-page）寄存器，不经常使用，因此位于存储器映象中 0x1800 以上。在直接页面寄存器中为经常使用的寄存器和 RAM 留出了更多空间。
- 非易失性寄存器，由 Flash 中 0xFFB0 ~ 0xFFBF 之间 16 个位置组成的位置段组成。非易失性寄存器位置包括：
 - NVPROT 和 NVOPT，在复位时上载到工作寄存器中。
 - 一个 8 字节后门对比密钥，可选择为用户分配有控制的安全内存访问权限。

由于非易失性寄存器的位置是在 Flash 中，所以必须像其他位置 Flash 一样擦除和编程。

直接页面寄存器可以通过高效的直接寻址模式指令访问。位操作指令可用于访问任何直接页面寄存器中的任何位。表 4-2 总结了所有用户可访问的直接页面寄存器和控制位。

表 4-2 所列的直接页面寄存器可以使用更高效的直接寻址模式（这种模式只需要地址的较低字节）。因此，第 1 栏中地址的较低字节用粗体显示。在表 4-3 和表 4-5 中，第 1 栏中的整个地址都用粗体显示。在表 4-2, 表 4-3, 和表 4-5 中，第 2 栏中的寄存器名称用粗体显示以便与右侧的位名称区分。与所列出的位不相关的单元在阴影中显示。带有 0 的阴影单元表示这个未使用的位始终应为 0。带有破折号的阴影单元表示未使用的或预留的位，可以是 1 或 0。

5.5.2.2 边沿和电平敏感度

IRQMOD 控制位重新配置检测逻辑，这样它就能检测边沿事件和管脚电平。在边沿和电平检测模式中，当检测到边沿时（IRQ 管脚从断言解除改为断言），IRQF 状态标记就被设置，但只要 IRQ 管脚处于断言级，就会连续设置该标记（并且不能清除）。

5.5.3 中断向量、源和本地掩码

表 5-1 总结了所有中断源。较高优先级的源位于表格下方。中断服务程序地址的高阶字节位于向量地址栏的第一个地址，中断服务程序地址的低阶字节位于下一个较高阶地址中。

当出现中断时，相关标记位被设置。如果相关的本地中断激活位是 1，中断请求会发送到 CPU。在 CPU 中，如果全球中断屏蔽（CCR 中的 I 位）是 0，CPU 将完成当前指令；堆栈 PCL、PCH、X、A 和 CCR CPU 寄存器；设置 I 位；然后为挂起的最高优先级中断获取中断向量。然后继续处理中断服务程序。

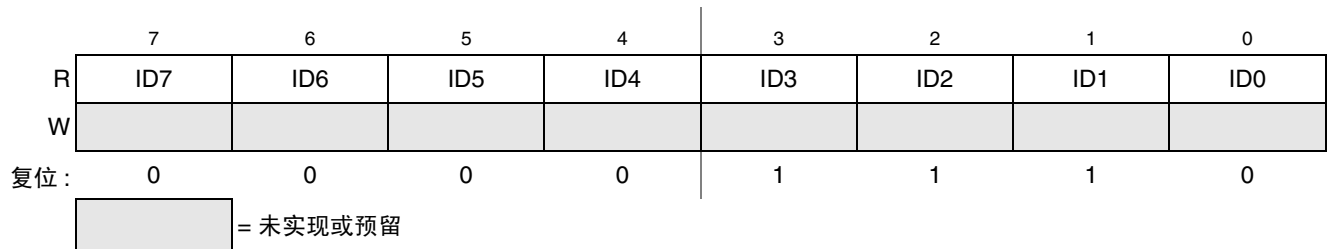


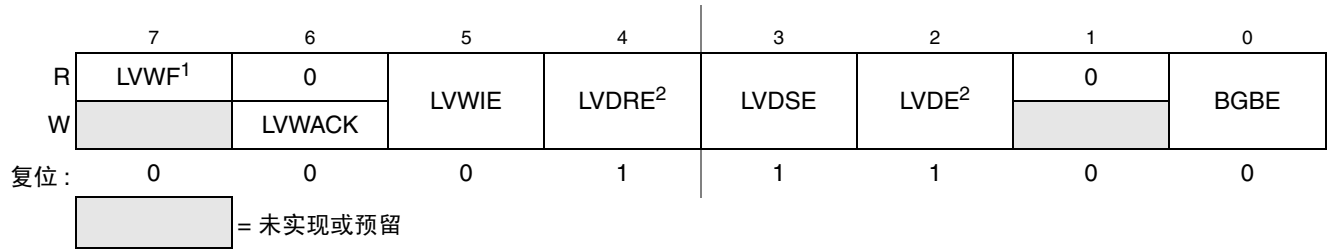
图 5-8. 系统器件识别寄存器 — 低 (SDIDL)

表 5-9. SDIDL 寄存器字段描述

字段	描述
7:0 ID[7:0]	部件识别编号 — MC9S08DZ60 系列 MCU 被硬编码为值 0x00E。也请参见表 5-8 中的 ID 位。

5.8.7 系统电源管理状态和控制寄存器 1 (SPMSC1)

这个高页寄存器包含状态位和控制位，以支持低电检测功能，使能 ADC 和 ACMP 模块使用的带隙电压参考。该寄存器应在用户复位初始化程序期间写入，以设置期望的控制，即便期望的设置与复位设置相同。



¹ 当出现 V_{Supply} 转换低于跳变点或者复位后 V_{Supply} 已经低于 V_{LVW} 的情况时，要设置 LVWF。
² 复位后该位只能写入一次。其他写入被忽略。

图 5-9. 系统电源管理状态和控制寄存器 1 (SPMSC1)

表 5-10. SPMSC1 寄存器字段描述

字段	描述
7 LVWF	低压警告标志 — LVWF 位显示低压警告状态。 0 低压警告未出现。 1 低压警告已出现或出现过。
6 LVWACK	低压警告确认 — 如果 LVWF = 1，就会出现低压条件。为了确认该低压警告，将 1 写入 LVWACK，如果低电压警告不再出现，该操作会将 LVWF 自动清除至 0。
5 LVWIE	低压警告中断使能 — 该位支持 LVWF 硬件中断请求。 0 硬件中断禁止（使用轮询）。 1 当 LVWF = 1，发出硬件中断请求。

8.4.4 MCG 状态和控制寄存器 (MCGSC)

	7	6	5	4	3	2	1	0
R	LOLS	LOCK	PLLST	IREFST	CLKST		OSCINIT	FTRIM
W								
POR:	0	0	0	1	0	0	0	0
复位:	0	0	0	1	0	0	0	U

图 8-6. MCG 状态和控制寄存器 (MCGSC)

表 8-4. MCG 状态和控制寄存器字段描述

字段	描述
7 LOLS	锁定状态丢失 — 该位是 FLL 或 PLL 锁定状态的标志。当锁定检测使能时，并且时钟已经锁定所定时，就设置 LOLS。锁定后，PLL 或 PLL 输出频率超出未锁定频率容限 D _{unl} 的范围。当 LOLIE 置位时，它决定是否在设置了 LOLS 时发送中断请求。当设置了 LOLS 时，可以通过复位或向 LOLS 写入逻辑 1 的方式清除 LOLS。向 LOLS 写入逻辑 0 不会产生影响。 0 自从上次清除 LOLS 以来，FLL 或 PLL 没有丢失锁定。 1 自从上次清除 LOLS 以来，FLL 或 PLL 丢失锁定。
6 LOCK	锁定状态 — 显示 FLL 或 PLL 是否已获得锁定。当 PLL 和 FLL 都被禁止时，锁定检测也被禁止。如果设置了锁定状态位，那么修改 IREFS、PLLS、RDIV[2:0]、TRIM[7:0]（如果为 FEI 或 FBI 模式）或 VDIV[3:0]（如果为 PBE 或 PEE 模式）中的任何一个值都可能造成锁定状态位清除，并在 FLL 或 PLL 重新获得锁定之前一直保持清除状态。进入停止模式也会造成锁定状态位清除，并在 FLL 或 PLL 重新获得锁定之前一直保持清除状态。进入 BLPI 或 BLPE 模式也会造成锁定状态位清除，并在 MCG 退出这些模式前一直保持清除状态，直到 FLL 或 PLL 重新获得锁定。 0 FLL 或目前未被锁定。 1 FLL 或目前被锁定。
5 PLLST	选择状态 — PLLST 位显示 PLLS 时钟的当前源。由于时钟域间的内部同步，在向 PLLS 位进行写入后，PLLST 位不会立即更新。 0 PLLS 时钟源是 FLL 时钟 1 PLLS 时钟源是 PLL 时钟
4 IREFST	内部参考状态 — IREFST 位显示当前参考时钟的源。由于时钟域间的内部同步，在向 IREFST 位进行写入后，IREFS 位不会立即更新。 0 参考时钟源是外部参考时钟（振荡器或外部时钟源由 MCGC2 寄存器中的 EREFS 位决定） 1 参考时钟源是内部参考时钟
3:2 CLKST	时钟模式状态 — CLKST 位显示当前时钟模式。由于时钟域间的内部同步，在向 CLKST 位进行写入后，CLKS 位不会立即更新。 00 Encoding 0 — 选择 FLL 输出 01 Encoding 1 — 选择内部参考时钟 10 Encoding 2 — 选择外部参考时钟 11 Encoding 3 — 选择 PLL 输出
1 OSCINIT	OCS 初始化 — 如果 ERCLKEN 选择了外部参考时钟源或者 MCG 正处于 FEE、FBE、PEE、PBE 或 BLPE 模式，并且设置了 EREFS，那么在完成了外部振荡器时钟的初始化周期后就要设置该位。只有当 EREFS 被清除或者 MCG 处于 FEI、FBI 或 BLPI 模式且 ERCLKEN 被清除时，这个位才被清除。
0 FTRIM	MCG 微调 — 控制内部参考时钟频率最细微的调节。设置 FTRIM 会以最小的幅度延长该时段，清除 FTRIM 会以最小的幅度缩短该时段。 如果保存在非易失性存储器中 FTRIM 值被使用，用户有责任将这个值从非易失性存储器位置复制到该寄存器的 FTRIM 位上。

表 10-9. APCTL1 寄存器字段描述

字段	描述
7 ADPC7	ADC 管脚控制 7 — ADPC7 用来控制与通道 AD7 连接的管脚。 0 AD7 管脚 I/O 控制使能 1 AD7 管脚 I/O 控制禁止
6 ADPC6	ADC 管脚控制 6 — ADPC6 用来控制与通道 AD6 连接的管脚。 0 AD6 管脚 I/O 控制使能 1 AD6 管脚 I/O 控制禁止
5 ADPC5	ADC 管脚控制 5 — ADPC5 用来控制与通道 AD5 连接的管脚。 0 AD5 管脚 I/O 控制使能 1 AD5 管脚 I/O 控制禁止
4 ADPC4	ADC 管脚控制 4 — ADPC4 用来控制与通道 AD4 连接的管脚。 0 AD4 管脚 I/O 控制使能 1 AD4 管脚 I/O 控制禁止
3 ADPC3	ADC 管脚控制 3 — ADPC3 用来控制与通道 AD3 连接的管脚。 0 AD3 管脚 I/O 控制使能 1 AD3 管脚 I/O 控制禁止
2 ADPC2	ADC 管脚控制 2 — ADPC2 用来控制与通道 AD2 连接的管脚。 0 AD2 管脚 I/O 控制使能 1 AD2 管脚 I/O 控制禁止
1 ADPC1	ADC 管脚控制 1 — ADPC1 用来控制与通道 AD1 连接的管脚。 0 AD1 管脚 I/O 控制使能 1 AD1 管脚 I/O 控制禁止
0 ADPC0	ADC 管脚控制 0 — ADPC0 用来控制与通道 AD0 连接的管脚。 0 AD0 管脚 I/O 控制使能 1 AD0 管脚 I/O 控制禁止

10.4.9 管脚控制寄存器 2 (APCTL2)

APCTL2 用来控制 ADC 模块的通道 8-15。

	7	6	5	4	3	2	1	0
R	ADPC15	ADPC14	ADPC13	ADPC12	ADPC11	ADPC10	ADPC9	ADPC8
W								
复位:	0	0	0	0	0	0	0	0

图 10-12. 管脚控制寄存器 2 (APCTL2)

10.5 功能描述

复位期间或当 ADCH 位都高时，ADC 模块禁止。当已经完成当前转换，而下一次转换还未发起时，模块进入空闲状态。空闲时，模块处于最低功耗状态。

ADC 可以对软件选择的任意通道实施模数转换。在 12 位和 10 位模式中，所选的通道电压通过逐次逼近算法被转换成 12 位数字结果。在 8 位模式中，所选的通道电压通过逐次逼近算法被转换成 9 位数字结果。

转换完成后，结果保存在数据寄存器（ADCRH 和 ADCRL）中。在 10 位模式中，结果被圆整到 10 位并保存在数据寄存器（ADCRH 和 ADCRL）中。在 8 位模式中，结果被圆整到 8 位并保存在 ADCRL 中。然后设置转换完成标记（COCO），如果已经使能了转换完成中断（AIEN = 1），则触发中断。

ADC 模块能够自动地把转换结果与比较寄存器的内容进行比较。通过设置 ACFE 位并结合任意一种转换模式和配置一起运行，就使能了比较功能。

10.5.1 时钟选择和分频控制

ADC 模块可选择 4 个时钟源之一，然后由可配置值进行分频，生成转换器的输入时钟（ADCK）。时钟源通过 ADICLK 位设置从以下源中选择。

- 总线时钟，等于软件运行的频率。这是复位后的默认选择。
- 总线时钟除以 2，如果总线时钟很高，允许总线时钟最大除以 16。
- ALTCLK，由此 MCU 定义（参见本章节的概述部分）。
- 异步时钟（ADACK）- 该时钟从 ADC 模块内部时钟源产生。当 MCU 则处于等待或 STOP3 模式时，此时钟源仍然有效，从而实现此模式下的低噪音转换。

无论选择哪种时钟，其频率必须在 ADCK 的指定频率范围内。如果可用时钟太慢，ADC 将无法保证正常运行。如果可用时钟太快，那么时钟必须分频为适当的频率。除数由 ADIV 位指定，可以是 1、2、4 或 8。

10.5.2 输入选择和管脚控制

管脚控制寄存器（APCTL3，APCTL2 和 APCTL1）用来禁止对作为模拟输入的管脚的 I/O 控制功能。当置位管脚控制寄存器相应位时，对应的 MCU 管脚进入以下状态：

- 输出缓冲器进入高阻抗状态。
- 输入缓冲器禁止。对于其输入缓冲器被禁止的任何管脚，I/O 端口读数均返回 0。
- 上拉禁止。

10.5.3 硬件触发

ADC 模块有一个可选的异步硬件转换触发 ADHWT，当设置了 ADTRG 位时，ADHWT 使能。并不是所有 MCU 上都有这个源。如需了解该 MCU 的特定 ADHWT 源的更多报文，请参见本章概述部分。

11.4.3 IIC 控制寄存器 (IICC1)

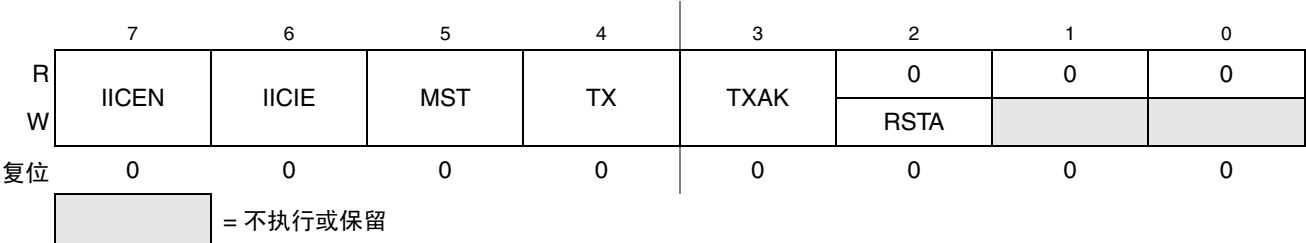


图 11-5. IIC 控制寄存器 (IICC1)

表 11-5. IICC1 字段描述

字段	描述
7 IICEN	IIC 使能。IICEN 位确定是否使能 IIC 模块。 IIC 禁止 1 IIC 使能
6 IICIE	IIC 中断使能。IICIE 位确定是否请求 IIC 中断。 0 IIC 中断请求禁止 1 IIC 中断请求使能
5 MST	主模式选择。当 MST 位从 0 变为 1，总线上产生启动信号，主机模式被选择。当 MST 位从 1 变为 0，生成停止信号，运行模式从主机模式变为从机模式 0 从机模式 1 主机模式
4 TX	发送模式选择。TX 位选择主从传输的方向。在主模式中，TX 位应根据所需传输类型进行设置。因此对于地址周期来说，TX 位始终很高。当作为从机时，TX 位应由软件根据状态寄存器中的 SRW 位进行设置。 0 接收 1 发送
3 TXAK	发送应答使能。在主从接收器的数据应答周期中，该位设置驱动输出到 SDA 的值。 0 收到一个数据字节后，向总线发送应答信号 1 不发送应答信号响应
2 RSTA	重复开始。向该位写入 1 产生重复启动条件，假设它是当前主机的情况。该位始终读取为 0。在错误时间试图重复会导致仲裁丢失。

11.4.4 IIC 状态寄存器 (IICS)

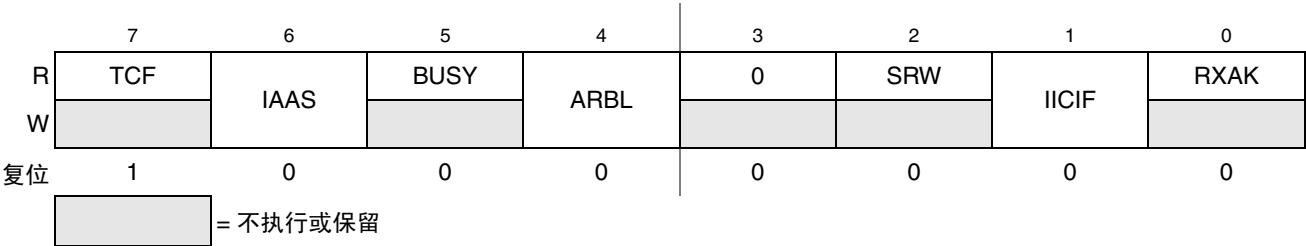


图 11-6. IIC 状态寄存器 (IICS)

11.5.1.8 握手

时钟同步机制可以用作数据传输中的握手。在完成一个字节的传输（9 个位）后，从机可以保持 SCL 低位。在这种情况下，它会暂停总线时钟，强迫主机时钟进入等待状态，直到从机释放 SCL 线。

11.5.1.9 时钟延展

时钟同步机制可以被从机用于减缓传输的比特速率。在主机已经拉低 SCL 后，从机可以继续拉低 SCL 一定时间，然后再释放它。如果从机 SCL 低态周期长于主机 SCL 低态周期，那么就会将 SCL 总线信号低态周期延展。

11.5.2 10 位地址

对于 10 位寻址，0x11110 用于地址首字节的前 5 位。10 位寻址传输过程中可能出现不同的读 / 写格式组合。

11.5.2.1 主发送器寻址从接收器

传输方向不变（见表 11-9）。当 10 位地址跟随开始信号发送时，每个从机会把该从机地址首字节的前 7 位与其自己的地址进行比较，并测试第 8 个位（R/W 方向位）是否为 0。一个以上的从机能够匹配并生成应答（A1）。然后，匹配的每个从机会把该从机地址第二个字节的 8 个位与其自己的地址进行比较。只有一个从机找到匹配并生成应答（A2）。匹配的从机与此主机通信，直到收到停止信号（P）或跟随着其他从机地址的重复开始信号（Sr）。

S	从机前面 7 位 11110 + AD10 + AD9	R/W 0	A1	从机前面 7 位 AD[8:1]	A2	数据	A	...	数据	A/A	P
---	--------------------------------	----------	----	---------------------	----	----	---	-----	----	-----	---

表 11-9. 主发送器寻址 10 位地址的辅接收器

在主机发送器已经发送了 10 位地址的第一个字节后，从机接收器产生 IIC 中断。软件必须确保 IICD 的内容被忽略，且不作为该中断的有效数据对待。

11.5.2.2 主接收器寻址从发送器

如果传输方向被第二个 R/W 位改变（见表 11-10）。一直到应答位 A2（包括应答位 A2）前，该流程与主发送器寻址从接收器中的描述都相同。在重复开始条件（Sr）后，匹配的从接收器记得它以前曾被寻址过。从接收器然后就检查 Sr 后的从机地址首字节的前 7 位是否与开始条件（S）后的前 7 位相同，并测试第 8（R/W）个位是否为 1。如果匹配，从接收器就认为它已经被确认为发送器，并生成应答 A3。从发送器保持匹配，直到收到停止信号（P）或跟随着其他从机地址的重复开始信号（Sr）。

重复开始条件（Sr）之后，所有其他从机也将从机地址首字节的前 7 位与它们自己的地址进行比较，测试第 8（R/W）位。然而，这些从机都没有匹配，因为 R/W=1（用于 10 位器件）或 11110XX 从机地址（用于 7 位节点）不匹配。

表 12-10. CANRIER 寄存器字段描述

字段	描述
7 WUPIE ¹	唤醒中断使能 0 无中断请求从该事件中产生。 1 唤醒事件引起唤醒中断请求。
6 CSCIE	CAN 状态变化中断使能 0 无中断请求从该事件中产生。 1 CAN 状态变化事件引起错误中断请求。
5:4 RSTATE[1:0]	接收器状态变化使能—这些 RSTAT 使能位控制接收器状态变化而引起 CSCIF 中断的电平状态。独立于所选电平状态，RSTAT 标志继续显示实际接收器状态，且只有在没有 CSCIF 中断产生时才会更新。 00 未生成由于接收器状态变化而引起的任何 CSCIF 中断。 01 只有当接收器进入或离开“总线脱离”状态时才会生成 CSCIF 中断。为生成 CSCIF 中断丢弃其他接收器状态变化。 10 只有当接收器进入或离开“RxErr”或“总线脱离” ² 状态时才会生成 CSCIF 中断。为生成 CSCIF 中断丢弃其他接收器状态变化。 11 所有状态变化都生成 CSCIF 中断。
3:2 TSTATE[1:0]	T 发送器状态变化使能 —这些 TSTAT 使能位控制发送器状态变化而引起 CSCIF 中断的电平状态。独立于所选电平状态，TSTAT 标志继续显示实际发送器状态，且只有在没有 CSCIF 中断产生时才会更新。 00 未生成由于接收器状态变化而引起的任何 CSCIF 中断。 01 只有当发送器进入或离开“总线脱离”状态时才会生成 CSCIF 中断。为生成 CSCIF 中断丢弃其他接收器状态变化。 10 只有当发送器进入或离开“总线脱离”状态时才会生成 CSCIF 中断。为生成 CSCIF 中断丢弃其他接收器状态变化。 11 所有状态变化都生成 CSCIF 中断。
1 OVRIE	溢出中断使能 0 无中断请求从该事件中生成。 1 溢出事件引起错误中断请求。
0 RXFIE	接收器已满中断使能 0 无中断请求从该事件中生成。 1 接收缓冲器已满（成功报文接收）事件引起接收器中断请求。

¹ 如果需要从停止或等待模式中进行恢复的机制，必须同时使能 WUPIE 和 WUPE(参见 12.3.1, “MSCAN 控制寄存器 0 (CANCTL0)”)。

12.3.6 MSCAN 发送器标志寄存器 (CANTFLG)

每个发送缓冲器空标志在 CANTIER 寄存器中都有相关的中断使能位。r.

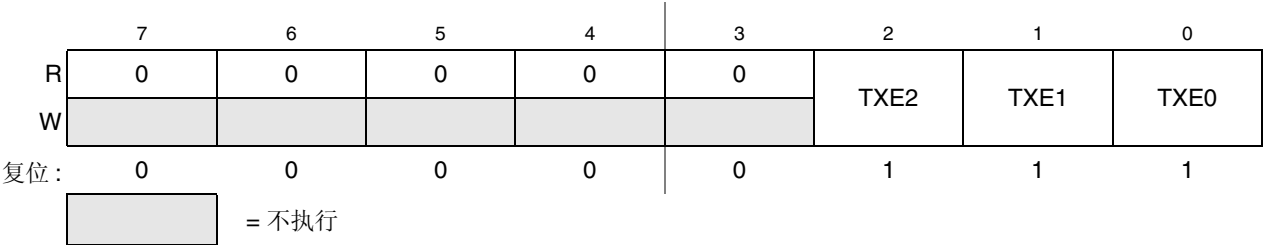


图 12-10. MSCAN 发送器标志寄存器 (CANTFLG)

表 12-17. 标识符接收模式设置

IDAM1	IDAM0	标识符接收模式
0	0	2 个 32 位接收 滤波器
0	1	4 个 16 位接收 滤波器
1	0	8 个 8 位接收 滤波器
1	1	滤波器关闭

表 12-18. 标识符接收有效标志指示器

IDHIT2	IDHIT1	IDHIT0	标识符接收有效标志
0	0	0	滤波器 0 有效标志
0	0	1	滤波器 1 有效标志
0	1	0	滤波器 2 有效标志
0	1	1	滤波器 3 有效标志
1	0	0	滤波器 4 有效标志
1	0	1	滤波器 5 有效标志
1	1	0	滤波器 6 有效标志
1	1	1	滤波器 7 有效标志

IDHITx 指示器总是与前景缓冲器（RxFG）中的报文有关。当报文被转移到接收器 FIFO 的前景缓冲器时，指示器也相应更新。

12.3.12 MSCAN 其他寄存器 (CANMISC)

这种寄存器提供了一些其他功能。

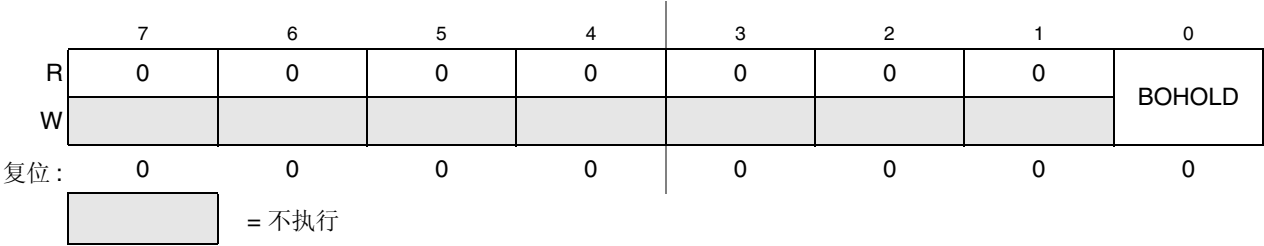


图 12-16. MSCAN 其他寄存器 (CANMISC)

读取：任何时间
写入：任何时间；写入 ‘1’ 清除标志，写入 ‘0’ 忽略标志

表 12-19. CANMISC 寄存器字段描 ^

字段	描述
0 BOHOLD	总线脱离状态持续到用户请求 —12.3.2, “控制寄存器 1 (CANCTL1)” “MSCAN 控制寄存器 1 (CANCTL1)” 中设置了 BORM, 此标志位显示模块是否已经进入总线脱离状态。清除该位则请求从总线脱离恢复。如需了解详细报文, 12.6.2, “总线脱离恢复”。 0 模块未总线脱离, 或在总线脱离状态并已请求恢复 1 模块总线脱离, 并保持该状态直到用户请求

表 12-25. IDR0 寄存器字段描述 — 扩展

字段	描述
7:0 ID[28:21]	扩展格式标识符— 该标识符由 29 个扩展格式位（ID[28:0]）组成。ID28 是最高的位，仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。

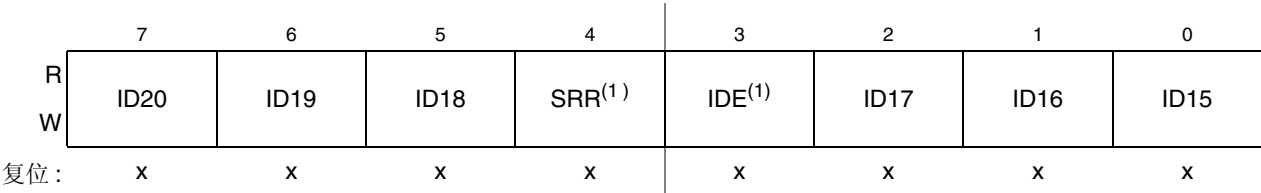


图 12-26. I 标识符寄存器 3（IDR3）— 扩展标识符映射

¹ 1 SRR 和 IDE 都为 1。

表 12-26. 标识符寄存器 1（IDR1）— 扩展标识符映射

字段	描述
7:5 ID[20:18]	扩展格式标识符—该标识符由 29 个扩展格式位（ID[28:0]）组成。ID28 是最高的位，仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。
4 SRR	替代远程请求— 该固定隐性位仅用于扩展格式。它必须由用户为传输缓冲器置位为 1，，并为接收缓冲器在 CAN 总线上置位为接收。
3 IDE	扩展—该标志显示扩展或标准标识符格式是否应用于该缓冲器。在接收缓冲器中，该标志设置为已接收，并向 CPU 显示如何处理缓冲器标识符寄存器。在发送缓冲器中，该标志向 MSCAN 显示将发送的标识符类型。 0 标准格式 （11 位） 1 扩展格式 （29 位） 2:0
2:0 ID[17:15]	扩展格式标识符—该标识符由 29 个扩展格式位（ID[28:0]）组成。ID28 是最高的位，仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。

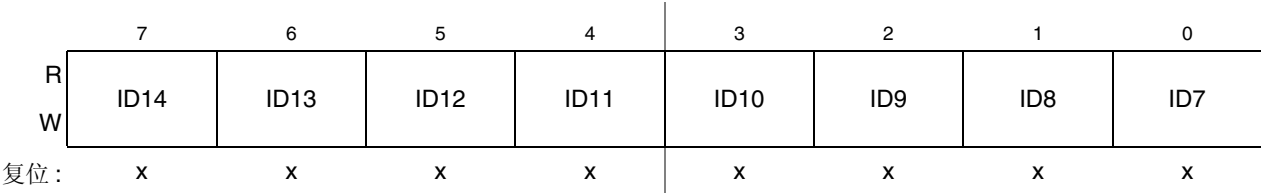


图 12-27. 标识符寄存器 2（IDR2）— 扩展标识符映射

表 12-27. IDR2 寄存器字段说明—扩展

字段	描述
7:0 ID[14:7]	扩展格式标识符—该标识符由 29 个扩展格式位（ID[28:0]）组成。ID28 是最高的位，仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。

表 12-37. 中断矢量

中断源	CCR 掩码	本地使能
唤醒中断 (WUPIF)	1 位	CANRIER (WUPIE)
错误中断 (CSCIF, OVRIF)	1 位	CANRIER(CSCIE, OVRIE)
接入中断 (RXF)	1 位	CANRIER (RXFIE)
发送中断 (TXE[2:0])	1 bit	CANRIER (TXEIE[2:0])

12.5.7.2 发送中断

三个发送缓冲器中至少有一个空（未安排发送），并可以写入报文发送。空报文缓冲器的 TXEx 标志已置位。

12.5.7.3 接收中断

报文成功接收，并转移到接收器 FIFO 的前景缓冲器（RxFG）。收到 EOF 符号后，立即生成该中断。RXF 标志已置位。如果接收器 FIFO 中有多条报文，一旦下一条报文转移到前景缓冲器，就立即设置 RXF 标志。

12.5.7.4 唤醒中断

如果在 MSCAN 内部睡眠模式期间 CAN 总线上有信号，就生成唤醒中断。WUPE（参见 12.3.1，“MSCAN 控制寄存器 0 (CANCTL0)”）必须使能。

12.5.7.5 错误中断

如果出现了接收器 FIFO 溢出、错误、警报或总线脱离情况，就出现错误中断。12.3.4.1，“MSCAN 接收器标志寄存器 (CANRFLG)”显示以下情况中的一种：

- **溢出** — 出现了如 12.5.2.3，“接收结构”所述的接收器 FIFO 的溢出情况。
- **CAN 状态变化** — 实际值控制着 MSCAN 的 CAN 总线状态。只要错误计数器进入关键范围（Tx/Rx 警报、Tx/Rx 错误、总线脱离），MSCAN 就标志错误情况。造成错误情况的状态变化用 TSTAT 和 RSTAT 标志表示（参见 12.3.4.1，“MSCAN 接收器标志寄存器 (CANRFLG)”和 12.3.5，“MSCAN 接收器中断使能寄存器 (CANRIER)”）。

12.5.7.6 中断响应

中断与 12.3.4.1，“MSCAN 接收器标志寄存器 (CANRFLG)”或 12.3.6，“MSCAN 发送器标志寄存器 (CANTFLG)”中的一个或多个状态标志相关。CANRFLG 和 CANTFLG 中的标志必须在中断处理程序内复位。将 1 写入相应位来清零标志。如果中断条件仍然存在，标志不能清除。只要设置了相应标志中的一个，中断就产生。

注意

必须确保 CPU 只清除引起当前中断的位。正是因为这个原因，不能用位操作指令（BSET）清除中断标志。这种指令可能造成意外清除进入当前中断服务程序后设置的中断标志。

12.5.7.7 从恢复停止或 等待

MSCAN 可以通过唤醒中断从停止或等待中恢复。只有当 MSCAN 在进入断电模式前处于睡眠模式 (SLPRQ = 1, SLPK = 1) 时, 唤醒选项被使能 (WUPE = 1), 唤醒中断使能 (WUPIE = 1), 这种中断才能发生。

12.6 初始化 / 应用信息

12.6.1 MSCAN 初始化

系统复位后, 初始化 MSCAN 模块的流程如下:

1. 置位 CANE
2. 写入处于初始化模式的配置寄存器
3. 清除 INITRQ, 离开初始化模式, 进入正常模式

当 MSCAN 模块处于正常模式下, 需要更改只能在初始化模式中写入的寄存器:

1. CAN 总线空闲后, 通过设置 SLPRQ 并等待 SLPK 进行确认, 将模块置入睡眠模式。
2. 进入初始化模式: 确定 INITRQ 并等待 INITAK
3. 写入处于初始化模式的配置寄存器
4. 清除 INITRQ, 离开初始化模式, 继续保持正常模式

12.6.2 总线脱离恢复

用户可配置总线脱离恢复功能。总线脱离状态既可以自动退出, 也可以在用户的请求下退出。

出于向前兼容原因, 复位后, MSCAN 默认为自动恢复。在这种情况下, 在计数 128 次 CAN 总线上 11 个连续隐性位的出现后, MSCAN 将重新变成 ERROR ACTIVE (详情请参见 Bosch CAN 规范)。

如果 MSCAN 配置为用于用户请求模式 12.3.2, “控制寄存器 1 (CANCTL1)” 中设置的 BORM), 从总线脱离中恢复依赖于以下两个独立事件都成立后:

- 发现 128 次 CAN 总线上的 11 个连续隐性位
- 12.3.12, “MSCAN 其他寄存器 (CANMISC)” 中的 BOHOLD 已经被用户清除

这两个事件的发生顺序任意。

第 13 章

串行外围器件接口 (S08SPIV3)

13.1 介绍

串行外围器件接口（SPI）模块提供 MCU 和外围器件间的全双工、同步和串行通信。这些外围器件可以包括其他微控制器、模数移位器、移位寄存器、传感器和存储器等。

SPI 运行在主模式中最高可运行在总线时钟除以 2 的波特率上，在辅模式中最高可运行在总线时钟除以 4 的波特率上。

MC9S08DZ60 系列 MCU 中的所有器件包含一个 SPI 模块，如下面的结构图所示。

注意

在位更改为 CPHA 位的同时，确保 SPI 不得被禁止（SPE=0）。这些更改应作为独立操作执行，否则就可能发生意外。

当 TPM 被配置用于中央对齐 PWM (and ELSnB:ELSnA not = 0:0) 时, 该 TPM 中所有通道的数据方向被改变; TPMxCHn 管脚被强制用作受 TPM 控制的输出, 而 ELSnA 位控制每个 TPMxCHn 输出的极性。如果 ELSnB:ELSnA=1:0, 那么在定时器计数器向上计数、通道值寄存器与定时器计数器匹配时, 相应的 TPMxCHn 管脚被清除; 当定时器计数器向下计数、通道值寄存器与定时器的计数器匹配时, TPMxCHn 管脚被设置。如果 ELSnA=1, 在定时器计数器向上计数、通道值寄存器与定时器的计数器匹配时, 相应的 TPMxCHn 管脚被设置; 当定时器计数器向下计数、通道值寄存器与定时器计数器匹配时, TPMxCHn 管脚被清除。

```
TPMxMODH:TPMxMODL = 0x0008
TPMxCnVH:TPMxCnVL = 0x0005
```

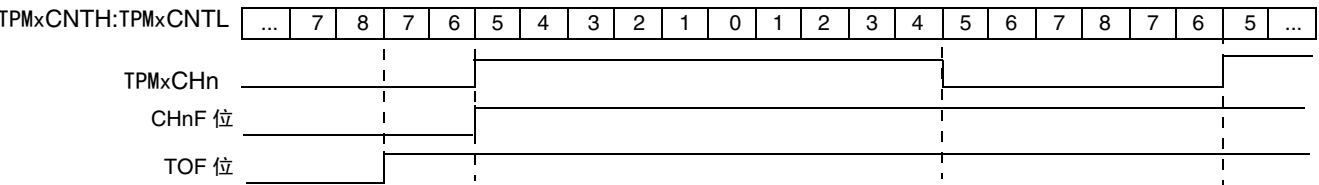


图 16-5. 中央对齐 PWM 的 High-True 脉冲

```
TPMxMODH:TPMxMODL = 0x0008
TPMxCnVH:TPMxCnVL = 0x0005
```

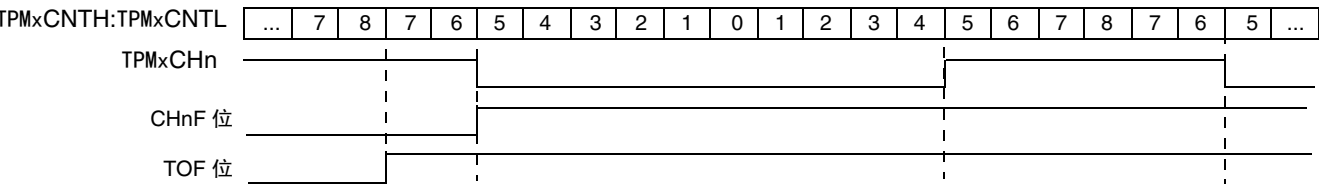


图 16-6. 中央对齐 PWM 的 Low-True 脉冲

规定中央对齐 PWM 操作时，计数器从 0x0000 向上计数到其终端计数，然后向下计数到 0x0000，在那里又开始向上计数。0x0000 和终端计数值均为正常长度计数（一个定时器时钟周期长度）。在这种模式下，定时器溢出标记（TOF）在终端计数周期结束时被设置（当计数器变为下一个更低计数值时）。

16.4.1.4 手动计数器复位

主定时器计数器可随时通过将任何值写入 TPMxCNTH 或 TPMxCNTL 的任何一半来手动复位。如果复位计数前只有一半计数器被读取，这种计数器复位方法还会复位一致性机制。

16.4.2 通道模式选择

如果 Provided CPWMS=0, 通道 n 状态和控制寄存器中 MSnA 和 MSnA 控制位为相应通道确定基本运行模式。选择包括输入捕捉、输出比较或边缘对齐 PWM。

16.4.2.1 输入捕捉模式

利用输入捕捉功能，TPM 可捕捉外部事件发生的时间。当输入捕捉通道的管脚上发生活动边沿时，TPM 可将 TPM 计数器的内容锁入到通道值寄存器（TPMxCnVH:TPMxCnVL）中。上升边沿、下降边沿或任何边沿都可选择作为触发输入捕捉的使能边沿。

在输入捕捉模式下，TPMxCnVH 和 TPMxCnVL 寄存器为只读。

当 16 位捕捉寄存器的任何一半被读时，另一半被锁入到缓冲器中，以按从小到大或从大到小顺序支持连贯的 16 位接入。一致序列可通过向通道状态 / 控制寄存器（TPMxCnSC）中写入值来手动复位。

输入捕捉事件设置标记位（CHnF）。该位可选择生成 CPU 中断请求。

在 BDM 中时，输入捕捉功能按用户配置的方式运行。发生外部事件时，TPM 将 TPM 计数器的内容（因为这在 BDM 模式下是冻结的）锁入到通道值寄存器中，并设置标志位。

16.4.2.2 输出比较模式

利用输出比较功能，TPM 可生成具有可编程位置、极性、持续时间和频率的定时脉冲。当计数器达到输出比较通道的通道值寄存器中的值时，TPM 可设置、清除或切换通道管脚。

在输出比较模式下，根据 CLKSb:CLKSA 位值，仅在 16 位寄存器的两个一半（8 位）被写入后，值被传输到相应的定时器通道寄存器中，因此：

- 如果（clksb:clksa = 0:0），寄存器在第二个字节被写入时更新。
- 如果（clksb:clksa not = 0:0），寄存器在第二字节被写入后 tpm 计数器下次发生变化（预分频器计数结束）时更新。

一致性序列可通过向通道状态 / 控制寄存器（TPMxCnSC）中写入值来手动复位。

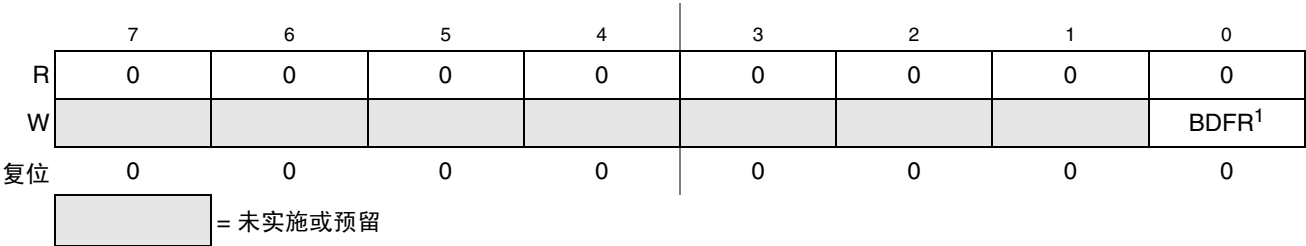
输出比较事件设置标记位（CHnF）。该位可选择生成 CPU 中断请求。

17.4.1.2 BDC 断点匹配寄存器 (BDCBKPT)

6- 位 寄存器保留 BDC 中的硬件断点的地址。BDCSCR 中的 BKPTEN 和 FTS 控制位用来使能和配置断点逻辑。专门的串行 BDC 命令 (READ_BKPT 和 WRITE_BKPT) 用来读和写 BDCBKPT 寄存器，但是用户程序不能存取它，因为它不位于 MCU 的普通存储器映射空间中。当目标 MCU 处于激活背景调试模式时，断点一般在运行用户应用程序前设置。关于建立和使用 BDC 中的硬件断点逻辑的更多信息，请参见 17.2.4，“BDC 硬件断点”。

17.4.2 系统背景调试强制复位寄存器 (SBDFR)

这个寄存器包含单个只写控制位。必须要用一个串行后台模式命令，如 WRITE_BYTE，来写 SBDFR。从用户程序写该寄存器的尝试被忽略。读总是返回 0x00。



¹ BDFR 只有通过串行后台模式调试命令才可写，不能通过用户程序来写。

图 17-6. 系统背景调试强制复位寄存器 (SBDFR)

表 17-3. 寄存器字段描述

字段	描述
0 BDFR	背景调试强制复位 — 一系列激活后台模式命令，如 WRITE_BYTE 等，允许外部调试主机强制目标系统复位。将 1 写到这个位，强制 MCU 复位。这个位 不能从用户程序写。

17.4.3 DBG 寄存器和控制位

这个调试模块包括 9 个字节的寄存器空间，用于三个 16- 位寄存器和三个 8- 位控制和状态寄存器。这些寄存器位于存储器空间的高地址空间中，这样它们可以存取正常的应用程序。普通用户应用程序几乎从不接入这些寄存器，除了使用断点逻辑的 ROM patching 机制。

17.4.3.1 调试比较器 A 高寄存器 (DBGCAH)

这个寄存器包含比较器 A 的高 8 位的比较值位。在复位时，这个寄存器被强制设置为 0x00，可以随时被读或写，除非 ARM = 1。

17.4.3.2 调试比较器 A 低寄存器 (DBGCAL)

这个寄存器包含比较器 A 的低 8 位的比较值位。在复位时，这个寄存器被强制设置为 0x00，可以随时被读或写，除非 ARM = 1。

A.10 外部振荡器 (XOSC) 特性

表 A-11. 振荡器电气规范 (温度范围 = -40 - 125 °C)

编号	C	参数	符号	最小值	典型值 ¹	最大值	单位	
16	C	振荡器晶体或共鸣器（EREFS = 1, ERCLKEN = 1						
		低量程（RANGE = 0）	f _{lo}	32	—	38.4	kHz	
		高量程（RANGE = 1）FEE 或 FBE 模式 ²	f _{hi-fll}	1	—	5	MHz	
		高量程（RANGE = 1）PEE 或 PBE 模式 ³	f _{hi-pll}	1	—	16	MHz	
		高量程（RANGE = 1, HGO = 1）BLPE 模式	f _{hi-hgo}	1	—	16	MHz	
		高量程（RANGE = 1, HGO = 0）BLPE 模式	f _{hi-lp}	1	—	8	MHz	
17	—	载荷电容器	C ₁ C ₂	参见晶体或共鸣器制造商的推荐。				
18	—	反馈电阻器						
		低量程（32 kHz to 100 kHz）	R _F	—	10	—	MΩ	
		高量程（1 MHz to 16 MHz）		—	1	—	MΩ	
19	—	串行电阻器						
		低量程，低增益（RANGE = 0, HGO = 0）	R _S	—	0	—	kΩ	
		低量程，高增益（RANGE = 0, HGO = 1）		—	100	—		
		高量程，低增益（RANGE = 1, HGO = 0）		—	0	—		
		高量程，高增益（RANGE = 1, HGO = 1）		—	0	0		
		4 MHz		—	0	10		
		1 MHz		—	0	20		
20	T	晶体启动时间 ⁴						
		低量程，低增益（RANGE = 0, HGO = 0）	t _{CSTL-LP}	—	200	—	ms	
		低量程，高增益（RANGE = 0, HGO = 1）	t _{CSTL-HGO}	—	400	—		
		高量程，低增益（RANGE = 1, HGO = 0） ⁵	t _{CSTH-LP}	—	5	—		
		高量程，高增益（RANGE = 1, HGO = 1） ⁴	t _{CSTH-HGO}	—	15	—		
21	T	方波输入时钟频率（EREFS = 0, ERCLKEN = 1）						
		FEE 或 FBE 模式 ²	f _{extal}	0.03125	—	5	MHz	
		PEE 或 PBE 模式 ³		1	—	16		
		BLPE 模式		0	—	40		

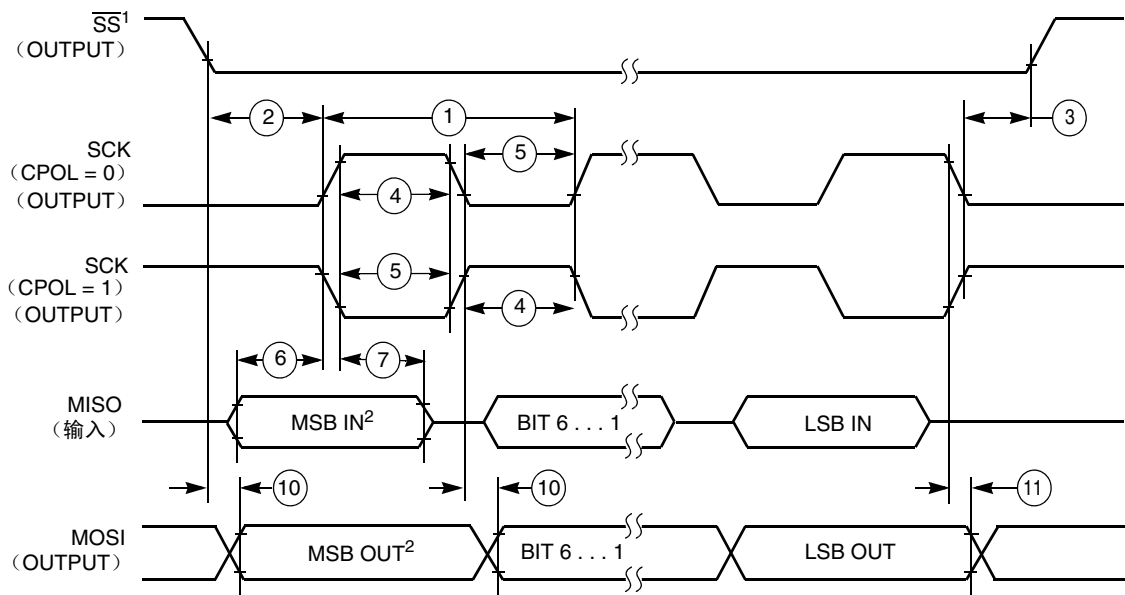
¹ 典型数据是电压为 3.0 V、温度为 25°C 时的数据或推荐值。

² 当为 FEE 或 FBE 模式配置 MCG 时, 必须能够用 RDIV 将输入时钟源分割在 31.25 kHz 至 39.0625 kHz 的范围内。

³ 当为 PEE 或 PBE 模式配置 MCG 时, 能够能够用 RDIV 将输入时钟源分割在 1 kHz 至 2 kHz 的范围内。

⁴ 该参数是描述性数据, 未在每个器件上进行测试。要达到规范, 必须遵守正确的 PC 主板布局流程。

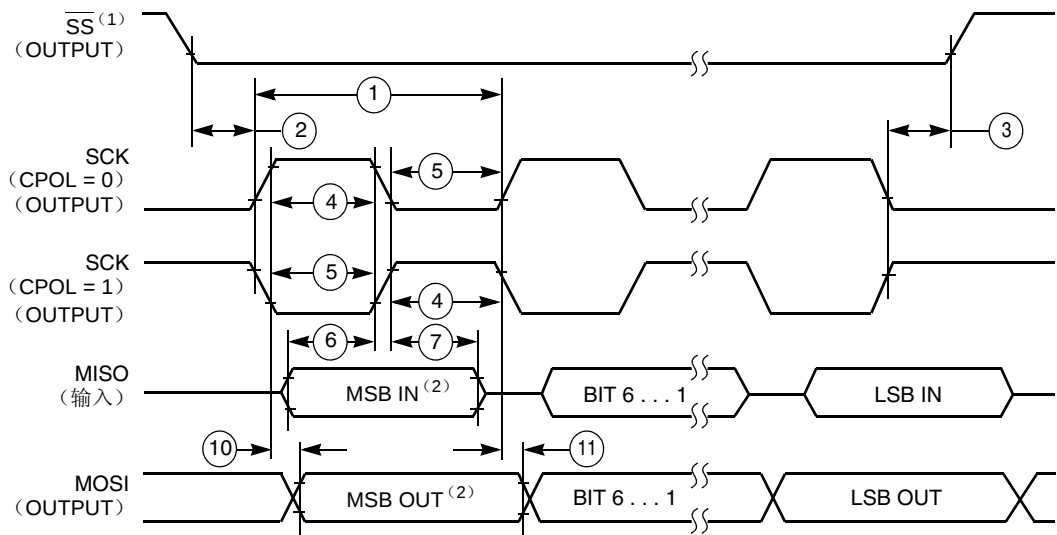
⁵ 4 MHz 晶体。



注释:

- 1. SS 输出模式 (MODFEN = 1, SSOE = 1) .
- 2. LSBF = 0。当 LSBF = 1 时, 位顺序是 LSB、位 1、...、位 6、MSB。

图 A-7. SPI 主时序 (CPHA = 0)



注释

- 1. SS 输出模式 (MODFEN = 1, SSOE = 1)
- 2. LSBF = 0。当 LSBF = 1 时, 位顺序是 LSB、位 1、...、位 6、MSB。B.

图 A-8. SPI 主时序 (CPHA = 1)