

Welcome to [E-XFL.COM](http://E-XFL.COM)

### What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

### Applications of "[Embedded - Microcontrollers](#)"

#### Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I <sup>2</sup> C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	39
Program Memory Size	32KB (32K x 8)
Program Memory Type	FLASH
EEPROM Size	1K x 8
RAM Size	2K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 16x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	48-LQFP
Supplier Device Package	48-LQFP (7x7)
Purchase URL	<a href="https://www.e-xfl.com/product-detail/nxp-semiconductors/s9s08dz32f2mlf">https://www.e-xfl.com/product-detail/nxp-semiconductors/s9s08dz32f2mlf</a>

# 第 4 章 存储器

## 4.1 MC9S08DZ60 系列产品存储器映射

MC9S08DZ60 系列产品中的片上存储器包括 RAM、EEPROM、用于非易失性数据存储的 Flash 程序存储器、I/O 和控制 / 状态寄存器。这些寄存器可分为以下 3 类：

- 直接页面寄存器 (0x0000 ~ 0x007F)
- 高端页面 (High-page) 寄存器 (0x1800 ~ 0x18FF)
- 非易失性寄存器 (0xFFB0 ~ 0xFFBF)

0x0000 DIRECT PAGE REGISTERS 0x007F 128 BYTES	0x0000 DIRECT PAGE REGISTERS 0x007F 128 BYTES	0x0000 DIRECT PAGE REGISTERS 0x007F 128 BYTES	0x0000 DIRECT PAGE REGISTERS 0x007F 128 BYTES
0x0080 RAM 4096 BYTES	0x0080 RAM 3072 BYTES	0x0080 RAM 2048 BYTES	0x0080 RAM 1024 BYTES
0x107F 0x1080 FLASH 896 BYTES	0x0C7F 0x0C80 UNIMPLEMENTED 2176 BYTES	0x087F 0x0880 UNIMPLEMENTED 3456 BYTES	0x047F 0x0480 UNIMPLEMENTED 4736 BYTES
0x13FF 0x1400 EEPROM <sup>1</sup> 2 x 1024 BYTES	0x14FF 0x1500 EEPROM <sup>1</sup> 2 x 768 BYTES	0x15FF 0x1600 EEPROM <sup>1</sup> 2 x 512 BYTES	0x16FF 0x1700 EEPROM <sup>1</sup> 2 x 256 BYTES
0x17FF 0x1800 HIGH PAGE REGISTERS 256 BYTES	0x17FF 0x1800 HIGH PAGE REGISTERS 256 BYTES	0x17FF 0x1800 HIGH PAGE REGISTERS 256 BYTES	0x17FF 0x1800 HIGH PAGE REGISTERS 256 BYTES
0x18FF 0x1900 UNIMPLEMENTED 59136 BYTES	0x18FF 0x1900 UNIMPLEMENTED 9984 BYTES	0x18FF 0x1900 UNIMPLEMENTED 25,344 BYTES	0x18FF 0x1900 UNIMPLEMENTED 42,240 BYTES
0x3FFF 0x4000 FLASH 59136 BYTES	0x3FFF 0x4000 FLASH 49152 BYTES	0x7BFF 0x7C00 FLASH 33792 BYTES	0xBDFF 0xBE00 FLASH 16896 BYTES
0xFFFF	0xFFFF	0xFFFF	0xFFFF
<b>MC9S08DZ60</b>	<b>MC9S08DZ48</b>	<b>MC9S08DZ32</b>	<b>MC9S08DZ16</b>

<sup>1</sup> EEPROM 地址范围显示总 EEPROM 的一半。详尽信息请参见 4.5.10, “EEPROM 映射”。

图 4-1. MC9S08DZ60 存储器图

表 4-3 中列出的高端页面寄存器的访问频率比其它 I/O 和控制寄存器低很多，因此存放在可直接寻址的内存空间外，从 0x1800 开始。

表 4-3. 高端页面寄存器总结（第 1 页，共 3 页）

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0x1800	SRS	POR	PIN	COP	ILOP	ILAD	LOCS	LVD	0
0x1801	SBDFR	0	0	0	0	0	0	0	BDFR
0x1802	SOPT1	COPT		STOPE	SCI2PS	IICPS	0	0	0
0x1803	SOPT2	COPCLKS	COPW	0	ADHTS	0	MCSEL		
0x1804– 0x1805	预留	—	—	—	—	—	—	—	—
0x1806	SDIDH	—	—	—	—	ID11	ID10	ID9	ID8
0x1807	SDIDL	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
0x1808	预留	—	—	—	—	—	—	—	—
0x1809	SPMSC1	LVWF	LVWACK	LVWIE	LVDRE	LVDSE	LVDE	0	BGBE
0x180A	SPMSC2	0	0	LVDV	LVWV	PPDF	PPDACK	0	PPDC
0x180B– 0x180F	预留	—	—	—	—	—	—	—	—
0x1810	DBGCAH	Bit 15	14	13	12	11	10	9	Bit 8
0x1811	DBGCAL	Bit 7	6	5	4	3	2	1	Bit 0
0x1812	DBGCBH	Bit 15	14	13	12	11	10	9	Bit 8
0x1813	DBGCBL	Bit 7	6	5	4	3	2	1	Bit 0
0x1814	DBGFH	Bit 15	14	13	12	11	10	9	Bit 8
0x1815	DBGFL	Bit 7	6	5	4	3	2	1	Bit 0
0x1816	DBGC	DBGEN	ARM	TAG	BRKEN	RWA	RWAEN	RWB	RWBEN
0x1817	DBGT	TRGSEL	BEGIN	0	0	TRG3	TRG2	TRG1	TRG0
0x1818	DBGS	AF	BF	ARMF	0	CNT3	CNT2	CNT1	CNT0
0x1819– 0x181F	预留	—	—	—	—	—	—	—	—
0x1820	FCDIV	DIVLD	PRDIV8	DIV					
0x1821	FOPT	KEYEN	FNORED	EPGMOD	0	0	0	SEC	
0x1822	预留	—	—	—	—	—	—	—	—
0x1823	FCNFG	0	EPGSEL	KEYACC	Reserved <sup>1</sup>	0	0	0	1
0x1824	FPROT	EPS			FPS				
0x1825	FSTAT	FCBEF	FCCF	FPVIOL	FACCERR	0	FBLANK	0	0
0x1826	FCMD	FCMD							
0x1827– 0x183F	预留	—	—	—	—	—	—	—	—
0x1840	PTAPE	PTAPE7	PTAPE6	PTAPE5	PTAPE4	PTAPE3	PTAPE2	PTAPE1	PTAPE0
0x1841	PTASE	PTASE7	PTASE6	PTASE5	PTASE4	PTASE3	PTASE2	PTASE1	PTASE0
0x1842	PTADS	PTADS7	PTADS6	PTADS5	PTADS4	PTADS3	PTADS2	PTADS1	PTADS0
0x1843	预留	—	—	—	—	—	—	—	—
0x1844	PTASC	0	0	0	0	PTAIF	PTAACK	PTAIE	PTAMOD

图 4-4 为接收及发送缓冲器（用于扩展的识别符映射）的结构。这些寄存器各有不同，具体取决于选择了标准映射还是扩展的映射。有关标准映射和扩展映射的更详尽信息请参见第 12 章，“飞思卡尔控制器局域网 (S08MSCANV1)”。

表 4-4. MSCAN 前台接收和发射缓冲器布局— 显示的为扩展映射

0x18A0	CANRIDR0	ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21
0x18A1	CANRIDR1	ID20	ID19	ID18	SRR <sup>(1)</sup>	IDE <sup>(1)</sup>	ID17	ID16	ID15
0x18A2	CANRIDR2	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
0x18A3	CANRIDR3	ID6	ID5	ID4	ID3	ID2	ID1	ID0	RTR <sup>2</sup>
0x18A4 – 0x18AB	CANRDSR0 – CANRDSR7	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0x18AC	CANRDLR	—	—	—	—	DLC3	DLC2	DLC1	DLC0
0x18AD	预留	—	—	—	—	—	—	—	—
0x18AE	CANRTSRH	TSR15	TSR14	TSR13	TSR12	TSR11	TSR10	TSR9	TSR8
0x18AF	CANRTSRL	TSR7	TSR6	TSR5	TSR4	TSR3	TSR2	TSR1	TSR0
0x18B0	CANTIDR0	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3
0x18B1	CANTIDR1	ID2	ID1	ID0	RTR	IDE	—	—	—
0x18B2	CANTIDR2	—	—	—	—	—	—	—	—
0x18B3	CANTIDR3	—	—	—	—	—	—	—	—
0x18B4 – 0x18BB	CANTDSR0 – CANTDSR7	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0x18BC	CANTDLR	—	—	—	—	DLC3	DLC2	DLC1	DLC0
0x18BD	CANTBPR	PRI07	PRI06	PRI05	PRI04	PRI03	PRI02	PRI01	PRI00

<sup>1</sup> SRR 和 IDE 均为 1s。

<sup>2</sup> RTR 的位置在扩展识别符映射和标准识别符映射不同。

表 4-5 的非易失性 Flash 寄存器位于 Flash 中。这些寄存器包括 8 个字节的后门密钥 NVBACKKEY。该密钥可用于访问安全的内存资源。在复位过程中，Flash 中非易失性寄存器区域的 NVPROT 和 NVOPT 内容会被转移到高端页面寄存器中相应的 FPROT 和 FOPT 工作寄存器中，以控制安全性和块保护选项。

表 4-5. 非易失性寄存器总结

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0xFFAE	预留用于存储 FTRIM	0	0	0	0	0	0	0	FTRIM
0xFFAF	预留用于存储 MCGTRM	TRIM							
0xFFB0– 0xFFB7	NVBACKKEY	8 字节对比密钥							
0xFFB8– 0xFFBC	预留	—	—	—	—	—	—	—	—
0xFFBD	NVPROT	EPS			FPS				
0xFFBE	预留	—	—	—	—	—	—	—	—
0xFFBF	NVOPT	KEYEN	FNORED	EPGMOD	0	0	0	SEC	

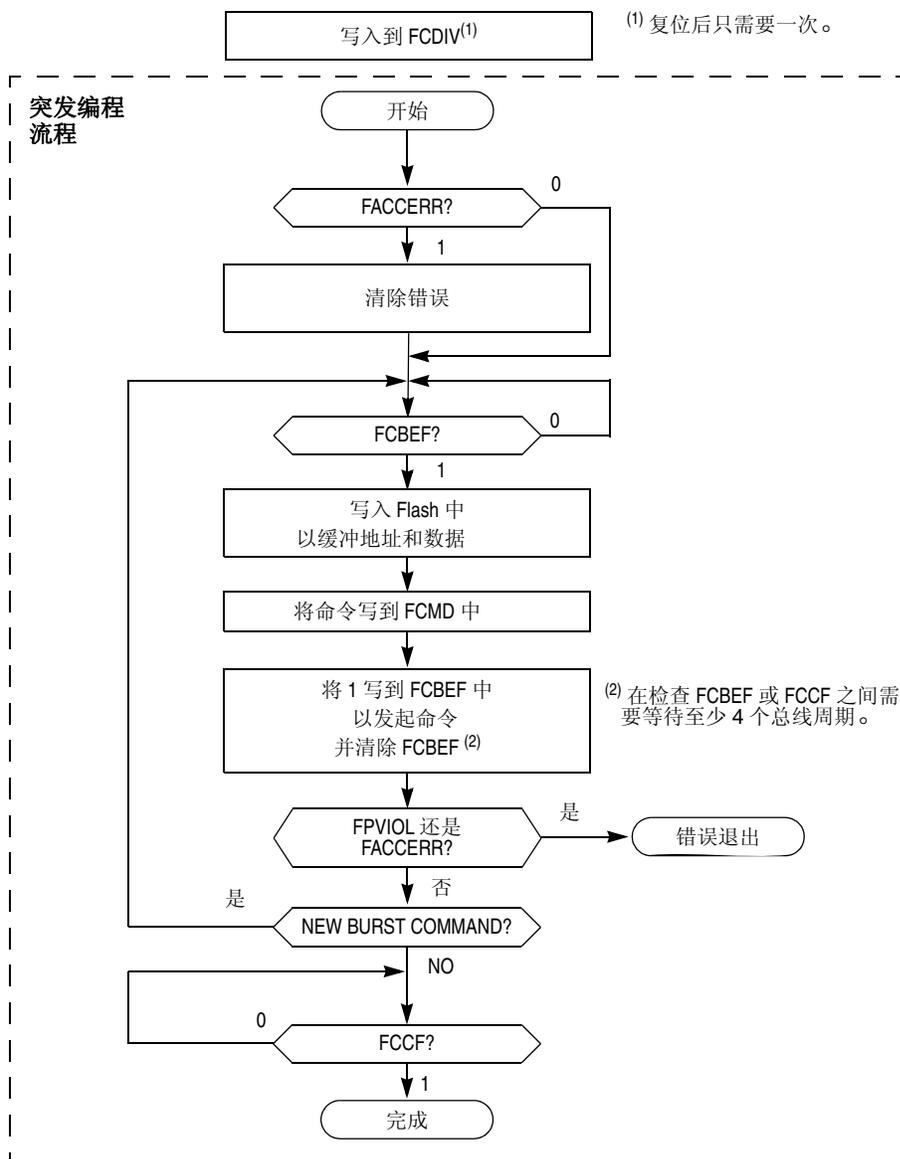


图 4-3. 突发编程流程图

### 4.5.5 分区擦除终止

分区擦除终止操作用于终止正在进行的分区擦除操作，以便使其他分区可用于读取和编程操作而不需要等待分区擦除完成。

分区擦除终止命令写入顺序如下：

1. 写入任何 Flash 或 EEPROM 地址以开始分区擦除终止命令的命令写入顺序。写入的地址和数据将被忽略。
2. 向 FCMD 寄存器中写入分区擦除终止命令 0x47。
3. 将一个 1 写入到 FCBEF 中来发起分区擦除终止命令以清除 FSTAT 寄存器中的 FCBEF 标记。

### 6.5.1.5 A 端口驱动强度选择寄存器 (PTADS)

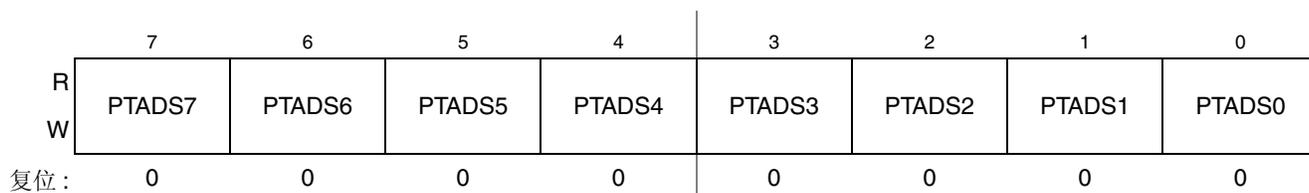


图 6-7. A 端口寄存器的驱动强度选择 (PTADS)

表 6-5. PTADS 寄存器字段描述

字段	描述
7:0 PTADS[7:0]	<b>A 端口位的输出驱动强度选择</b> — 这些控制位为相关 PTA 管脚选择低输出驱动和高输出驱动。对于配置为输入的 A 端口管脚，这些位不会产生任何影响。 0 A 端口位 - 选择的低输出驱动强度。 1 A 端口位 - 选择的高输出驱动强度。

### 6.5.1.6 A 端口中断状态和控制寄存器 (PTASC)

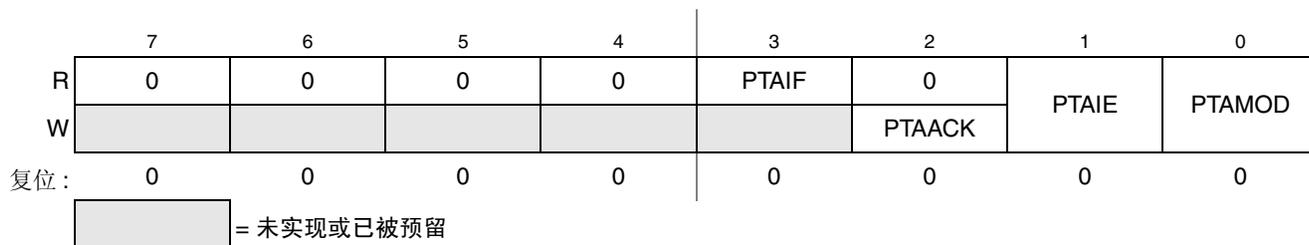


图 6-8. A 端口中断状态和控制寄存器 (PTASC)

表 6-6. PTASC 寄存器字段描述

字段	描述
3 PTAIF	<b>A 端口中断标志</b> — PTAIF 显示是否检测到 A 端口中断。写入对 PTAIF 没有任何影响。 0 未检测到 A 端口中断。 1 检测到 A 端口中断。
2 PTAACK	<b>A 端口中断确认</b> — 向 PTAACK 写入 1 是标记清除机制的一部分。PTAACK 的读数总为 0。
1 PTAIE	<b>A 端口中断使能</b> — PTAIE 决定是否请求 A 端口中断。 0 A 端口中断请求禁止。 1 A 端口中断请求使能。
0 PTAMOD	<b>A 端口检测模式</b> — PTAMOD (同 PTAES 位一起) 控制着 A 端口中断管脚的检测模式。 0 A 端口管脚只检测边沿。 1 A 端口管脚同时检测边沿和电平。

# 第 7 章

## 中央处理器 (S08CPUV3)

### 7.1 介绍

本节简要地介绍了 HCS08 系列的寄存器、寻址模式和 CPU 指令集。如需了解更多信息，请参见 HCS08 系列参考手册第 1 卷，飞思卡尔半导体文档订单号 HCS08RMV1/D。

HCS08 CPU 和 M68HC08 CPU 的源和目标代码完全兼容。在 HCS08 的 CPU 中增加了几个指令和增强型寻址模式来提高 C 编译器效率、支持取代了早期 M68HC08 微控制器 (MCU) 监控模式的新背景调试系统。

#### 7.1.1 特性

HCS08 CPU 的特性包括：

- 目标代码完全向上兼容 M68HC05 和 M68HC08 系列
- 所有寄存器和存储器都被映射到一个 64Kb 地址空间
- 16 位堆栈指针 (64Kb 地址空间内任意规模的堆栈)
- 16 位索引寄存器 (H:X)，具有强大的索引寻址模式
- 8 位累加器 (A)
- 很多指令将 X 当作备用的通用 8 位寄存器
- 7 个寻址模式：
  - Inherent — 内部寄存器里的操作数
  - Relative — 分支目的地的 8 位带符号偏移
  - Immediate — 下一个目标代码字节里的操作数
  - Direct — 0x0000 - 0x00FF 存储器的操作数
  - Extended — 64-Kb 地址空间里的操作数
  - Indexed relative to H:X — 5 个子模式，包括自动累加
  - Indexed relative to SP — 大幅提高 C 效率
- 存储器至存储器数据移动指令，具有 4 个地址模式组合
- 溢出、半进位、负数、零和进位条件代码支持在带符号、不带符号和十进制计数法 (BCD) 运算结果上的有条件转移
- 有效的位操控指令
- 快速的 8-bit by 8-bit 乘法和 16-bit by 8-bit 除法指令
- 调用低功率运行模式的 STOP 和 WAIT 指令

### 7.3.6.1 有索引、无偏移 (IX)

这个索引寻址变种将 H:X 索引寄存器对的 16 位地址作为完成指令所需的操作数地址。

### 7.3.6.2 有索引、无带后增量的偏移 (IX+)

这个索引寻址变种将 H:X 索引寄存器对的 16 位值作为完成指令所需的操作数地址。在获得操作数后，索引寄存器对然后被增加 ( $H:X = H:X + 0x0001$ )。这种寻址模式只用于 MOV 和 CBEQ 指令。

### 7.3.6.3 有索引、8 位偏移 (IX1)

这个索引寻址变种将 H:X 索引寄存器对和指令中不带符号的 8 位偏移作为完成指令所需的操作数地址。

### 7.3.6.4 有索引、带后增量的 8 位偏移 (IX1+)

这个索引寻址变种将 H:X 索引寄存器对和指令中不带符号的 8 位偏移作为完成指令所需的操作数地址。在获得操作数后，索引寄存器对然后被增加 ( $H:X = H:X + 0x0001$ )。这种寻址模式只用于 CBEQ 指令。

### 7.3.6.5 有索引、16 位偏移 (IX2)

这个索引寻址变种将 H:X 索引寄存器对和指令中的 16 位偏移作为完成指令所需的操作数地址。

### 7.3.6.6 SP 相关、8 位偏移 (SP1)

这个索引寻址变种将堆栈指针 (SP) 和指令中不带符号的 8 位偏移作为完成指令所需的操作数地址。

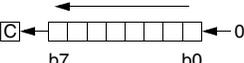
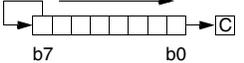
### 7.3.6.7 SP 相关、16 位偏移 (SP2)

这个索引寻址变种将堆栈指针 (SP) 和指令中的 16 位偏移作为完成指令所需的操作数地址。

## 7.5 HCS08 指令集小结

表 7-2 概括地介绍了所有可能的寻址模式中的 HCS08 指令集。表中显示了各个指令的每个寻址模式变种的操作数构造、内部总线时钟周期的执行时间和逐周期详情。

表 7-2. 指令集小结 (第 1 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V I 1 H I N Z C	
ADC #opr8i ADC opr8a ADC opr16a ADC oprx16,X ADC oprx8,X ADC ,X ADC oprx16,SP ADC oprx8,SP	进位添加 $A \leftarrow (A) + (M) + (C)$	IMM DIR EXT IX2 IX1 IX SP2 SP1	A9 ii B9 dd C9 hh ll D9 ee ff E9 ff F9 9E D9 ee ff 9E E9 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	↓ 1 1 ↓	- ↓ ↓ ↓
ADD #opr8i ADD opr8a ADD opr16a ADD oprx16,X ADD oprx8,X ADD ,X ADD oprx16,SP ADD oprx8,SP	无进位添加 $A \leftarrow (A) + (M)$	IMM DIR EXT IX2 IX1 IX SP2 SP1	AB ii BB dd CB hh ll DB ee ff EB ff FB 9E DB ee ff 9E EB ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	↓ 1 1 ↓	- ↓ ↓ ↓
AIS #opr8i	在堆栈指针上添加立即值 (带符号) $SP \leftarrow (SP) + (M)$	IMM	A7 ii	2	pp	- 1 1 -	- - - - -
AIX #opr8i	在索引寄存器 (H:X) 上添加立即值 (带符号) H:X $H:X \leftarrow (H:X) + (M)$	IMM	AF ii	2	pp	- 1 1 -	- - - - -
AND #opr8i AND opr8a AND opr16a AND oprx16,X AND oprx8,X AND ,X AND oprx16,SP AND oprx8,SP	逻辑 AND $A \leftarrow (A) \& (M)$	IMM DIR EXT IX2 IX1 IX SP2 SP1	A4 ii B4 dd C4 hh ll D4 ee ff E4 ff F4 9E D4 ee ff 9E E4 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	- ↓ ↓ ↓ -
ASL opr8a ASLA ASLX ASL oprx8,X ASL ,X ASL oprx8,SP	算术左移位 t  (同 LSL)	DIR INH INH IX1 IX SP1	38 dd 48 58 68 ff 78 9E 68 ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↓ 1 1 -	- ↓ ↓ ↓ ↓
ASR opr8a ASRA ASRX ASR oprx8,X ASR ,X ASR oprx8,SP	算术右移位 t 	DIR INH INH IX1 IX SP1	37 dd 47 57 67 ff 77 9E 67 ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↓ 1 1 -	- ↓ ↓ ↓ ↓
BCC rel	如果进位清除, 分支 (如果 C = 0)	REL	24 rr	3	ppp	- 1 1 -	- - - - -

- d) BLPE: 如果通过 BLPE 模式转换, 将 MCGC2 的 LP (位 3) 转换到 0, 切换到 PBE 模式。
  - e) PBE: 循环检测, 直到 MCGSC 中的 PLLST (位 5) 已经设置, 表明 PLLS 时钟的当前源是 PLL。
  - f) PBE: 循环检测, 直到 MCGSC 中的 LOCK (位 6) 已经设置, 表明 PLL 已经获得锁定。
3. 最后, PBE 模式转换到 PEE 模式:
- a) MCGC1 = 0x10 (%00010000)
    - MCGSC1 中的 CLKS (位 7 和 6) 设置为 %00, 以便将 PLL 输出选择为系统时钟源。
  - b) 循环检测, 直到 MCGSC 中的 CLKST (位 3 和 2) 是 %11, 表明已经选择 PLL 输出为当前时钟模式的 MCGOUT 馈电。
    - 这样, RDIV 除以 4、BDIV 除以 1、VDIV 乘以 16,  $MCGOUT = [(4 \text{ MHz} / 4) * 16] / 1 = 16 \text{ MHz}$ , 总线频率是 MCGOUT / 2 或 8 MHz

4. 最后, FBI 转换到 FBILP 模式。
  - a) MCGC2 = 0x08 (%00001000)
    - LP 中的 LP (位 3) 是 1。

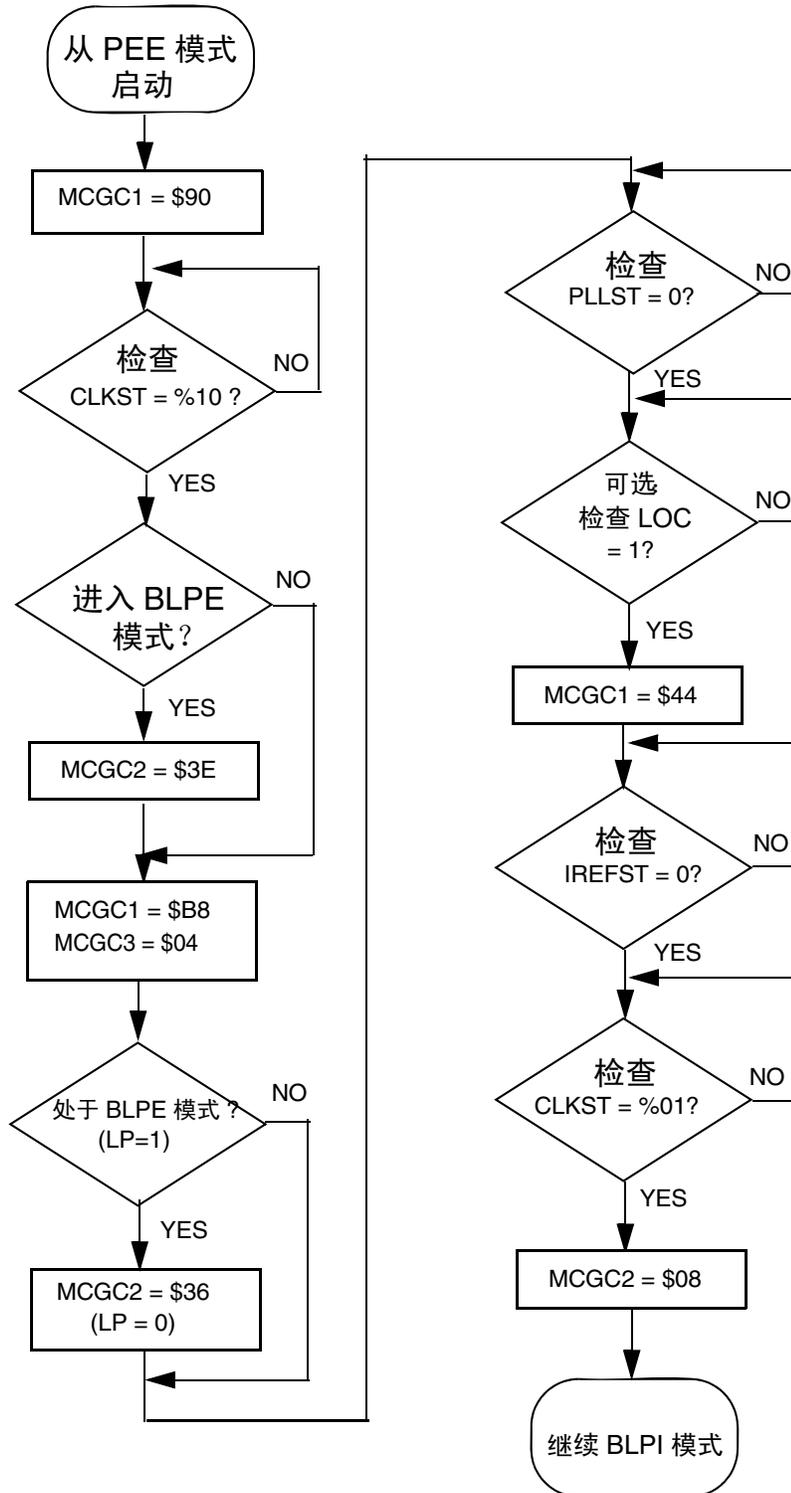


图 8-10. 使用 4 MHz 晶体从 PEE 转换到 BLPI 模式的流程图

## 10.5 功能描述

复位期间或当 ADCH 位都高时，ADC 模块禁止。当已经完成当前转换，而下一次转换还未发起时，模块进入空闲状态。空闲时，模块处于最低功耗状态。

ADC 可以对软件选择的任意通道实施模数转换。在 12 位和 10 位模式中，所选的通道电压通过逐次逼近算法被转换成 12 位数字结果。在 8 位模式中，所选的通道电压通过逐次逼近算法被转换成 9 位数字结果。

转换完成后，结果保存在数据寄存器（ADCRH 和 ADCRL）中。在 10 位模式中，结果被圆整到 10 位并保存在数据寄存器（ADCRH 和 ADCRL）中。在 8 位模式中，结果被圆整到 8 位并保存在 ADCRL 中。然后设置转换完成标记（COCO），如果已经使能了转换完成中断（AIEN = 1），则触发中断。

ADC 模块能够自动地把转换结果与比较寄存器的内容进行比较。通过设置 ACFE 位并结合任意一种转换模式和配置一起运行，就使能了比较功能。

### 10.5.1 时钟选择和分频控制

ADC 模块可选择 4 个时钟源之一，然后由可配置值进行分频，生成转换器的输入时钟（ADCK）。时钟源通过 ADICLK 位设置从以下源中选择。

- 总线时钟，等于软件运行的频率。这是复位后的默认选择。
- 总线时钟除以 2，如果总线时钟很高，允许总线时钟最大除以 16。
- ALTCLK，由此 MCU 定义（参见本章节的概述部分）。
- 异步时钟（ADACK）- 该时钟从 ADC 模块内部时钟源产生。当 MCU 处于等待或 STOP3 模式时，此时钟源仍然有效，从而实现此模式下的低噪音转换。

无论选择哪种时钟，其频率必须在 ADCK 的指定频率范围内。如果可用时钟太慢，ADC 将无法保证正常运行。如果可用时钟太快，那么时钟必须分频为适当的频率。除数由 ADIV 位指定，可以是 1、2、4 或 8。

### 10.5.2 输入选择和管脚控制

管脚控制寄存器（APCTL3，APCTL2 和 APCTL1）用来禁止对作为模拟输入的管脚的 I/O 控制功能。当置位管脚控制寄存器相应位时，对应的 MCU 管脚进入以下状态：

- 输出缓冲器进入高阻抗状态。
- 输入缓冲器禁止。对于其输入缓冲器被禁止的任何管脚，I/O 端口读数均返回 0。
- 上拉禁止。

### 10.5.3 硬件触发

ADC 模块有一个可选的异步硬件转换触发 ADHWT，当设置了 ADTRG 位时，ADHWT 使能。并不是所有 MCU 上都有这个源。如需了解该 MCU 的特定 ADHWT 源的更多报文，请参见本章概述部分。

### 12.5.3 标识符接收滤波器

MSCAN 标识符接收寄存器（参见 12.3.11，“MSCAN 标识符验收控制寄存器 (CANIDAC)”）定义标准或扩展标识符（ID[10:0] 或 ID[28:0]）的可接受模式。这些位中的任意一个都可以在 MSCAN 标识符掩码寄存器中标志为“不比较”（参见 12.3.16，“MSCAN 标识符掩码寄存器 (CANIDMR0-CANIDMR7)”）。

一次滤波器匹配可由接收缓冲器已满标志（RXF = 1）和 CANIDAC 寄存器中的 3 个位（参见 12.3.11，“MSCAN 标识符验收控制寄存器 (CANIDAC)”）。通知给应用软件。这些标识符匹配标志（IDHIT[2:0]）能够清晰识别引起接收的滤波寄存器。它们简化了应用软件处理接收器中断来源的任务。如果出现一次以上的匹配（两个或多个滤波器匹配），低地址的寄存器具有优先权。

非常灵活的可编程通用标识符接收滤波器可以有效降低 CPU 的中断负载，该滤波器在经过编程后可在四种不同模式中运行（Bosch CAN 2.0A/B 协议规范）：

- 两个标识符接收滤波器，每个将应用于：
  - 扩展标识符的全部 29 位和 CAN2.0B 帧的以下位：
    - 远程发送请求 (RTR)
    - 标识符扩展 (IDE)
    - 替代远程请求 (SRR)
  - 标准标识符的 11 位，加上 CAN 2.0A/B 报文的 RTR 和 IDE 位<sup>1</sup>。这种模式为符合 CAN 2.0B 标准的长扩展标识符提供两个滤波器。图 12-39 显示第一个 32 位滤波器页（CANIDAR0 - CANIDAR3、CANIDMR0 - CANIDMR3）如何产生滤波器 0 匹配。同样，第二个滤波器页（CANIDAR4 - CANIDAR7、CANIDMR4 - CANIDMR7）产生滤波器 1 匹配。
- 4 个标识符接收滤波器，每个应用于：
  - a) 扩展标识符的 14 个最重要位，加上 CAN 2.0B 报文的 SRR 和 IDE 位，或
  - b) 标准标识符的 11 位、CAN 2.0A/B 报文的 RTR 和 IDE 位。图 12-40 显示第一个 32 位滤波器页（CANIDAR0 - CANIDA3、CANIDMR0 - 3CANIDMR）如何产生滤波器 0 和 1 匹配。同样，第二个滤波器页（CANIDAR4 - CANIDAR7、CANIDMR4 - CANIDMR7）产生滤波器 2 和 3 匹配。
- 8 个标识符接收滤波器，每个应用于标识符的前 8 位。这种模式为符合 CAN 2.0A/B 的标准标识符或符合 CAN 2.0B 的扩展标识符的前 8 个位实施 8 个独立的滤波器。图 12-41 显示第一个 32 位滤波器页（CANIDAR0 - CANIDAR3、CANIDMR0 - CANIDMR3）如何产生滤波器 0-3 匹配。同样，第二个滤波器页（CANIDAR4 - CANIDAR7、CANIDMR4 - CANIDMR7）产生滤波器 4-7 匹配。
- 关闭滤波器。没有 CAN 报文被复制到前景缓冲器 RxFG，且从不设置 RXF 标志。

1. 尽管这种模式可以用于标准标识符，但我们还是建议为标准标识符使用 4 个或 8 个标识符接收滤波器。

### 12.5.3.2 协议违反保护

MSCAN 能够防止用户由于编程错误而意外违反 CAN 协议。保护逻辑实施以下功能：

- 接收和发送错误计数器不能写入或以别的方式操作。
- 当 MSCAN 在线时，控制 MSCAN 的配置的所有寄存器均不能被修改。MSCAN 必须处于初始化模式。CANCTL0/CANCTL1 寄存器中的相应 INITRQ/INITAK 握手位（参见 12.3.1，“MSCAN 控制寄存器 0 (CANCTL0)”）作为一个锁来保护以下寄存器：
  - MSCAN 控制 1 寄存器 (CANCTL1)
  - MSCAN 总线定时寄存器 0 和 1 (CANBTR0, CANBTR1)
  - MSCAN 标识符接收控制寄存器 (CANIDAC)
  - MSCAN 标识符接收寄存器 (CANIDAR0 - CANIDAR7)
  - MSCAN 标识符掩码寄存器 (CANIDMR0 - CANIDMR7)
- 当 MSCAN 进入节电模式或初始化模式时，TXCAN 管脚立即被强制进入隐性状态（参见 12.5.5.6，“MSCAN 断电模式”和 12.5.5.5，“MSCAN I 初始化模式”）。
- MSCAN 使能位 (CANE) 在正常系统操作模式下只能写入一次，从而为意外禁止 MSCAN 提供了进一步保护。

### 12.5.3.3 时钟系统

图 12-42 显示 MSCAN 时钟发生电路的结构。

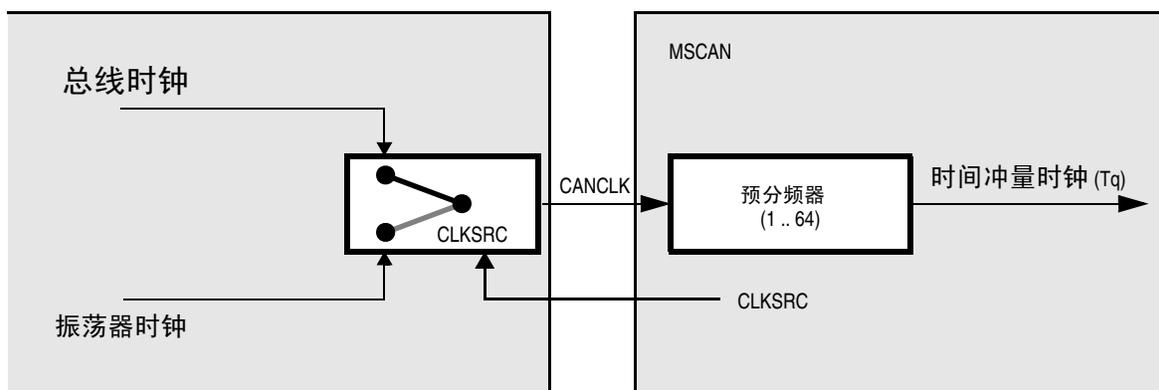


图 12-42. MSCAN 时钟机制

CANCTL1 寄存器 (12.3.2/-214) 中的时钟源位 (CLKSRC) 决定内部 CANCLK 是连接到晶体振荡器（振荡器时钟）输出还是连接到总线时钟。

必须选择能满足 CAN 协议的振荡器精度要求（高达 0.4%）的时钟源。此外，对于高 CAN 总线速率（1 Mbps）来说，要求 45%-55% 的时钟占空比。

如果总线时钟从 PLL 中生成，由于抖动，建议选择振荡器时钟而不是总线时钟，特别是以较快的 CAN 总线速率时。PLL 锁可能太宽，不能确保所需的时钟精度。

对于那些没有时钟和复位发生器 (CRG) 的微控制器，CANCLK 的驱动则来自晶体振荡器（振荡时钟）。

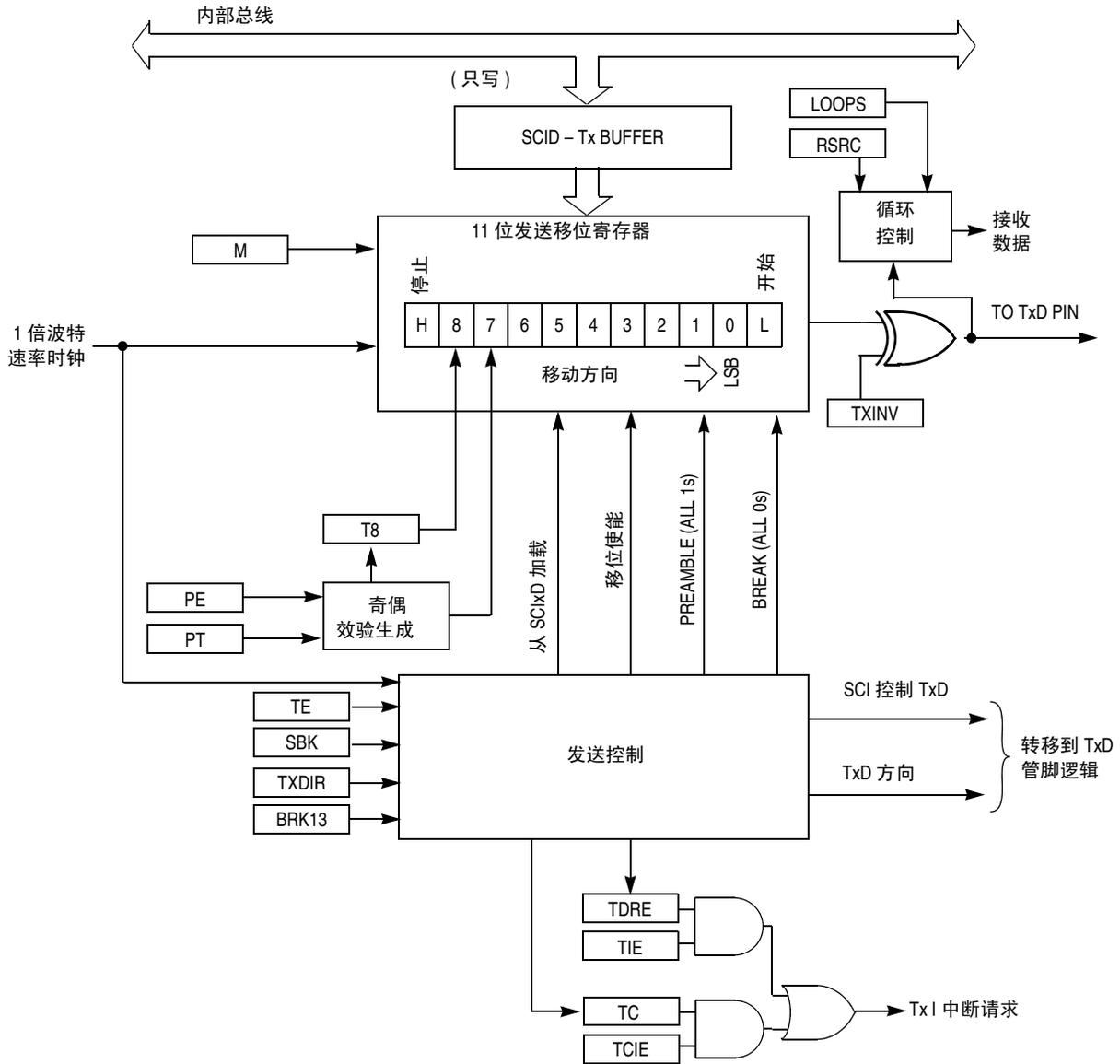


图 14-2. SCI 发射器结构图

## 14.2.7 SCI 数据寄存器 (SCIxD)

该寄存器实际上是两个独立寄存器。读返回只读接收数据缓冲器的内容，写进入只写发送数据缓冲器。该寄存器的读写还涉及 SCI 状态标记的自动标记清除机制。

	7	6	5	4	3	2	1	0
R	R7	R6	R5	R4	R3	R2	R1	R0
W	T7	T6	T5	T4	T3	T2	T1	T0
复位	0	0	0	0	0	0	0	0

图 14-11. SCI 数据寄存器 (SCIxD)

## 14.3 功能描述

SCI 允许在 MCU 和远程器件（包括其他 MCU）间进行全双工、异步、NRZ 串行通信。SCI 由波特率发生器、发射器和接收时钟组成。发射器和接收器独立运行，尽管它们使用同一波特率发生器。在正常运行期间，MCU 监控 SCI 的状态，写将要发送的数据，处理已接收的数据。下面就简要地介绍一下 SCI 的每个块。

### 14.3.1 波特率生成

如图 14-12 所示，SCI 波特率发生器的时钟源是总线速率时钟。

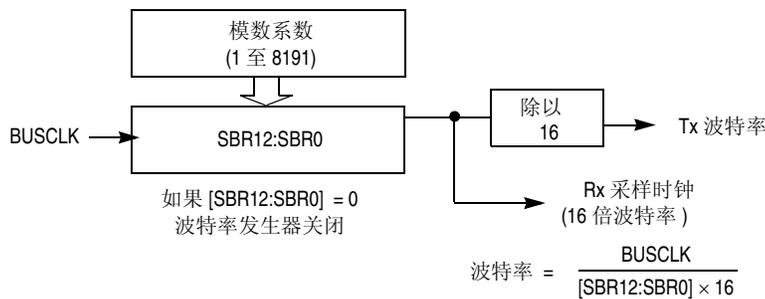


图 14-12. SCI 波特率生成

SCI 通信要求发射器和接收器（一般情况下从独立时钟源中获取波特率）使用相同的波特率。该波特频率的允许容限取决于接收器与起始位的前沿以及位采样执行的具体情况。

每次从高态转换到低态时，MCU 都重新同步位边界，但在最坏的情况下，整个 10 或 11 位时间字符帧中没有这种转换，所以波特率中的任何不匹配都累积到整个字符时间。对于总线频率由晶振驱动的飞思卡尔半导体 SCI 系统，允许的波特率不匹配对 8 位数据格式来说大约为 4.5%、对 9 位数据格式来说大约 4%。尽管波特率模数除数设置不会永远生成与标准速率严格匹配的波特率，但一般情况下都在一个很小的百分比内，是可靠通信可以接受的。

## 第 15 章

# 实时计数器 (S08RTCV1)

### 15.1 简介

RTC 模块包括一个 8 位计数器、一个 8 位比较器、几个二进制和十进制预分频器、三个时钟源和一个可编程定期中断。该模块可用于时刻、日历或任何任务调度功能。此外，它可以从低功率模式中提供周期性唤醒服务而不需要外部组件。

MC9S08DZ60 系列的所有器件都带有 RTC。

#### 15.1.1 RTC 时钟信号名称

本章中提及的 ERCLK 和 IRCLK 分别对应信号 MCGERCLK 和 MCGIRCLK。

## 15.1.2 功能

RTC 模块的功能包括：

- 8 位向上计数器
  - 8 位模数匹配限制
  - 匹配时软件可控制的定期中断
- 三个软件可选时钟源，向预分频器输入可选的二进制和十进制分频器值
  - 1-kHz 的内部低功率振荡器（LPO）
  - 外部时钟
  - 32-kHz 内部时钟

## 15.1.3 运行模式

本小节定义停止、等待和后台调试模式的操作。

### 等待模式

如果在执行等待（WAIT）指令前被启动，RTC 继续以等待模式运行。因此，如果启动了实时中断，RTC 可用于使 MCU 脱离等待模式。为了最大限度地降低耗电，如果在等待模式下不需要作为中断源，RTC 应通过软件关闭。

### 停止模式

如果在执行停止指令前 RTC 被启动，它会继续以停止 2 或停止 3 模式运行。因此，如果启动了实时中断，RTC 可用于使 MCU 脱离停止模式而无需外部组件。

LPO 时钟可用于停止 2 和停止 3 模式。

所有时钟源被关闭时，功耗较低；但在这种情况下，实时中断不能从停止模式中唤醒 MCU。

### 激活后台模式

RTC 会在激活后台模式期间暂停所有计数，直到微控制器返回到正常的用户运行模式。只要 RTCMOD 寄存器没有写入，并且 RTCPS 和 RTCLKS 位没有改变，计数就会从暂停值恢复。

```
/******  
Function Name : RTC_ISR  
Notes : Interrupt service routine for RTC module.  
*****/  
#pragma TRAP_PROC  
void RTC_ISR(void)  
{  
    /* Clear the interrupt flag */  
    RTCSC.byte = RTCSC.byte | 0x80;  
    /* RTC interrupts every 1 Second */  
    Seconds++;  
    /* 60 seconds in a minute */  
    if (Seconds > 59){  
        Minutes++;  
        Seconds = 0;  
    }  
    /* 60 minutes in an hour */  
    if (Minutes > 59){  
        Hours++;  
        Minutes = 0;  
    }  
    /* 24 hours in a day */  
    if (Hours > 23){  
        Days ++;  
        Hours = 0;  
    }  
}
```

## 16.1.1 功能

TPM 包括以下独特功能:

- 1 至 8 个通道:
  - 每个通道可以是输入捕捉、输出比较或边缘对齐 PWM 模式
  - 上升边、下降边或任何边输入捕捉触发
  - 设置、清除、切换输出比较操作
  - PWM 输出上的可选极性
- 在所有通道上, 模块可配置为缓冲、中央对齐脉冲宽度调制 (cpwm)
- 定时器时钟源, 可选为预分频的总线时钟、固定系统时钟或外部时钟管脚
  - 除以 1, 2, 4, 8, 16, 32, 64, 或 128 的预分频器值相位
  - 固定系统时钟源通过片上同步电路与总线时钟保持同步
  - 外部时钟管脚可与任何定时器通道管脚或独立的输入管脚共享。
- 16 位自由运行或模数向上 / 向下计数操作
- 定时器系统启动
- 每个通道一个中断以及终端计数中断

## 16.1.2 运行模式

一般来说, TPM 通道可以独立配置, 以便以输入捕捉、输出比较或边缘对齐的 PWM 模式运行。控制位使整个 TPM (所有通道) 可以切换为中央对齐的 PWM 模式。选择中央对齐 PWM 模式后, 输入捕捉、输出比较和边缘对齐 PWM 功能不能在本 TPM 模式的任何通道上使用。

当微控制器处于激活的 BDM 后台模式或 BDM 前台模式时, TPM 会临时暂停所有计数操作, 直到微控制器返回到正常用户运行模式。在停止模式下, 包括主振荡器的所有系统时钟都会停止; 因此在时钟恢复前, TPM 被有效关闭。在等待模式下, TPM 继续正常运行。如果 TPM 不需要产生实时参考或提供从等待模式中唤醒 MCU 的中断源, 那么用户在进入等待模式前可以通过关闭 TPM 功能来节约电源。

- 输入捕捉模式
 

关联 MCU 管脚上发生所选边沿事件时, 16 位定时器计数器当前值被捕捉到通道值寄存器中, 同时会设置一个中断标志位。上升边沿、下降边沿、任何边沿或无边沿 (关闭通道) 可选择作为触发输入捕捉的活动边沿。
- 输出比较模式
 

定时计数器寄存器中的值与通道值寄存器相匹配时, 会设置一个中断标志位, 并且会在管理管脚上强制执行所选的输出操作。输出比较操作可选择用于强制将管脚设置为零或 1、反转管脚电平或忽略管脚 (用于软件定时功能)。
- 边缘对齐 pwm 模式
 

16 位模数寄存器值加 1 设置 PWM 输出信号的周期。通道值寄存器设置 PWM 输出信号的占空比。此外, 用户还可选择 PWM 输出信号的极性。中断可在周期结束和占空比过渡点上提供。这类 PWM 信号被称为边缘对齐, 因为所有 PWM 信号的前沿是在周期开始时对齐的, 该周期对 TPM 内的所有通道是相同的。

## 联系我们：

主页：  
[www.freescale.com](http://www.freescale.com)

电子邮件：  
[support@freescale.com](mailto:support@freescale.com)

### 美国 / 欧洲或未列出的地点：

飞思卡尔半导体  
技术信息中心，CH370  
1300 N. Alma School Road  
Chandler, Arizona 85224  
+1-800-521-6274 or +1-480-768-2130  
[support@freescale.com](mailto:support@freescale.com)

### 欧洲、中东和非洲：

Freescale Halbleiter Deutschland GmbH  
技术信息中心  
Schatzbogen 7  
81829 Muenchen, Germany  
+44 1296 380 456 (English)  
+46 8 52200080 (English)  
+49 89 92103 559 (German)  
+33 1 69 35 48 48 (French)  
[support@freescale.com](mailto:support@freescale.com)

### 日本：

飞思卡尔半导体日本公司。  
总部  
ARCO Tower 15F  
1-8-1, Shimo-Meguro, Meguro-ku,  
Tokyo 153-0064  
Japan  
0120 191014 or +81 3 5437 9125  
[support.japan@freescale.com](mailto:support.japan@freescale.com)

### 亚太地区：

飞思卡尔半导体香港公司  
技术信息中心  
2 Dai King Street  
Tai Po Industrial Estate  
Tai Po, N.T., Hong Kong  
+800 2666 8080  
[support.asia@freescale.com](mailto:support.asia@freescale.com)

### 索取技术材料：

飞思卡尔半导体手册发布中心  
P.O. Box 5405  
Denver, Colorado 80217  
1-800-441-2447 or 303-675-2140  
Fax: 303-675-2150  
[LDCForFreescaleSemiconductor@hibbertgroup.com](mailto:LDCForFreescaleSemiconductor@hibbertgroup.com)

Information in this document is provided solely to enable system and software implementers to use Freescale Semiconductor products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits or integrated circuits based on the information in this document.

Freescale Semiconductor reserves the right to make changes without further notice to any products herein. Freescale Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Freescale Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters that may be provided in Freescale Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals", must be validated for each customer application by customer's technical experts. Freescale Semiconductor does not convey any license under its patent rights nor the rights of others. Freescale Semiconductor products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Freescale Semiconductor product could create a situation where personal injury or death may occur. Should Buyer purchase or use Freescale Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold Freescale Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Freescale Semiconductor was negligent regarding the design or manufacture of the part.

RoHS-compliant and/or Pb-free versions of Freescale products have the functionality and electrical characteristics as their non-RoHS-compliant and/or non-Pb-free counterparts. For further information, see <http://www.freescale.com> or contact your Freescale sales representative.

For information on Freescale's Environmental Products program, go to <http://www.freescale.com/epp>.

Freescale™ and the Freescale logo are trademarks of Freescale Semiconductor, Inc. All other product or service names are the property of their respective owners.

© Freescale Semiconductor, Inc. 2007. All rights reserved.