



Welcome to [E-XFL.COM](http://E-XFL.COM)

### What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

### Applications of "[Embedded - Microcontrollers](#)"

Details	
Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I <sup>2</sup> C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	53
Program Memory Size	32KB (32K x 8)
Program Memory Type	FLASH
EEPROM Size	1K x 8
RAM Size	2K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 24x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	64-LQFP
Supplier Device Package	64-LQFP (10x10)
Purchase URL	<a href="https://www.e-xfl.com/product-detail/nxp-semiconductors/s9s08dz32f2mlh">https://www.e-xfl.com/product-detail/nxp-semiconductors/s9s08dz32f2mlh</a>

表 4-2. 直接页面寄存器总结 (第 1 页, 共 3 页)

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0x0029	TPM1C1VH	Bit 15	14	13	12	11	10	9	Bit 8
0x002A	TPM1C1VL	Bit 7	6	5	4	3	2	1	Bit 0
0x002B	TPM1C2SC	CH2F	CH2IE	MS2B	MS2A	ELS2B	ELS2A	0	0
0x002C	TPM1C2VH	Bit 15	14	13	12	11	10	9	Bit 8
0x002D	TPM1C2VL	Bit 7	6	5	4	3	2	1	Bit 0
0x002E	TPM1C3SC	CH3F	CH3IE	MS3B	MS3A	ELS3B	ELS3A	0	0
0x002F	TPM1C3VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0030	TPM1C3VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0031	TPM1C4SC	CH4F	CH4IE	MS4B	MS4A	ELS4B	ELS4A	0	0
0x0032	TPM1C4VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0033	TPM1C4VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0034	TPM1C5SC	CH5F	CH5IE	MS5B	MS5A	ELS5B	ELS5A	0	0
0x0035	TPM1C5VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0036	TPM1C5VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0037	预留	—	—	—	—	—	—	—	—
0x0038	SCI1BDH	LBKDIE	RXEDGIE	0	SBR12	SBR11	SBR10	SBR9	SBR8
0x0039	SCI1BDL	SBR7	SBR6	SBR5	SBR4	SBR3	SBR2	SBR1	SBR0
0x003A	SCI1C1	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT
0x003B	SCI1C2	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK
0x003C	SCI1S1	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF
0x003D	SCI1S2	LBKDIF	RXEDGIF	0	RXINV	RWUID	BRK13	LBKDE	RAF
0x003E	SCI1C3	R8	T8	TXDIR	TXINV	ORIE	NEIE	FEIE	PEIE
0x003F	SCI1D	Bit 7	6	5	4	3	2	1	Bit 0
0x0040	SCI2BDH	LBKDIE	RXEDGIE	0	SBR12	SBR11	SBR10	SBR9	SBR8
0x0041	SCI2BDL	SBR7	SBR6	SBR5	SBR4	SBR3	SBR2	SBR1	SBR0
0x0042	SCI2C1	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT
0x0043	SCI2C2	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK
0x0044	SCI2S1	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF
0x0045	SCI2S2	LBKDIF	RXEDGIF	0	RXINV	RWUID	BRK13	LBKDE	RAF
0x0046	SCI2C3	R8	T8	TXDIR	TXINV	ORIE	NEIE	FEIE	PEIE
0x0047	SCI2D	Bit 7	6	5	4	3	2	1	Bit 0
0x0048	MCGC1	CLKS		RDIV			IREFS	IRCLKEN	IREFSTEN
0x0049	MCGC2	BDIV		RANGE	HGO	LP	EREFS	ERCLKEN	EREFSTEN
0x004A	MCGTRM	TRIM							
0x004B	MCGSC	LOLS	LOCK	PLLST	IREFST	CLKST		OSCINIT	FTRIM
0x004C	MCGC3	LOLIE	PLLS	CME	0	VDIV			
0x004D– 0x004F	预留	—	—	—	—	—	—	—	—
0x0050	SPIC1	SPIE	SPE	SPTIE	MSTR	CPOL	CPHA	SSOE	LSBFE
0x0051	SPIC2	0	0	0	MODFEN	BIDIROE	0	SPISWAI	SPC0

## 5.4 计算机正常操作 (COP) 看门狗

当系统软件不能正常执行时，COP 看门狗将强制进行系统复位。为了防止从 COP 定时器（当 COP 定时器被使能时）发起系统复位，应用软件必须定期复位 COP 计数器。如果应用程序在超时前未能复位 COP 计数器，这时会生成一个系统复位，强迫系统回到已知起点。

每次复位后，COP 看门狗都会被激活（更多信息请参见 5.8.4，“系统选项寄存器 1 (SOPT1)”）。如果应用中没有使用 COP 看门狗，可以通过清除 SOPT1 的 COPT 位进行禁止。

COP 在设定的超时周期内，通过把 0x55 和 0xAA（按此顺序）写入 SRS 地址来复位 COP 计数器。写入不会对只读 SRS 中的数据造成影响。一旦写入顺序确定，COP 超时周期就会重新开始计算。如果程序在超时周期内未能完成该操作，MCU 将复位。此外，如果向 SRS 写入了非 0x55 或 0xAA 外的其他值，MCU 会被立即复位。

SOPT2 中的 COPCLKS 位（更多信息请参见 5.8.5，“系统选项寄存器 2 (SOPT2)”），设置供 COP 定时器使用的时钟源。时钟源可以是总线时钟或 1 kHz 内部时钟源。对任意一个时钟源来说，都有 3 个由 SOPT1 中的 COPT 控制的相关超时计数器。表 5-6 概括地介绍了 COPCLKS 和 COPT 位的控制功能。COP 看门狗默认设置为 1 kHz 时钟源的最长超时（ $2^{10}$  周期）。

当选定了总线时钟源后，设置 SOPT2 寄存器中的 COPW 可以实现窗口化 COP。在该模式中，写入 SRS 寄存器来清除 COP 定时器必须发生在所选超时时段的后 25% 的时间内。提前写入会立即复位 MCU。当选择 1 kHz 时钟源时，窗口化 COP 操作不可用。

首次写入 SOPT1 和 SOPT2 寄存器后的任意一种系统复位后，COP 计数器被初始化。SOPT1 和 SOPT2 的后续写入不会对 COP 操作产生影响。即使应用程序使用 COPT、COPCLKS 和 COPW 位的默认复位设置，用户也必须在复位初始化过程中写入 write-once（一次写入）SOPT1 和 SOPT2 寄存器上，以便在该设置中锁定。如果应用程序丢失，使用这种方式可以防止意外修改。

用于服务（清除）COP 计数器的 SRS 写入操作不能放在中断服务程序（ISR）中，因为即使是在主应用程序不能正常执行时，仍然可以定期执行 ISR。

如果选择了总线时钟源，当 MCU 处于后台调试模式或者系统处于停止模式时，COP 计数器不会计数。当 MCU 退出后台调试模式或停止模式时，COP 计数器会重新开始计数。

如果选择 1 kHz 时钟源，那么一旦进入后台调试模式或停止模式时，COP 计数器就会被重新初始化为 0，并在退出后台调试模式或停止模式时会从 0 开始计数。

## 5.6 低电压检测 (LVD) 系统

MC9S08DZ60 系列包括一个防止低电压的系统，以便在电源电压不稳时保护存储器内容、控制 MCU 系统状态。该系统由加电复位 (POR) 电路和 LVD 电路组成，其中 LVD 电路带脱扣电压用于警告和检测。当 SPMSC1 中的 LVDE 设置为 1 时，LVD 电路使能。当进入停止模式时，LVD 禁止，除非 SPMSC1 中设置了 LVDSE。如果同时设置了 LVDSE 和 LVDE，那么 MCU 不能进入 stop2（进入 stop3），LVD 激活的 stop3 模式更耗电。

### 5.6.1 加电复位操作

当首次接通 MCU 的电源时，或当电源电压低于加电复位准备电压  $V_{POR}$  时，POR 电路会发起复位。随着电源电压升高，LVD 电路让 MCU 保持复位状态，直到电源高于低压检测低阈值  $V_{LVDL}$ 。POR 后，SRS 中 POR 位和 LVD 位同时被设置。

### 5.6.2 低压检测 (LVD) 复位操作

通过把 LVDRE 设置为 1，可以在检测到低压情况时配置 LVD 以发起复位。低压检测阈值由 LVDV 位决定。在 LVD 复位后，LVD 系统会让 MCU 保持复位状态，直到电源电压高于低压检测阈值。LVD 复位或 POR 后都会在 SRS 寄存器中设置 LVD 位。

### 5.6.3 低压警告 (LVW) 中断操作

LVD 系统有一个低压警告标记，告知用户电源电压正接近低压条件。当检测到低压警告并配置了中断操作 (LVWIE 设置为 1) 时，SPMSC1 中的 LVWF 会被设置，而且会出现 LVW 中断请求。

## 5.7 MCLK 输出

PTA0 管脚共用于 MCLK 时钟输出。如果 MCSEL 位都是 0，MCLK 时钟禁止。若 MCSEL 的任意一个位被设置，无论该管脚的端口数据方向控制位的状态如何，都会导致 PTA0 管脚输出内部 MCU 总线时钟分频后时钟。分频比率由 MCSEL 位决定。管脚的斜率和驱动强度分别由 PTASE0 和 PTADS0 控制。如果斜率控制功能被打开，最大时钟输出频率将会受到限制。如需了解不同情况下的最大频率，请参见电气技术规范。

## 5.8 复位、中断及系统控制寄存器和控制位

直接页面寄存器空间里的一个 8 位寄存器和高页寄存器空间的八个 8 位寄存器都与复位和中断系统有关。

如需了解各寄存器的绝对地址分配，请参见本产品说明第 4 章，“存储器”的表 4-2 和表 4-3。本节只根据它们的名称提及寄存器和控制位。飞思卡尔提供的等式或头文件用来把这些名称转换为相应的绝对地址。

SOPT1 和 SPMSC2 寄存器中的有些控制位与运行模式有关。此处对这些位进行简要描述，更详细的描述参见第 3 章，“操作模式”。

### 6.5.5.4 E 端口斜率使能寄存器 (PTESE)

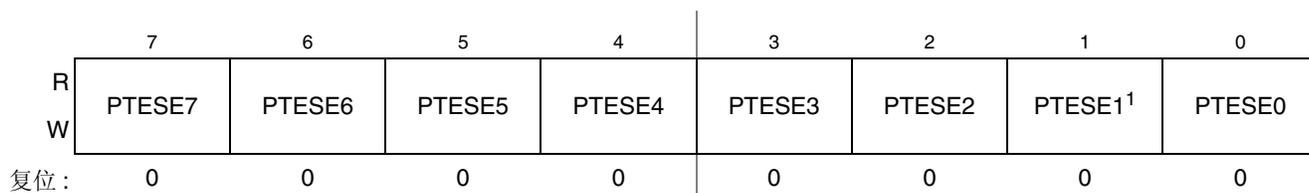


图 6-35. E 端口寄存器斜率使能 (PTESE)

<sup>1</sup> PTESE1 对输入 PTE1 管脚没有影响。

表 6-33. PTESE 寄存器字段描述

字段	描述
7:0 PTESE[7:0]	<b>E 端口位输出斜率使能</b> — 这些控制位决定是否相关的 PTE 管脚使能输出斜率控制。对于配置为输入的 E 端口管脚，这些位不会产生任何影响。 0 E 端口位 - 输出斜率控制禁止。 1 E 端口位 - 输出斜率控制使能。

**注意:** 工程样品设计采样和最终成品的斜率复位默认值可能不同。一定要将斜率控制初始化为规定的值，确保正确的操作。

### 6.5.5.5 E 端口驱动强度选择寄存器 (PTEDS)

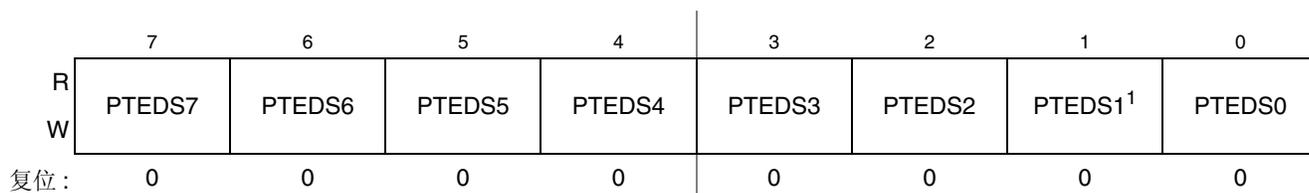


图 6-36. E 端口寄存器驱动强度选择 (PTEDS)

<sup>1</sup> PTEDS1 对输入 PTE1 管脚没有影响。

表 6-34. PTEDS 寄存器字段描述

字段	描述
7:0 PTEDS[7:0]	<b>E 端口位的输出驱动强度选择</b> — 这些控制位为相关 PTE 管脚选择低输出驱动和高输出驱动。对于配置为输入的 E 端口管脚，这些位不会产生任何影响。 0 E 端口位 - 选择的低输出驱动强度。 1 E 端口位 - 选择的高输出驱动强度。

## 6.5.6 F 端口寄存器

F 端口由下列寄存器控制。

### 6.5.7.2 G 端口数据方向寄存器 (PTGDD)

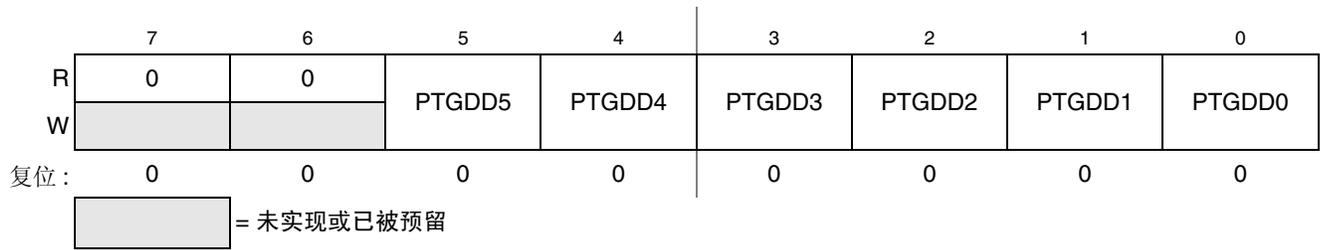


图 6-43. G 端口数据方向寄存器 (PTGDD)

表 6-41. PTGDD 寄存器字段描述

字段	描述
5:0 PTGDD[5:0]	<b>G 端口位的数据方向</b> — 这些读 / 写位控制着 G 端口管脚的方向以及为 PTGD 读数读取的内容。 0 输入 (输出驱动被禁止), 读数返回管脚值。 1 G 端口位 - 输出驱动使能, PTGD 读数返回 PTGDn 内容。

### 6.5.7.3 G 端口上拉使能寄存器 (PTGPE)

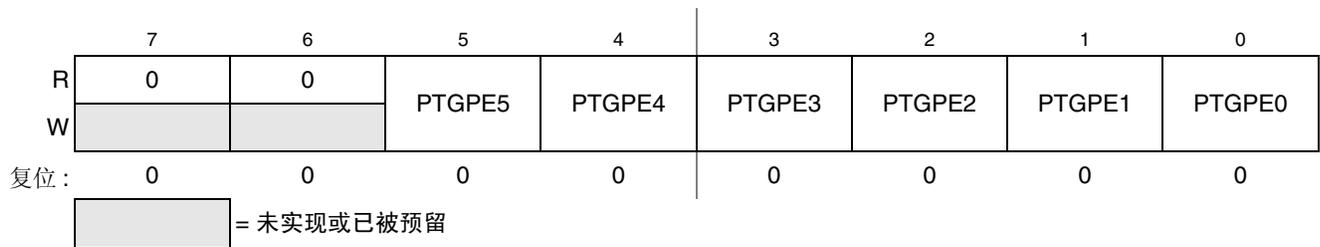


图 6-44. G 端口寄存器内部上拉使能 (PTGPE)

表 6-42. PTGPE 寄存器字段描述

字段	描述
5:0 PTGPE[5:0]	<b>G 端口的内部上拉使能位</b> — 这些控制位决定着是否为相关的 PTG 管脚使能内部上拉器件。对于配置为输出的 G 端口管脚, 这些位不会产生影响, 同时内部拉器件被禁止。 0 G 端口位 - 内部上拉器件被禁止。 1 G 端口位 - 内部上拉器件使能。

#### 注意

只有当使用管脚中断功能且配置了相应的边沿选择和管脚选择功能时, 才能使用下拉器件。

表 7-2. 指令集小结 (第 3 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR							
						V	I	H	Z	C			
BRA <i>rel</i>	总是分支 (如果 I = 1)	REL	20 rr	3	ppp	-	1	1	-	-	-	-	-
BRCLR <i>n,opr8a,rel</i>	如果存储器的位 <i>n</i> 清除, 分支 (如果 (Mn) = 0)	DIR (b0)	01 dd rr	5	rpppp	-	1	1	-	-	-	-	↓
		DIR (b1)	03 dd rr	5	rpppp								
		DIR (b2)	05 dd rr	5	rpppp								
		DIR (b3)	07 dd rr	5	rpppp								
		DIR (b4)	09 dd rr	5	rpppp								
		DIR (b5)	0B dd rr	5	rpppp								
		DIR (b6)	0D dd rr	5	rpppp								
		DIR (b7)	0F dd rr	5	rpppp								
BRN <i>rel</i>	从不分支 (如果 I = 0)	REL	21 rr	3	ppp	-	1	1	-	-	-	-	-
BRSET <i>n,opr8a,rel</i>	如果存储器的位 <i>n</i> 设置, 分支 (如果 (Mn) = 1)	DIR (b0)	00 dd rr	5	rpppp	-	1	1	-	-	-	-	↓
		DIR (b1)	02 dd rr	5	rpppp								
		DIR (b2)	04 dd rr	5	rpppp								
		DIR (b3)	06 dd rr	5	rpppp								
		DIR (b4)	08 dd rr	5	rpppp								
		DIR (b5)	0A dd rr	5	rpppp								
		DIR (b6)	0C dd rr	5	rpppp								
		DIR (b7)	0E dd rr	5	rpppp								
BSET <i>n,opr8a</i>	在存储器里设置位 <i>n</i> (Mn - 1)	DIR (b0)	10 dd	5	rfwpp	-	1	1	-	-	-	-	-
		DIR (b1)	12 dd	5	rfwpp								
		DIR (b2)	14 dd	5	rfwpp								
		DIR (b3)	16 dd	5	rfwpp								
		DIR (b4)	18 dd	5	rfwpp								
		DIR (b5)	1A dd	5	rfwpp								
		DIR (b6)	1C dd	5	rfwpp								
		DIR (b7)	1E dd	5	rfwpp								
BSR <i>rel</i>	分支到子程序 PC = (PC) + \$0002 推 (PCL); SP = (SP) - \$0001 推 (PCH); SP = (SP) - \$0001 PC = (PC) + <i>rel</i>	REL	AD rr	5	ssppp	-	1	1	-	-	-	-	-
		DIR	31 dd rr	5	rpppp	-	1	1	-	-	-	-	-
		DIR	41 ii rr	4	pppp								
		IMM	51 ii rr	4	pppp								
IX1+	61 ff rr	5	rpppp										
CBEQ <i>opr8a,rel</i>	比较 ...	DIR	31 dd rr	5	rpppp	-	1	1	-	-	-	-	
CBEQA # <i>opr8i,rel</i>	分支, 如果 (A) = (M)	IMM	41 ii rr	4	pppp								
CBEQX # <i>opr8i,rel</i>	分支, 如果 (A) = (M)	IMM	51 ii rr	4	pppp								
CBEQ <i>opr8,X+,rel</i>	分支, 如果 (X) = (M)	IX1+	61 ff rr	5	rpppp								
CBEQ <i>,X+,rel</i>	分支, 如果 (A) = (M)	IX+	71 rr	5	rfppp								
CBEQ <i>opr8,SP,rel</i>	分支, 如果 (A) = (M)	SP1	9E 61 ff rr	6	prpppp								
CLC	清除进位 (C = 0)	INH	98	1	p	-	1	1	-	-	-	-	0
CLI	清除中断屏蔽位 (I = 0)	INH	9A	1	p	-	1	1	-	0	-	-	-
CLR <i>opr8a</i>	清除 M = \$00	DIR	3F dd	5	rfwpp	0	1	1	-	-	0	1	-
CLRA	A = \$00	INH	4F	1	p								
CLR X	X = \$00	INH	5F	1	p								
CLR H	H = \$00	INH	8C	1	p								
CLR <i>opr8,X</i>	M = \$00	IX1	6F ff	5	rfwpp								
CLR <i>,X</i>	M = \$00	IX	7F	4	rfwp								
CLR <i>opr8,SP</i>	M = \$00	SP1	9E 6F ff	6	prfwpp								

当满足以下条件时就进入 PLL Bypassed External 模式：

- CLKS 位写入 00
- IREFS 位写入 0
- PLLS 位写入 1
- RDIV 位写入介于 1 MHz - 2 MHz 频率范围的分频参考时钟。
- LP 位写入 0

在 PLL Bypassed External 模式中，MCGOUT 时钟源自外部参考时钟。使能的外部参考时钟可以是外部晶体 / 谐振器，也可以是另外一个外部时钟源。PLL 时钟频率是参考频率（RDIV 位所选）和倍频因子（VDIV 位所选）乘积。如果使能 BDM，MCGLCLK 值就是 DCO 除以 2（开放环路模式）的得数。如果禁止 BDM，那么 FLL 被禁止且处于低功率状态。

### 8.5.1.7 Bypassed Low Power Internal (BLPI)

当满足以下条件时就进入 Bypassed Low Power Internal（BLPI）模式：

- CLKS 位写入 01
- IREFS 位写入 1
- PLLS 位写入 0
- LP 位写入 1
- BDM 模式未活动

在 Bypassed Low Power Internal 模式中，MCGOUT 时钟源自内部参考时钟。

在 BLPI 模式中，PLL 和 FLL 总是无效的，且 MCGLCLK 不能用于 BDC 通信。如果 BDM 进入活动状态，该模式将切换为由 PLLS 位状态决定的另外一种内部旁路模式。

### 8.5.1.8 Bypassed Low Power External (BLPE)

当满足以下条件时就进入 Bypassed Low Power External（BLPE）模式：

- CLKS 位写入 10
- IREFS 位写入 0
- PLLS 位写入 0 或 1
- LP 位写入 1
- BDM 模式未活动

在 Bypassed Low Power External 模式中，MCGOUT 时钟源自外部参考时钟。使能的外部参考时钟可以是外部晶体 / 谐振器，也可以是另外一个外部时钟源。

在 BLPE 模式中，PLL 和 FLL 总是无效的，且 MCGLCLK 不能用于 BDC 通信。如果 BDM 进入活动状态，该模式将切换到由 PLLS 位状态决定的另外一种外部旁路模式。

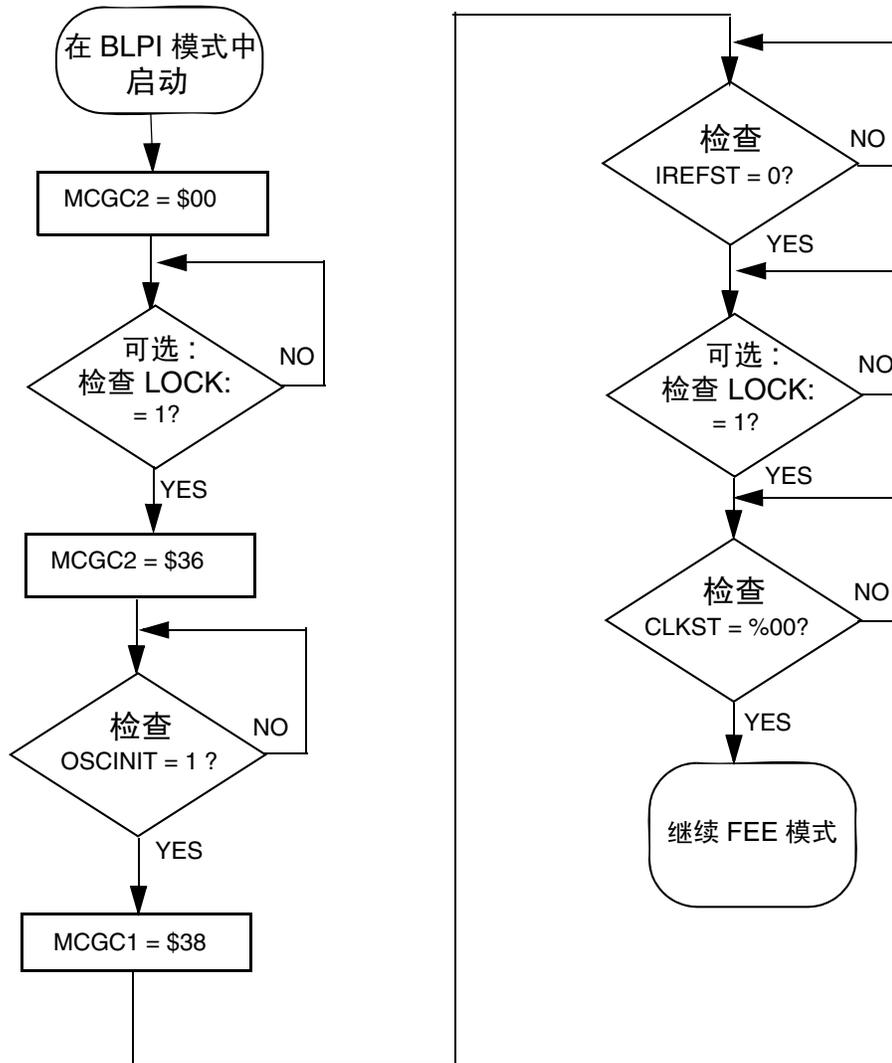


图 8-11. 使用 4 MHz 晶体从 BLPI 转换到 FEE 模式的流程图

### 8.6.2.4 示例 4: 从 FEI 转换到 PEE 模式: 外部晶体 = 8 MHz、总线频率 = 8 MHz

本例中，MCG 将通过适当的运行模式从 FEI 转换到 PEE 模式，直到设置 8 MHz 晶体参考频率来获得 8 MHz 的总线频率。

这个例子和第一个例子相似，只是外部晶体频率从 4 MHz 变成了 8 MHz。在这个例子中必须特别注意，因为从 FEI 模式转换到 PEE 模式的过程中，FLL 有时会基于高于 FLL 的最大允许频率的参考时钟运行。之所以出现这种情况，是因为 8 MHz 的外部晶体和 128 的最大参考分频器因子，FLL 由此得出的参考时钟的频率是 62.5 kHz（大于 39.0625 kHz 这一最大允许值）。

当 FLL 在该条件下运行时，在应用软件中应最大限度地减少在这一状态中的时间。

## 10.5 功能描述

复位期间或当 ADCH 位都高时，ADC 模块禁止。当已经完成当前转换，而下一次转换还未发起时，模块进入空闲状态。空闲时，模块处于最低功耗状态。

ADC 可以对软件选择的任意通道实施模数转换。在 12 位和 10 位模式中，所选的通道电压通过逐次逼近算法被转换成 12 位数字结果。在 8 位模式中，所选的通道电压通过逐次逼近算法被转换成 9 位数字结果。

转换完成后，结果保存在数据寄存器（ADCRH 和 ADCRL）中。在 10 位模式中，结果被圆整到 10 位并保存在数据寄存器（ADCRH 和 ADCRL）中。在 8 位模式中，结果被圆整到 8 位并保存在 ADCRL 中。然后设置转换完成标记（COCO），如果已经使能了转换完成中断（AIEN = 1），则触发中断。

ADC 模块能够自动地把转换结果与比较寄存器的内容进行比较。通过设置 ACFE 位并结合任意一种转换模式和配置一起运行，就使能了比较功能。

### 10.5.1 时钟选择和分频控制

ADC 模块可选择 4 个时钟源之一，然后由可配置值进行分频，生成转换器的输入时钟（ADCK）。时钟源通过 ADICLK 位设置从以下源中选择。

- 总线时钟，等于软件运行的频率。这是复位后的默认选择。
- 总线时钟除以 2，如果总线时钟很高，允许总线时钟最大除以 16。
- ALTCLK，由此 MCU 定义（参见本章节的概述部分）。
- 异步时钟（ADACK）- 该时钟从 ADC 模块内部时钟源产生。当 MCU 处于等待或 STOP3 模式时，此时钟源仍然有效，从而实现此模式下的低噪音转换。

无论选择哪种时钟，其频率必须在 ADCK 的指定频率范围内。如果可用时钟太慢，ADC 将无法保证正常运行。如果可用时钟太快，那么时钟必须分频为适当的频率。除数由 ADIV 位指定，可以是 1、2、4 或 8。

### 10.5.2 输入选择和管脚控制

管脚控制寄存器（APCTL3，APCTL2 和 APCTL1）用来禁止对作为模拟输入的管脚的 I/O 控制功能。当置位管脚控制寄存器相应位时，对应的 MCU 管脚进入以下状态：

- 输出缓冲器进入高阻抗状态。
- 输入缓冲器禁止。对于其输入缓冲器被禁止的任何管脚，I/O 端口读数均返回 0。
- 上拉禁止。

### 10.5.3 硬件触发

ADC 模块有一个可选的异步硬件转换触发 ADHWT，当设置了 ADTRG 位时，ADHWT 使能。并不是所有 MCU 上都有这个源。如需了解该 MCU 的特定 ADHWT 源的更多报文，请参见本章概述部分。

可能会出现外部系统工作造成辐射或传导噪音，或者过多  $V_{DD}$  噪音被耦合到 ADC 的情况。在这些情况下，或者当 MCU 不能置于等待或 STOP3 模式，或 I/O 跳变不能暂停时，下面这些推荐操作会降低噪音对精度的影响：

- 将所选输入通道与  $V_{REFL}$  或  $V_{SSAD}$  之间放置  $0.01 \mu F$  电容器 ( $C_{AS}$ )，（这将改善噪音问题，但仍会影响采样速率，基于模拟源的阻抗）。
- 通过对连续多次转换结果求算术平均。要消除 1LSB，一次采样的错误，需要 4 次转换。
- 通过关闭异步时钟 (ADACK) 和算术平均可以降低同步噪音的影响。与 ADCK 同步的噪音无法通过平均消除。

#### 10.7.2.4 编码宽度和量化错误

ADC 将理想的直线传递函数量化为 4096 个步骤（在 12 位模式中）。每个步骤刚好都有相同的高度（1 个代码）和宽度。宽度的定义是两个代码转换点间的  $\delta$ 。N 位转换器（本例中，N 可以为 8、10 或 12）理想的代码宽度是（就像 1LSB 定义的那样）：

$$1 \text{ lsb} = (V_{REFH} - V_{REFL}) / 2^N \quad \text{等式 10-2}$$

由于结果的数字化原因，可能会出现固有的量化错误。对于 8 位或 10 位转换，当电压位于两点间的中点时，代码就会进行切换，此时直线传递函数与实际的传递函数相一致。因此，在 8 位或 10 位模式中，量化错误是  $\pm 1/2 \text{ lsb}$ 。但是，由此导致的第一次转换 (0x000) 的代码宽度为  $1/2 \text{ lsb}$ ，而最后一次转换 (0xFF or 0x3FF) 的代码宽度为  $1.5 \text{ lsb}$ 。

对于 12 位转换，代码仅在整个代码宽度出现后才进行转换，因此量化错误在  $-1 \text{ lsb}$  至  $0 \text{ lsb}$  之间，每个步骤的代码宽度均为  $1 \text{ lsb}$ 。

#### 10.7.2.5 线性错误

ADC 还可能呈现几种形式的非线性。大量的努力被用来减少这些错误，但系统应知道这些错误，因为它们会影响总体精度。这些错误包括：

- 零刻度错误 ( $E_{ZS}$ )（有时称作偏移）-- 这个错误的定义是第一次转换的实际代码宽度和理想代码宽度（在 8 位/10 位中为  $1/2 \text{ lsb}$ ，在 12 位模式中为  $1 \text{ LSB}$ ）之间的差异。注意，如果第一次转换是 0x001，那就使用实际的 0x001 代码宽度及其理想宽度（ $1 \text{ LSB}$ ）之间的差异。
- 满刻度错误 ( $E_{FS}$ )—这个错误的定义是最后一次转换的实际代码宽度和理想代码宽度（在 8 位/10 位中为  $1.5 \text{ lsb}$ ，在 12 位模式中为  $1 \text{ LSB}$ ）之间的差异。注意，如果最后一次转换是 0x3FE，那么就使用实际的 0x3FE 代码宽度及其理想宽度（ $1 \text{ LSB}$ ）之间的差异。
- 差分非线性错误 (DNL)—这个错误的定义是所有转换的实际代码宽度和理想代码宽度之间的最大差异。
- 积分非线性错误 (INL)—这个错误的定义是 DNL 求和达到的最高值（绝对值）。更简单地说，对于所有代码来说，这是给定代码的实际转换电压和相应的理想转换电压之间的最大差异。
- 总不可调整错误 (TUE)—这个错误的定义是实际转换功能和理想直线转换功能之间的差异，因此包括所有形式的错误。

### 12.1.3 结构图

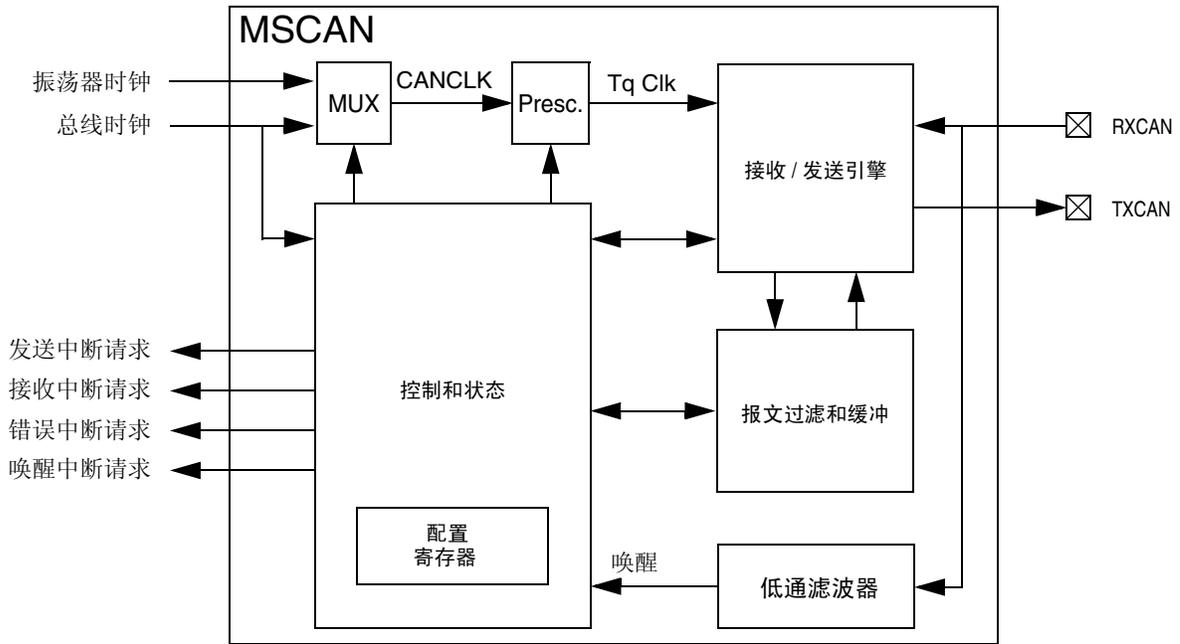


图 12-2. MSCAN 结构图

## 12.2 外部信号描述

MSCAN 使用两个外部管脚：

### 12.2.1 RXCAN — CAN 接收器输入管脚 Y

RXCAN 是 MSCAN 接收器输入管脚。

### 12.2.2 TXCAN — CAN T 发射器输出管脚

TXCAN 是 MSCAN 发送器输出管脚。TXCAN 输出管脚代表 CAN 总线上的逻辑层：

0 = 显性状态

1 = 隐性状态

### 12.2.3 CAN 系统

图 12-3. 显示了一个具有 MSCAN 的典型 CAN 系统。每个 CAN 节点通过收发器物理连接到 CAN 总线线路。e. 收发器能够驱动 CAN 总线所需的大电流，并具有对故障 CAN 或故障节点的电流保护。

表 12-9. CANRFLG 寄存器字段描述 (continued)

字段	描述
3:2 TSTAT[1:0]	发送器状态位 — 错误计数器的值控制着 MSCAN 的实际 CAN 总线状态。只要设置了状态变化中断标志 (CSCIF)，这些位就显示 MSCAN 的与接收器有关的适当 CAN 总线状态。位 TSTAT1、TSTAT0 的编码是： 00 TxOK: $0 \leq$ 接收错误计数器 $\leq 96$ 01 RxOK: $0 <$ 接收错误计数器 $\leq 127$ 10 RxERR: $127 <$ 接收错误计数器 $\leq 255$ 11 Bus-off1: 发送错误计数器 $> 255$
1 OVRIF	溢出中断标志 — 该标志在出现数据溢出情况时设置。如果没有被屏蔽，当设置了该标志时有一个错误中断产生。 0 无数据溢出情况 1 检测到数据溢出
0 RXF <sup>2</sup>	接收缓冲器已满标志 — 当新报文被转移到接收器 FIFO 中时，RXF 由 MSCAN 进行置位。该标志表示移位缓冲器是否接收了正确的报文（匹配标识符，匹配循环冗余代码（CRC）和未检测到其他错误）。在 CPU 从接收器 FIFO 中的 RxFG 缓冲器那里读取了该报文后，RXF 标志必须清除，以释放缓冲器。已设置的 RXF 标志禁止下一个 FIFO 条目转移到前景缓冲器（RxFG）。如果未被屏蔽，当设置了该标志时有一个接收中断产生。 0 RxFG 中没有新报文 1 接收器 FIFO 非空。RxFG 中有报文

<sup>1</sup> 处于“总线脱离”状态的最重要 CAN 总线状态的冗余报文。只有当 Tx 错误计数器的错误超过 255 个时才会出现这种情况。总线脱离会影响接收器状态。一旦发送器离开其总线脱离状态，接收器状态也立即跳到 RxOK。也请参见本寄存器中的 TSTAT[1:0] 编码。

<sup>2</sup> 为确保数据完整性，当 RXF 标志清除时，不要读取接收缓冲器寄存器。对于那些有双 CPU 的 MCU 来说，当 RXF 标志被清除时读取接收缓冲器寄存器可能会导致 CPU 故障。

### 12.3.5 MSCAN 接收器中断使能寄存器 (CANRIER)

该寄存器包含用于 CANRFLG 寄存器中描述的中断标志的中断使能位。

	7	6	5	4	3	2	1	0
R	WUPIE	CSCIE	RSTATE1	RSTATE0	TSTATE1	TSTATE0	OVRIE	RXFIE
W								
复位	0	0	0	0	0	0	0	0

图 12-9. MSCAN 接收器中断使能寄存器 (CANRIER)

#### 注意

当初始化模式处于有效状态时，CANRIER 寄存器保持复位状态 (INITRQ=1 and INITAK=1)。当未处于初始化模式时，该寄存器可以写入 (INITRQ=0, INITAK=0)。

The RSTATE[1:0], TSTATE[1:0] 位不受初始化模式影响。

读取：任何时间

写入：未处于初始化模式的任何时间。

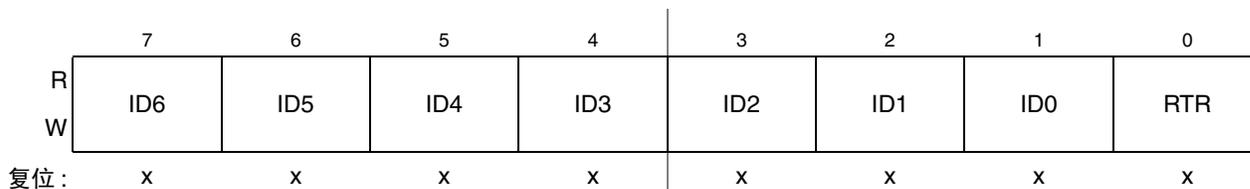


图 12-28. 标识符寄存器 3 (IDR3) — 扩展标识符映射

表 12-28. 标识符寄存器 0 — 标准映射

字段	描述
7:1 ID[6:0]	<b>扩展格式标识符</b> — 该标识符由 29 个扩展格式位 (ID[28:0]) 组成。ID28 是最高的位, 仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。
0 RTR	<b>远程发送请求</b> — 该标志反应 CAN 帧中远程发送请求的状态。在接收缓冲器中, 它显示已接收帧的状态, 并在软件中支持应答帧的发送。在发送缓冲器中, 该标志定义将要发送的 RTR 位的设置。 0 数据帧 1 远程帧

## 12.4.2 标准标识符映射的 IDR0 - IDR3

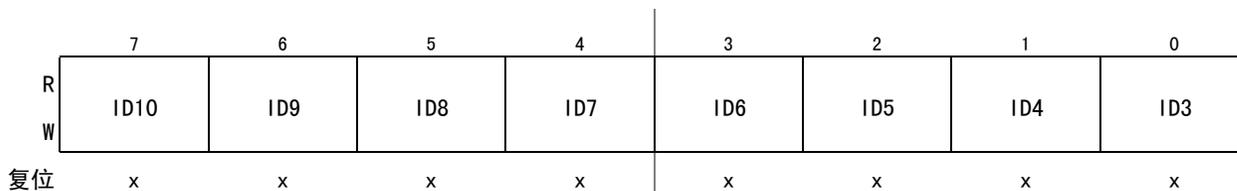
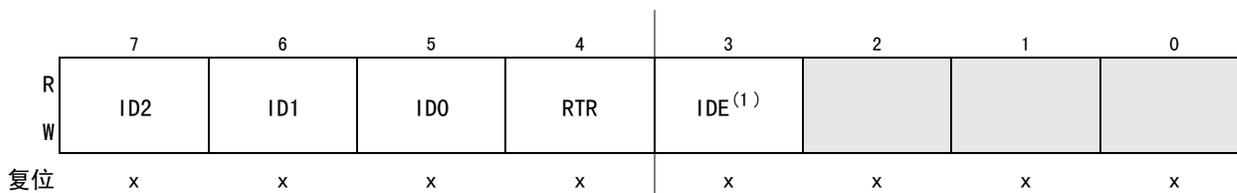


图 12-29. 标识符寄存器 0 — 标准映射

表 12-29. IDR0 寄存器字段描述 — 标准

字段	描述
7:0 ID[10:3]	<b>标准格式标识符</b> — 该标识符由 11 个扩展格式位 (ID[10:0]) 组成。ID10 是最高位, 仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。也可参见表 12-30 中的 ID 位。



 = 不使用, 始终读为 'x'

图 12-30. 标识符寄存器 1 — 标准映射

<sup>1</sup> IDE 为 0.

### 12.4.5 发送缓冲器优先寄存器 (TBPR)

表 12-33. 数据长度代码

数据长度代码				数据字节计数 Count
DLC3	DLC2	DLC1	DLC0	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8

该寄存器定义相关报文发送缓冲器的本地优先级。本地优先级用于 MSCAN 的内部优先级排队程序，优先级定义为最小二进制数字取得最高优先级。MSCAN 执行下列内部优先级排队机制：

- 带有 TXEx 清除标志的所有发送缓冲器在发送 SOF（帧开始）前立即参与优先级排队。
- 带有最低本地优先级字段的发送缓冲器优先。

当出现一个以上的缓冲器具有相同最低优先级时，索引编号较小的报文缓冲器优先。

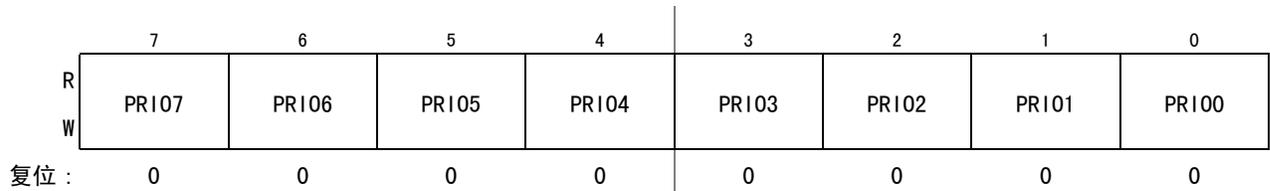


图 12-35. 发送缓冲器优先寄存器 (TBPR)

读取：当设置了 TXEx 标志（参见 12.3.6，“MSCAN 发送器标志寄存器 (CANTFLG)”）且在 CANTBSEL 中选择了相应发送缓冲器（见 12.3.10，“MSCAN 发送缓冲器选择寄存器 (CANTBSEL)”）的任何时间。

写入：当设置了 TXEx 标志（参见 12.3.6，“MSCAN 发送器标志寄存器 (CANTFLG)”）且在 CANTBSEL 中选择了相应发送缓冲器（参见 12.3.10，“MSCAN 发送缓冲器选择寄存器 (CANTBSEL)”）的任何时间。

### 12.4.6 时间标签寄存器 (TSRH - TSRL)

如果使能了 TIME 位，只要报文已经在 CAN 总线上得到确认，MSCAN 就把时间标签写入有效发送或接收缓冲器中的各自寄存器（参见 12.3.1，“MSCAN 控制寄存器 0 (CANCTL0)”）。发送时，CPU 只有在各自发送缓冲器标志空后才可以读取时间标签。

如果相应 TIE 或 TCIE 本地中断允许位为 0，那么就使用软件轮询来监控 TDRE 和 TC 状态标记，而不是发生软件中断。

当程序检测到接收数据寄存器已满 ( $RDRF = 1$ ) 时，它通过读 SCIXD 从接收数据寄存器获取数据。RDRF = 1 时读 SCIXS1，这样 RDRF 标记就被清除，然后再读 SCIXD。

当使用轮询时，该顺序自然在用户程序的正常过程中得到满足。如果使用硬件中断，就必须在中断服务程序 (ISR) 中读 SCIXS1。在正常情况下，这无论如何都要在 ISR 中完成，以检查接收错误，这样该顺序就自动满足了。

当 RxD 线路在很长一段时间内保持闲置时，IDLE 状态标记包括可以防止其进行重复设置的逻辑。当 IDLE = 1 时，读 SCIXS1 可以清除 IDLE，然后再读 SCIXD。在已经清除 IDLE 后，它不能再次进行设置，直到接收器已经收到至少一个新字符并已设置 RDRF。

如果在造成设置 RDRF 的已接收字符中检测到有关错误，就在设置 RDRF 的同时设置错误标记，如噪音标记 (NF)、成帧错误 (FE) 和奇偶效验错误标记 (PF)。这些标记不会在溢出情况下设置。

如果当一个新字符准备好从接收移位器传输到接收数据缓冲器时已经设置了 RDRF，就设置溢出 (OR) 标记，而数据及任何有关的 NF、FE 或 PF 条件丢失。

任何时候，RxD 串行数据输入管脚上的活动边沿都会引起 RXEDGIF 标记设置。把 1 写入 RXEDGIF 会清除该标记。该功能取决于正被使能 ( $RE = 1$ ) 的接收器。

### 14.3.5 其他 SCI 功能

以下几节描述其他 SCI 功能。

#### 14.3.5.1 8 位和 9 位数据模式

通过在 SCIXC1 中设置 M 控制位，SCI 系统（发射器和接收器）在经过配置后可以运行在 9 位数据模式中。在 9 位模式中，在 SCI 数据寄存器的 MSB 的左侧有一个第 9 数据位。对发送数据缓冲器来说，该位保存在 SCIXC3 中的 T8。对接收器来说，第 9 位保存在 SCIXC3 中的 R8。

为了连贯写入发送数据寄存器，写入 SCIXD 前请先写入 T8 位。

如果作为新字符第 9 位发送的位值和上一字符的位值相同，则不需要重新写入 T8。当数据从发送数据缓冲器传输到发送移位器时，在数据从 SCIXD 传输到移位器的同时 T8 中的值被复制。

9 位数据模式通常和奇偶效验一起使用，以允许数据的 8 个位加第 9 位中的奇偶效验位。或者与地址标记唤醒一起使用，这样第 9 数据位可以作为唤醒位。在自定义协议中，第 9 位还可以作为软件控制标记。

---

## 第 15 章

### 实时计数器 (S08RTCV1)

#### 15.1 简介

RTC 模块包括一个 8 位计数器、一个 8 位比较器、几个二进制和十进制预分频器、三个时钟源和一个可编程定期中断。该模块可用于时刻、日历或任何任务调度功能。此外，它可以从低功率模式中提供周期性唤醒服务而不需要外部组件。

MC9S08DZ60 系列的所有器件都带有 RTC。

##### 15.1.1 RTC 时钟信号名称

本章中提及的 ERCLK 和 IRCLK 分别对应信号 MCGERCLK 和 MCGIRCLK。

- 中央对齐 pwm 模式

16 位模数寄存器值的两倍设置 PWM 输出周期，而通道值寄存器设置一半占空比持续时间。定时器计数器向上计数，直到达到模数值，然后向下计数直到达到 0。向下计数的情况下，计数与通道值寄存器匹配时，PWM 输出进入活动状态。向上计数的情况下，计数与通道值寄存器匹配时，PWM 输出进入非活动状态。这类 PWM 信号被称为中央对齐，因为所有通道的活动占空比的中心与计数值 0 对齐。用于小型设备中的发动机类型需要这类 PWM 应用。

这只是一个简要介绍。运行模式的详细介绍请参见后面的各小节。

### 16.1.3 结构图

TPM 为每个通道使用一个输入 / 输出 (I/O) 管脚，即 TPMxCHn (定时器通道 n)，其中 n 为通道编号 (1-8)。TPM 与通用 I/O 端口管脚分享其 I/O 管脚 (请参考全芯片规范中的输入 / 输出管脚描述，了解如何完成具体芯片执行)。

图 16-2 显示了 TPM 结构。TPM 的中心组件是 16 位计数器。该计数器既可作为自由运行的计数器运行，又可作为模数向上 / 向下计数器运行。TPM 计数器 (以正常的向上计数模式运行时) 为输入捕捉、输出比较和边缘对齐 PWM 功能提供定时参考。定时器计数器模数寄存器 TPMxMODH:TPMxMODL 控制计数器的模数值 (0x0000 或 0xFFFF 值有效地使计数器自由运行)。软件可随时读取计数器值而不影响计数序列。向 TPMxCNT 计数器的任何一半写入任何数据值都会复位计数器。



图 16-9. TPM 计数器寄存器低字节 (TPMxCNTL)

当 BDM 处于有效状态，定时器计数器被冻结（这是用户将读取的值）；一致性机制是冻结的，这样当 BDM 处于有效状态时，缓冲器中锁定的内容仍将保持锁定状态，即使计数器的一半或两个一半都在 BDM 处于有效状态时被读取。这确保了如果 BDM 处于有效状态时用户正在读取 16 位寄存器，那么返回到正常操作后将从 16 位值的另一半中读取适当值。

在 BDM 模式下，向 TPMxSC, TPMxCNTH 或 TPMxCNTL 寄存器写入任何值可复位 TPMxCNTH:L 寄存器的读取一致性机制而不受写入涉及的数据影响。

### 16.3.3 TPM 计数器模数寄存器 (TPMxMODH:TPMxMODL)

这个读 / 写 TPM 模数寄存器包含 TPM 计数器的模数值。TPM 计数器达到模数值后，TPM 计数器在下一个时钟周期内又从 0x0000 开始计数，同时会设置一个溢出标记 (TOF)。向 TPMxMODH 或 TPMxMODL 中写入一个值可禁止 TOF 位和溢出中断，直到另一个字节也被写入。复位操作将 TPM 计数器的模数寄存器设置为 0x0000，进而导致自由运行的定时器计数器（模数被关闭）。

写入任何一个字节（无论是 TPMxMODH 还是 TPMxMODL）都会使值锁入到缓冲器中，同时寄存器会根据 CLKSb:CLKSA bits, so 位的值以它们的写入缓冲器的值得到更新，因此：

- 如果 (clksb:clksa = 0:0)，那么寄存器在第二个字节被写入时更新。
- 如果 (clksb:clksa not = 0:0)，那么寄存器在两个字节都被写入后更新，计数器从 (tpmxmodh:tpmxmodl - 1) 变为 (tpmxmodh:tpmxmodl)。如果 tpm 计数器为自由运行的计数器，那么 tpm 计数器从 0xffff 变为 0xffff 时会进行更新。

锁定机制可通过向 TPMxSC 地址（无论 BDM 是否活动）中写入一个值来手动复位。

当 BDM 处于有效状态时，一致性机制是冻结的（除非通过写入 TPMxSC register 寄存器复位）。这样，当 BDM 处于有效状态时，缓冲器中锁定的内容仍然保持锁定状态，即使模数寄存器的一半或两个一半都在 BDM 处于有效状态时被写入。当 BDM 处于有效状态时，任何向模数寄存器的写入行为都会绕过缓冲器锁定并直接写入到模数寄存器中。

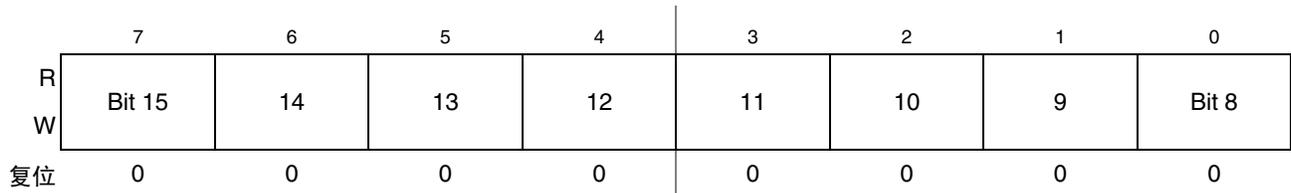


图 16-10. TPM 计数器模数寄存器高字节 (TPMxMODH)

## 16.5 复位概述

### 16.5.1 概况

MCU 复位时 TPM 就会被复位。

### 16.5.2 复位操作介绍

复位清除 TPMxSC 寄存器，导致关闭 TPM 的时钟源，并禁止定时器溢出中断（TOIE=0）。CPWMS、MSnB、MSnA、ELSnB 和 ELSnA 可被全部清除，这使相关的被配置为输入捕捉功能的所有 TPM 通道与 I/O 口逻辑断开（因此与 TPM 相关的所有 MCU 管脚恢复到通用输入/输出管脚）。

## 16.6 中断

### 16.6.1 General

TPM 为主计数器溢出产生可选的中断，或为每个通道生成中断。通道中断的意义取决于每个通道的运行模式。通道中断的意义取决于每个通道的运行模式。如果通道配置用于输入捕捉，那么中断标志在每次所选的输入捕捉边沿被识别时设置。如果通道配置用于输出比较或 PWM 模式，那么中断标志在每次主定时器计数器与 16 位通道值寄存器中的值匹配时被设置。

表 16-8 中列出所有 TPM 中断，其中显示了中断名称及任何本地使能的名称。这些本地使能可促使中断请求离开 TPM 或被不同的处理逻辑识别。

表 16-8. 中断总结

中断	本地启动	源	描述
TOF	TOIE	定时器溢出	每次定时器计数器达到其终端计数（过渡到通常为 0x0000 的下一计数值）时设置
CHnF	CHnIE	通道事件	通道 n 上发生输入捕捉或输出比较事件 TPM 模块将提供 high-true 中断信号。

向量和优先级在中断模块中进行芯片集成时确定，因此请参考用户指南，查看有关中断模块或芯片的全部文档了解更详细信息。

### 16.6.2 中断操作描述

对于 TPM 中的每个中断源，标志位在识别到中断条件后设置，如定时器溢出、通道输入捕捉或输出比较事件等。这个标志可被软件读取（轮询），以确定操作已经发生，或者相关使能位（TOIE 或 CHnIE）可设置以便使能硬件中断生成。设置了中断使能位时，不论何时相关中断标记等于 1，就会生成静态中断。从中断服务程序中返回前，用户的软件必须执行一系列步骤来清除中断标志。

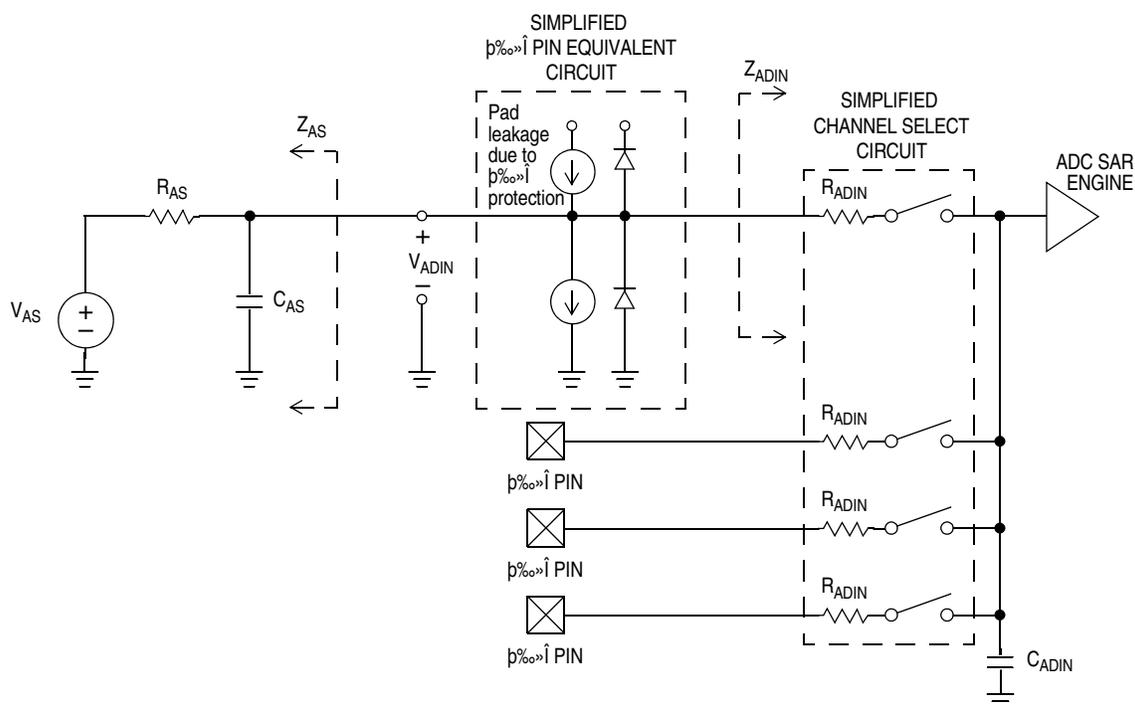


图 A-1. ADC 输入抗阻等效示意图

表 A-10. 12-位 ADC 特性 ( $V_{REFH} = V_{DDAD}$ ,  $V_{REFL} = V_{SSAD}$ )

特性	条件	C	符号	最小值	典型值 <sup>1</sup>	最大值	单位	注释
电源电流	ADLPC=1 ADLSMP=1 ADCO=1	T	$I_{DD} + I_{DDAD}$	—	133	—	$\mu\text{A}$	仅 ADC 电流
电源电流	ADLPC=1 ADLSMP=0 ADCO=1	T	$I_{DD} + I_{DDAD}$	—	218	—	$\mu\text{A}$	仅 ADC 电流
电源电流	ADLPC=0 ADLSMP=1 ADCO=1	T	$I_{DD} + I_{DDAD}$	—	327	—	$\mu\text{A}$	仅 ADC 电流
电源电流	ADLPC=0 ADLSMP=0 ADCO=1	D	$I_{DD} + I_{DDAD}$	—	0.582	1	mA	仅 ADC 电流
电源电流	停止、复位、模块关		$I_{DD} + I_{DDAD}$	—	0.011	1	$\mu\text{A}$	仅 ADC 电流
ADC 同步 时钟源	高速 (ADLPC=0)	P	$f_{ADACK}$	2	3.3	5	MHz	$t_{ADACK} = 1/f_{ADACK}$
	低速 (ADLPC=1)			1.25	2	3.3		