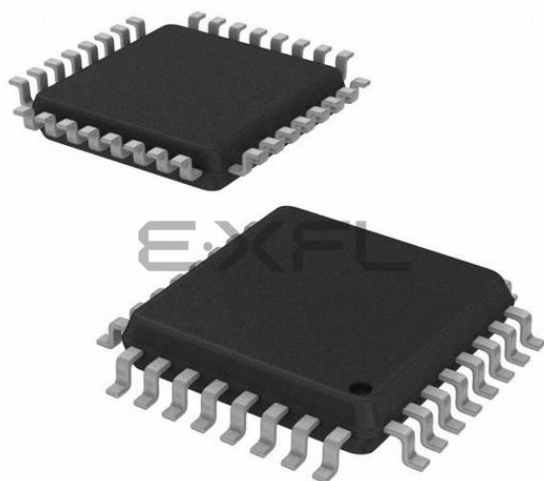




Welcome to [E-XFL.COM](#)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	48KB (48K x 8)
Program Memory Type	FLASH
EEPROM Size	1.5K x 8
RAM Size	3K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-TQFP (7x7)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/s9s08dz48f1mlc

章节列表

章节号	标题	页码
第 1 章	器件概述	19
第 2 章	管脚和连接	25
第 3 章	操作模式	33
第 4 章	存储器	39
第 5 章	复位、中断和系统总控制	65
第 6 章	并行输入 / 输出控制	81
第 7 章	中央处理器 (S08CPUV3)	107
第 8 章	多功能时钟发生器 (S08MCGV1)	127
第 9 章	模拟比较器 (S08ACMPV3)	157
第 10 章	数模转换器 (S08ADC12V1)	163
第 11 章	IIC 模块 (S08IICV2)	189
第 12 章	飞思卡尔控制器局域网 (S08MSCANV1)	207
第 13 章	串行外围器件接口 (S08SPIV3)	257
第 14 章	串行通信接口 (S08SCIV4)	271
第 15 章	实时计数器 (S08RTCV1)	289
第 16 章	定时器脉冲宽度调节器 (S08TPMV3)	299
第 17 章	开发支持	323
附录 A	电气特征	342
附录 B	定时器脉宽调制器 (TPMV2)	364
附录 C	订购信息和机械图	378

4.5.8 向量重定向

在 Flash 受到块保护的同时，复位和中断向量也将受到有效保护。向量重定向使用户可以修改中断向量信息而不必影响对 bootloader 和复位向量空间的保护。

。要使重定向正常进行，至少一部分 Flash 必须通过对地址 0xFFBD 上的 NVPROT 寄存器进行编程来进行块保护。所有中断向量（内存位置为 0xFFC0–0xFFFFD）都被重定向，虽然复位向量（0xFFFFE:0xFFFFF）没有被重定向。

例如，如果 Flash 的 1536 个字节受到保护，那么受保护的地址区域为从 0xFA00 到 0xFFFF。中断向量 (0xFFC0–0xFFFFD) 被重定向到位置 0xF9C0–0xF9FD。如果启用了向量重定向并发生了中断，那么 0xF9E0:0xF9E1 上的值被用于向量而不是 0xFFE0:0xFFE1 上的值。这样，用户就可以利用新的程序代码对 Flash 的未保护部分进行重新编程，增加新的中断向量值，同时保留受保护的区域（这包括不发生任何变化的缺省向量）。

4.5.9 安全性

MC9S08DZ60 系列包含用于防止非法访问 Flash、EEPROM 和 RAM 存储器内容的电路。启用了安全性功能后，Flash、EEPROM 和 RAM 被看作是安全的资源。直接页面寄存器、高端页面寄存器和后台调试控制器被看作是不安全的资源。安全存储器中执行的程序可以正常访问 MCU 位置和资源。通过不安全存储器空间内运行的程序或通过后台调试接口访问安全存储器位置的任何尝试都将被阻止（写入操作被忽略，而读取操作则全部返回 0）。

安全性的启用和关闭由 FOPT 寄存器中的两个寄存器位 (SEC[1:0]) 的状态确定。在复位过程中，非易失性位置 NVOPT 的内容从 Flash 中拷贝到高端页面寄存器空间内的工作 FOPT 寄存器上。用户可以通过编程 NVOPT 位置来启用安全性。这一操作可以在对 Flash 进行编程的同时进行。1:0 状态会关闭安全性；而另外 3 种组合会启用安全性。请注意，擦除状态 (1:1) 会使 MCU 处于安全状态。在开发过程中，不管 Flash 什么时候被擦除，立即将 NVOPT 中的 SEC0 设置为 0 以便使 SEC = 1:0 是一种有效的方法。这将使 MCU 在后来的复位完成后继续处于不安全状态。

MCU 处于安全状态时不能启用片上调试模块。您可以为后台存储器访问命令使用独立的后台调试控制器，但 MCU 不能进入主动后台模式，除非您在复位的上升边将 BKGD 保持在较低位置。

用户可以选择通过一个 8 字节后门安全密钥来设置允许或不允许安全解锁机制。如果 NVOPT/FOPT 中的非易失性 KEYEN 位为 0，那么说明后门密钥被禁用，在没有完全擦除所有 Flash 位置的情况下不能启用安全性。如果 KEYEN 为 1，那么安全的用户程序可以通过以下方式暂时关闭安全性：

1. 向 FCNFG 寄存器中的 KEYACC 写入 1。这将使 Flash 模块将后门对比密钥位置 (NVBACKKEY through NVBACKKEY+7) 的写入解释为将与密钥进行对比的值而不是 Flash 编程或擦除命令的第一步。
2. 将用户输入的密钥值写入到位置 NVBACKKEY 到 NVBACKKEY+7 上。这些写入操作必须按顺序进行，以 NVBACKKEY 值开始，以 NVBACKKEY+7 值结束。这些写入操作中必须使用 STHX，因为这些写入不能在相邻的总线循环上完成。用户软件一般通过通信接口（如串行 I/O）从 MCU 系统外部获取密钥代码。
3. 向 FCNFG 寄存器中的 KEYACC 写入 0。如果写入的 8 字节密钥与 Flash 位置上保存的密钥相匹配，那么 SEC 位被自动修改为 1:0，同时安全性将关闭，直到下一次复位。

安全密钥只能从安全存储器（RAM、EEPROM 或 Flash）中写入，因此在没有安全的用户程序协作的情况下不能通过后台命令输入。

后门对比密钥 (NVBACKKEY through NVBACKKEY+7) 保存在非易失性寄存器空间内的 Flash 位置上，因此用户可以准确地编程这些位置，就象编程任何其他 Flash 位置一样。非易失性寄存器与复位和中断向量在 Flash 的同一个 768 字节块中，因此对这一空间进行块保护同时也可以保护后门对比密钥。块保护不能从用户应用程序上修改，因此，如果向量空间受到块保护，后门安全密钥机制就不能永久性地修改块保护、安全设置或后门密钥。

通过以下步骤，您可以通过后台调试接口始终关闭安全性：

1. 通过写入 FPROT 来禁用任何块保护。FPROT 只能通过后台调试命令写入而不能通过应用软件写入。
2. 在必要时整体擦除 Flash。
3. 对 Flash 进行空白检查。如果 Flash 内完全擦除，那么在下次复位前安全性一直处于关闭状态。为了避免在下次复位后返回到安全模式，对 NVOPT 进行编程使 SEC = 1:0。

4.5.10 EEPROM 映射

只有一半 EEPROM 处于存储器映象中。FCNFG 寄存器中的 EPGSEL 位用于确定阵列的哪一半可从前台访问，而另一半不能从后台访问。对于配置 8 字节 EEPROM 分区，有两种映射模式可供选择：4 字节模式和 8 字节模式。每种模式都通过 FOPT 寄存器中的 EPGMOD 位确定。

在 4 字节分区模式 (EPGMOD = 0) 中，每个 8 个字节分区被分成两部分，4 个字节在前台，4 个在后台，但都在相同的地址上。EPGSEL 位确定哪 4 个字节可以访问。在分区擦除过程中，整个 8 字节分区（前台的 4 个字节和后台的 4 个字节）都被擦除。

在 8 字节分区模式 (EPGMOD = 1) 中，每个 8 字节分区在一个页面上。EPGSEL 位确定哪些分区在后台。在分区擦除过程中，前台的整个 8 字节分区会被擦除。

4.5.11 Flash 和 EEPROM 寄存器及控制位

Flash 和 EEPROM 模块在高端页面寄存器空间内有 7 个 8 位寄存器，在 Flash 的非易失性寄存器空间内有 3 个位置。这些位置中的两个在复位时被拷贝到两个相应的高端页面控制寄存器中。Flash 中还有一个 8 字节对比密钥。对于 Flash 和 EEPROM 寄存器的绝对地址分配情况，请参见表 4-3 和表 4-5。这一部分用名称指代寄存器和控制位。通常飞思卡尔半导体提供变量定义或头文件用于将这些名称转换为相应的绝对地址。

4.5.11.1 Flash 和 EEPROM 时钟分频寄存器 (FCDIV)

该寄存器的第 7 位是一个只读标记。6:0 位可以在任何时候读取但只能写入一次。在开始任何擦除或编程操作之前，写入该寄存器以将非易失性内存系统的时钟频率设置在可接受的限度内。

表 4-14. Flash 块保护 (continued)

FPS	受保护的地址域	受保护的内存大小（字节）	受保护的扇区数量
0x1B	0x2800–0xFFFF	54K	72
0x1A	0x2200–0xFFFF	55.5K	74
0x19	0x1C00–0xFFFF	57K	76
0x18–0x00	0x0000–0xFFFF	64K	86

4.5.11.5 Flash 和 EEPROM 状态寄存器 (FSTAT)

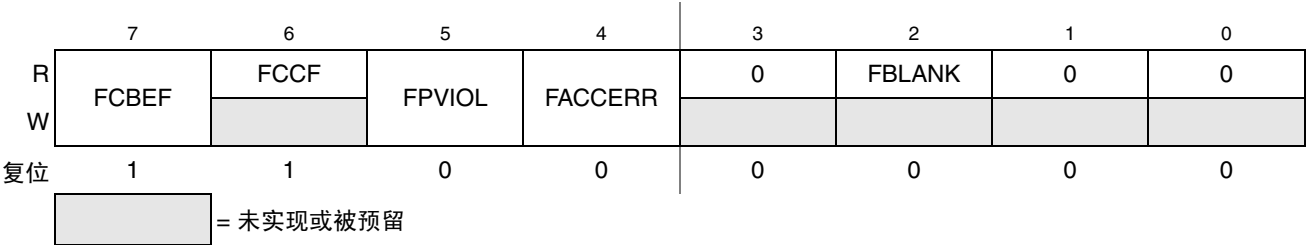


图 4-9. Flash 和 EEPROM 状态寄存器 (FSTAT)

表 4-15. FSTAT 寄存器字段描述

字段	描述
7 FCBEF	命令缓冲器空标记 — FCBEF 位用于发出命令。它还用于标识命令缓冲器是空的，因此可以在执行突发编程时执行新的命令顺序。FCBEF 位通过在其中写入 1 或一个突发编程命令被发送到阵列中以进行编程时清除。只有突发编程命令可以被缓冲。 0 命令缓冲器满（没有准备好缓冲额外的命令）。 1 命令缓冲器中可写入新的突发编程命令。
6 FCCF	命令完成标记 — FCCF 在命令缓冲器变空而且没有处理任何命令时自动设置。FCCF 在开始执行一个新命令时自动清除（通过将 1 写到 FCBEF 中以登记一个命令）。向 FCCF 写入内容没有任何意义或效果。 0 命令正在执行过程中。 1 所有命令都已完成。
5 FPVIOL	保护规则违反标记 — FPVIOL 在发出试图擦除或编程受保护块中的一个位置的命令后自动置 1（错误的命令会被忽略）。FPVIOL 通过向 FPVIOL 中写入 1 来清除。 0 无保护规则违反。 1 有人尝试擦除或编程一个受保护的位置。

第5章

复位、中断和系统总控制

5.1 介绍

本章详细介绍 MC9S08DZ60 系列的基本复位和中断机制，以及它们的各种源。外围模块的某些中断源在本数据手册的其他章节中进行了更详细地讨论。本节收集了所有复位和中断源的基本报文，以便参考。而有些复位和中断源，包括计算机正常操作（COP）的看门狗，并不是作为片上外围系统的一部分而有其独立的章节进行介绍。

5.2 特性

复位和中断功能包括：

- 多源复位，实现灵活的系统配置和可靠操作
- 复位状态寄存器 (SRS)，显示最新的复位源
- 各个模块的单独中断向量（减少轮询开销），参见表 5-1

5.3 MCU 复位

复位 MCU 提供了一条从已知初始条件启动处理的途径。复位期间，大部分控制和状态寄存器被迫使用初始值，并从复位向量 (0xFFFF:0xFFFF) 上载程序计数器。片上外围模块被禁止，I/O 管脚初始配置为上拉器件被禁止的通用高阻抗输入。条件码寄存器 (CCR) 中的 I 位被设置用来拦截可隐藏中断，以使用户程序有机会对堆栈指针 (SP) 和系统控制设置进行初始化（如需了解中断 (I) 位的相关信息，请参见 CPU 章节）。SP 在复位时强制设为 0x00FF。

MC9S08DZ60 系列有 8 个用于复位的源：

- 加电复位 (POR)
- 外部管脚复位 (PIN)
- 计算机正常操作 (COP) 定时器
- 非法操作码检测 (ILOP)
- 非法地址检测 (ILAD)
- 低电压检测 (LVD)
- 时钟丢失 (LOC)
- 后台调试强制复位 (BDFR)

上述复位源（后台调试强制复位除外）在系统复位状态寄存器 (SRS) 中都有一个相关位。

6.5.2.1 B 端口数据寄存器 (PTBD)

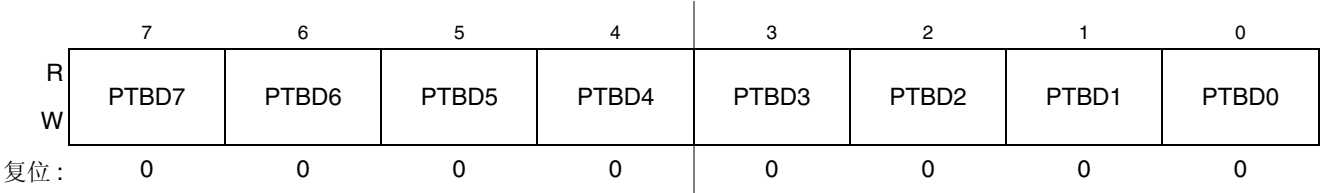


图 6-11. B 端口数据寄存器 (PTBD)

表 6-9. PTBD 寄存器字段描述

字段	描述
7:0 PTBD[7:0]	B 端口数据寄存器位 — 对于配置为输入的 B 端口管脚，读数返回管脚上的逻辑电平。对于配置为输出的 B 端口管脚，读数返回写入寄存器的最后一个值。 写入值被锁定在本寄存器的所有位中。对于配置为输出的 B 端口管脚，逻辑电平被输出到相应的 MCU 管脚。 复位强制 PTBD 都为 0，但是这些 0 未被输出到相应的管脚，因为复位还会将所有端口管脚配置为上拉 / 下拉被禁止的高阻抗输入。

6.5.2.2 B 端口数据方向寄存器 (PTBDD)

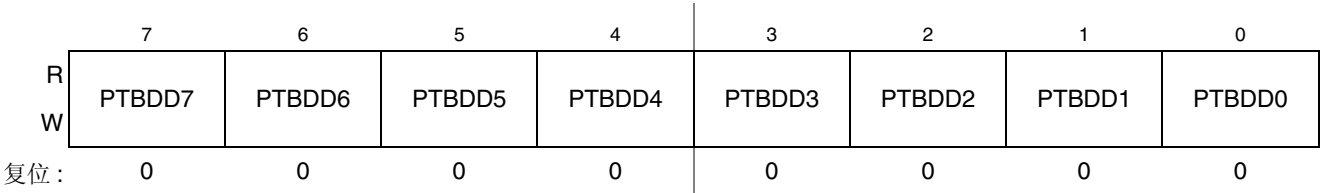


图 6-12. B 端口数据方向寄存器 (PTBDD)

表 6-10. PTBDD 寄存器字段描述

字段	描述
7:0 PTBDD[7:0]	B 端口位的数据方向 — 这些读 / 写位控制着 B 端口管脚的方向以及为 PTBD 读数读取的内容。 0 输入（输出驱动被禁止），读数返回管脚值。 1 B 端口位 - 输出驱动使能，PTBD 读数返回 PTBDn 内容。

第 7 章

中央处理器（S08CPUV3）

7.1 介绍

本节简要地介绍了 HCS08 系列的寄存器、寻址模式和 CPU 指令集。如需了解更多信息，请参见 HCS08 系列参考手册第 1 卷，飞思卡尔半导体文档订单号 HCS08RMV1/D。

HCS08 CPU 和 M68HC08 CPU 的源和目标代码完全兼容。在 HCS08 的 CPU 中增加了几个指令和增强型寻址模式来提高 C 编译器效率、支持取代了早期 M68HC08 微控制器（MCU）监控模式的新背景调试系统。

7.1.1 特性

HCS08 CPU 的特性包括：

- 目标代码完全向上兼容 M68HC05 和 M68HC08 系列
- 所有寄存器和存储器都被映射到一个 64Kb 地址空间
- 16 位堆栈指针（64Kb 地址空间内任意规模的堆栈）
- 16 位索引寄存器（H:X），具有强大的索引寻址模式
- 8 位累加器（A）
- 很多指令将 X 当作备用的通用 8 位寄存器
- 7 个寻址模式：
 - Inherent — 内部寄存器里的操作数
 - Relative — 分支目的地的 8 位带符号偏移
 - Immediate — 下一个目标代码字节里的操作数
 - Direct — 0x0000 - 0x00FF 存储器的操作数
 - Extended — 64-Kb 地址空间里的操作数
 - Indexed relative to H:X — 5 个子模式，包括自动累加
 - Indexed relative to SP — 大幅提高 C 效率
- 存储器至存储器数据移动指令，具有 4 个地址模式组合
- 溢出、半进位、负数、零和进位条件代码支持在带符号、不带符号和十进制计数法（BCD）运算结果上的有条件转移
- 有效的位操控指令
- 快速的 8-bit by 8-bit 乘法和 16-bit by 8-bit 除法指令
- 调用低功率运行模式的 STOP 和 WAIT 指令

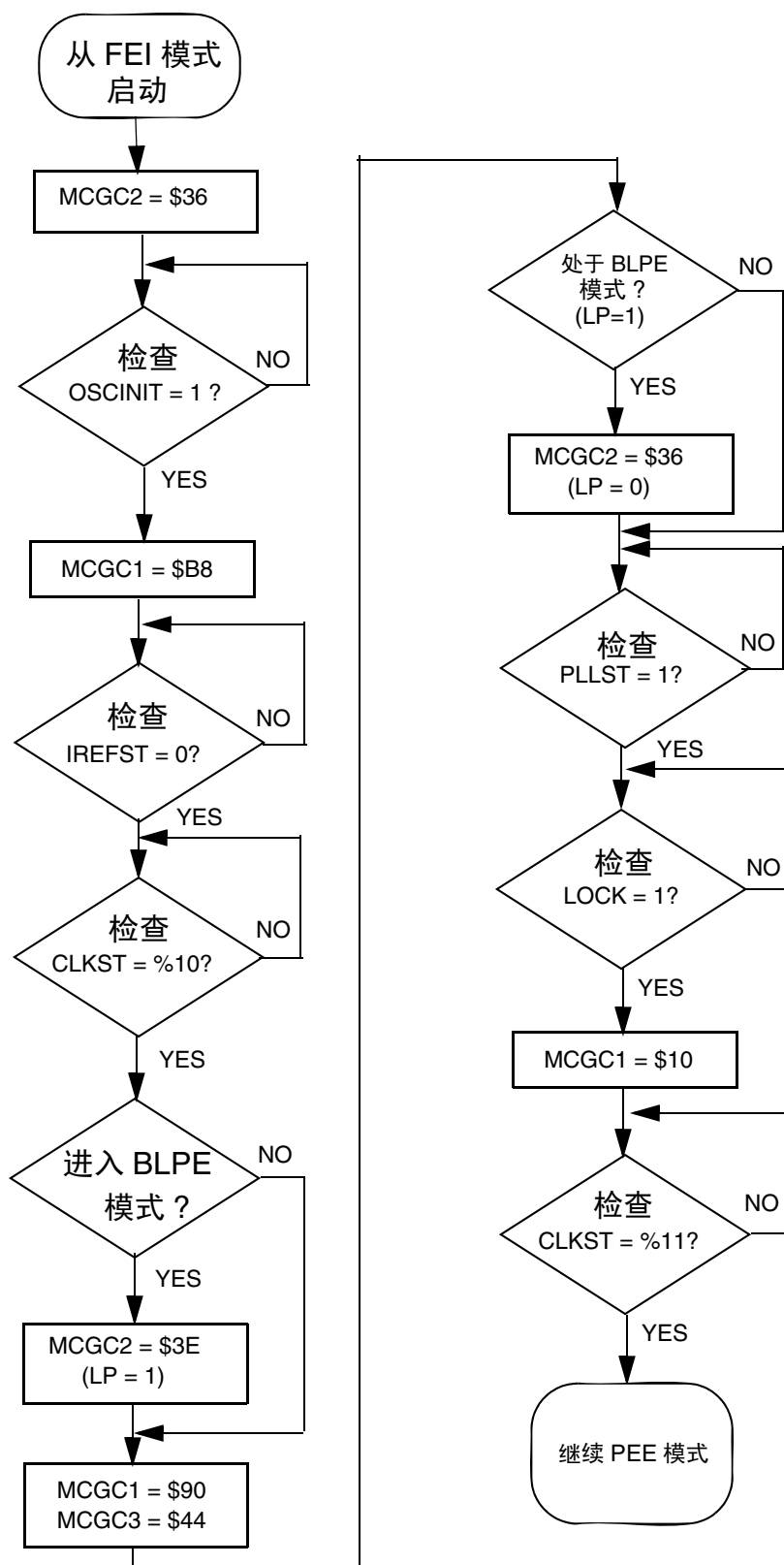


图 8-9. 使用 4 MHz 晶体从 FEI 转换到 PEE 模式的流程图

当提供了 ADHWT 源且已使能了硬件触发 (ADTRG=1) 时, ADHWT 的上升沿上就发起转换。如果转换进行过程中再出现上升沿, 该上升沿就被忽略。在连续转换模式下, 只是触发连续转换的初始上升沿有效。硬件触发功能可以结合任意转换模式和配置一起运行。

10.5.4 转换控制

转换可以在 12 位、10 位或 8 位模式下进行, 由 MODE 位决定。转换可以由软件或硬件触发发起。此外, ADC 模块也可以设置为低功率操作、长采样时间、连续转换或将转换结果与软件设定的比较值自动比较的方式。

10.5.4.1 发起转换

转换的发起:

- 如果选择软件触发操作, 在 ADCSC1 写入 (ADCH 位不全为 1) 后。
- 即使选择硬件触发操作, 在硬件触发 (ADHWT) 事件后。
- 当使能连续转换时, 在把结果传输到数据寄存器后。

如果使能连续转换, 在当前转换完成会就自动发起一个新转换。在软件触发操作中, 连续转换在写入 ADCSC1 后就开始, 并且一直持续直到被中止。在硬件触发操作中, 连续转换在硬件触发事件后开始, 并且一直持续直到被中止。

10.5.4.2 完成转换

当转换结果被传输到数据结果寄存器 ADCRH 和 ADCRL 中时, 转换完成。这通过置位 COCO 标识。如果置位 COCO 时 AIEN 高, 就会触发中断。

如果原有数据正在在 12 位或 10 位 MODE 中被读取, 拦截机制可以防止新结果覆盖 ADCRH 和 ADCRL 中的原有数据 (ADCRH 寄存器已被读取, 但 ADCRL 寄存器还没有)。当拦截处于工作状态时, 数据传输被拦截, COCO 未被置位而且新转换结果丢失。在使能了比较功能但比较条件不成立的单次转换中, 拦截不会起作用, ADC 操作终止。在其他模式下, 当数据传输被拦截时, 都会发起另另外一次转换, 而无论 ADCO 处于何种状态 (单次或连续转换使能)。

如果单次转换使能, 拦截机制可能会导致几个转换被丢失, 且功耗过高。为了避免这一问题, 数据寄存器必须在发起单转换且完成了转换后再读取。

10.5.4.3 中止转换

当出现下列情况时, 进行中的任何转换都将中止:

- ADCSC1 写入 (当前转换被中止, 如果 ADCH 不都是 1, 则会发起一个新转换。)
- ADCSC2、ADCCFG、ADCCVH 或 ADCCVL 写入。这表明出现运行模式更改, 当前转换因此无效。
- MCU 复位。
- MCU 进入停止模式, ADACK 被禁止。

当转换被中止时, 数据寄存器、ADCRH 和 ADCRL 的内容都不变, 保持上次成功转换完成后传输的值。如果由于复位中断了转换, ADCRH 和 ADCRL 返回其复位状态。

11.8 初始化 / 应用报文

模块初始化（从模块）

1. 写入：IICC2

— 使能或禁止通用呼叫

— 选择 10 位或 7 位寻址模式

2. 写入：IICA

— 设置从机

3. 写入：IICC1

— 使能 IIC 和中断

4. 初始化 RAM 变量 (IICEN = 1，IICIE = 1) 以便发送数据

5. 初始化用来实现图 11-12 所示程序的 RAM 变量

模块初始化（主机）

1. 写入：IICF

— 设置 IIC 波特率（本章提供了示例）

2. 写入：IICC1

— 使能 IIC 和中断

3. 初始化 RAM 变量（IICEN = 1，IICIE = 1），以便发送数据

4. 初始化用来实现图 11-12 所示程序的 RAM 变量

5. 写入：IICC1

— 使能 TX

寄存器模式

IICA

AD[7:1]							0
---------	--	--	--	--	--	--	---

寻址为从机（在从模式中）时，模块响应该地址

IICF

MULT	ICR						
------	-----	--	--	--	--	--	--

波特率 =BUSCLK /（2 x MULT x（SCL DIVIDER））

IICC1

IICEN	IICIE	MST	TX	TXAK	RSTA	0	0
-------	-------	-----	----	------	------	---	---

模块配置

IICS

TCF	IAAS	BUSY	ARBL	0	SRW	IICIF	RXAK
-----	------	------	------	---	-----	-------	------

模块状态标记

IICD

数据							
----	--	--	--	--	--	--	--

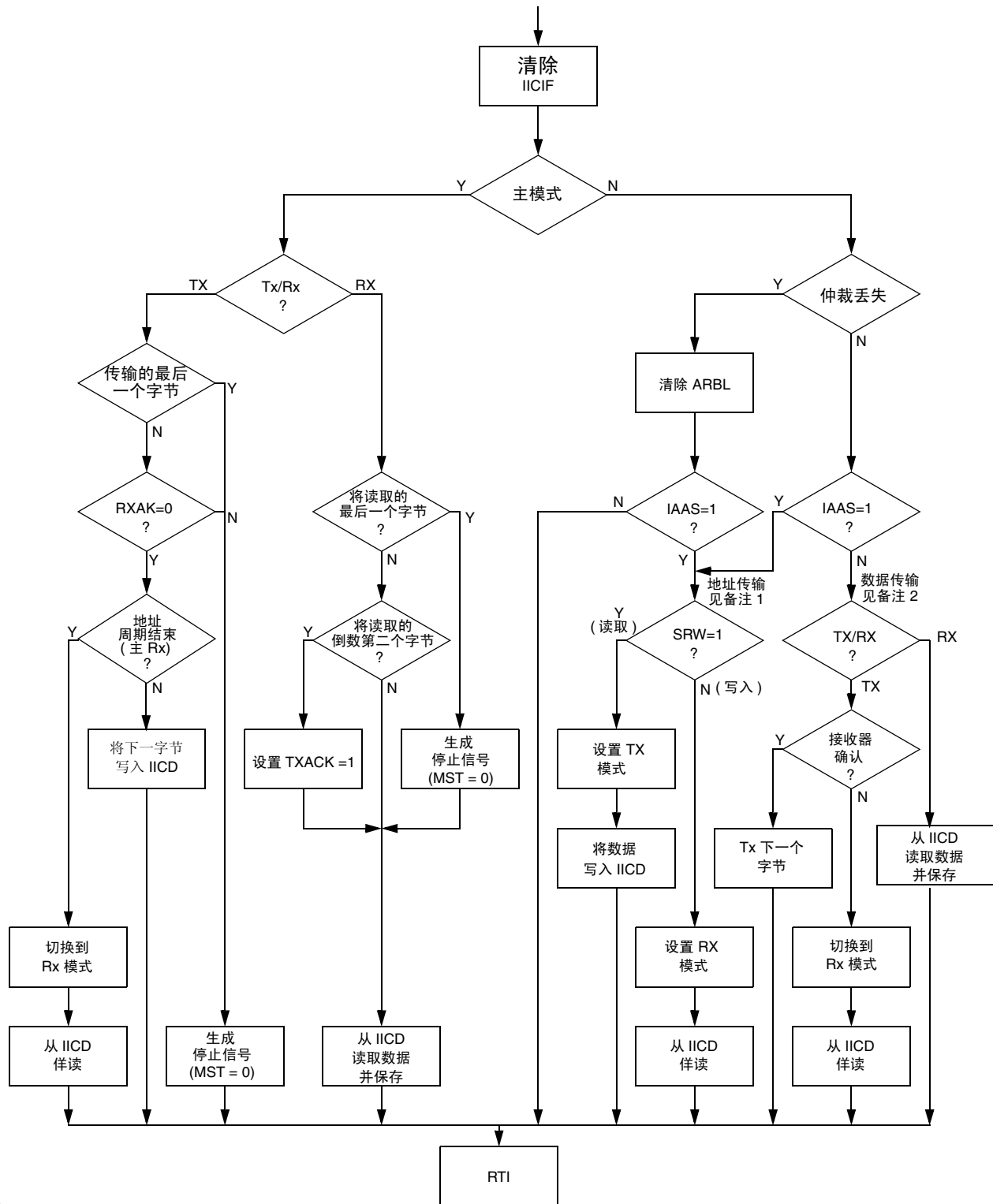
数据寄存器；通过写操作传输 IIC 数据阅读，读取 IIC 数据

IICC2

GCAEN	ADEXT	0	0	0	AD10	AD9	AD8
-------	-------	---	---	---	------	-----	-----

地址配置

图 11-11. IIC 模块快速启动



备注：

1. 如果使能了通用呼叫，必须进行检查，以确定收到的地址是否为通用呼叫地址（0x00）。如果收到的地址是通用呼叫地址，那么通用呼叫必须由用户软件处理。
2. 当使用 10 位寻址来寻址从器件时，从器件在扩展地址的首字节后发现中断。用户软件必须为该中断确保这一点，那就是忽略 IICD 的内容，且不把它作为有效数据传输对待。

图 11-12. 典型的 IIC 中断程序

表 12-9. CANRFLG 寄存器字段描述 (continued)

字段	描述
3:2 TSTAT[1:0]	发送器状态位 — 错误计数器的值控制着 MSCAN 的实际 CAN 总线状态。只要设置了状态变化中断标志 (CSCIF)，这些位就显示 MSCAN 的与接收器有关的适当 CAN 总线状态。位 TSTAT1、TSTAT0 的编码是： 00 TxOK: 0 ≤ 接收错误计数器 ≤ 96 01 RxOK: 0 < 接收错误计数器 ≤ 127 10 RxERR: 127 < 接收错误计数器 ≤ 255 11 Bus-off1: 发送错误计数器 > 255
1 OVRIF	溢出中断标志 — 该标志在出现数据溢出情况时设置。如果没有被屏蔽，当设置了该标志时有一个错误中断产生。 0 无数据溢出情况 1 检测到数据溢出
0 RXF ²	接收缓冲器已满标志 — 当新报文被转移到接收器 FIFO 中时，RXF 由 MSCAN 进行置位。该标志表示移位缓冲器是否接收了正确的报文（匹配标识符，匹配循环冗余代码（CRC）和未检测到其他错误）。在 CPU 从接收器 FIFO 中的 RxFG 缓冲器那里读取了该报文后，RXF 标志必须清除，以释放缓冲器。已设置的 RXF 标志禁止下一个 FIFO 条目转移到前景缓冲器（RxFG）。如果未被屏蔽，当设置了该标志时有一个接收中断产生。 0 RxFG 中没有新报文 1 接收器 FIFO 非空。RxFG 中有报文

¹ 处于“总线脱离”状态的最重要 CAN 总线状态的冗余报文。只有当 Tx 错误计数器的错误超过 255 个时才会出现这种情况。总线脱离会影响接收器状态。一旦发送器离开其总线脱离状态，接收器状态也立即跳到 RxOK。也请参见本寄存器中的 TSTAT[1:0] 编码。

² T 为确保数据完整性，当 RXF 标志清除时，不要读取接收缓冲器寄存器。对于那些有双 CPU 的 MCU 来说，当 RXF 标志被清除时读取接收缓冲器寄存器可能会导致 CPU 故障。

12.3.5 MSCAN 接收器中断使能寄存器 (CANRIER)

该寄存器包含用于 CANRFLG 寄存器中描述的中断标志的中断使能位。

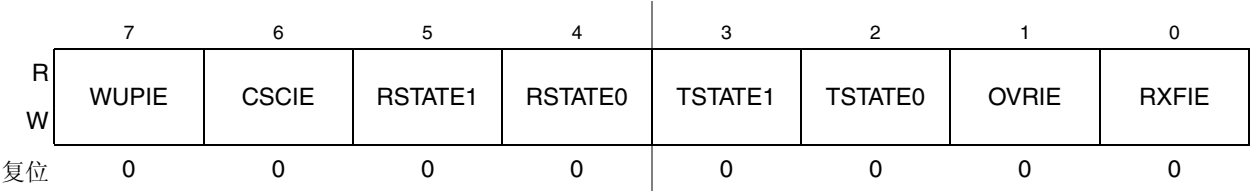


图 12-9. MSCAN 接收器中断使能寄存器 (CANRIER)

注意

当初始化模式处于有效状态时，CANRIER 寄存器保持复位状态 (INITRQ=1 and INITAK=1). 当未处于初始化模式时，该寄存器可以写入（INITRQ=0，INITAK=0）。

The RSTATE[1:0], TSTATE[1:0] 位不受初始化模式影响。

读取：任何时间
写入：未处于初始化模式的任何时间。

12.3.9 MSCAN 发送器报文中止确认寄存器 (CANTAANK)

CANTAANK 寄存器表示成功中止报文发送队列的请求，如果由 CANTARQ 寄存器中的适当位请求的话。

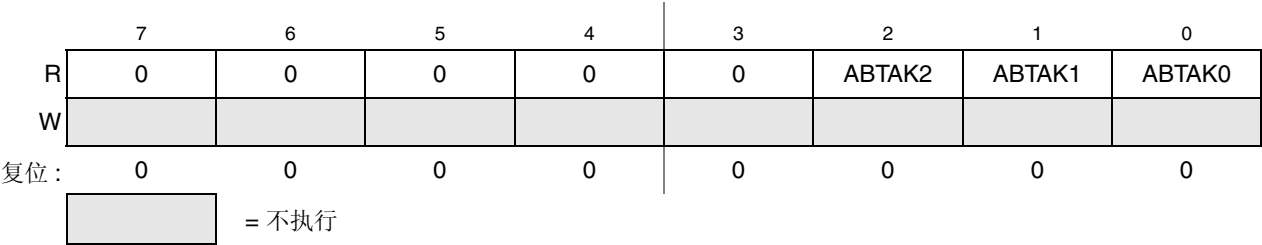


图 12-13. MSCAN 发送器报文中止确认寄存器 (CANTAANK)

注意

当初始化模式处于有效状态时，CANTAANK 寄存器保持复位状态 (INITRQ = 1，INITAK = 1)。

读取：任何时间
写入：不为 ABTAKx 标志执行

表 12-14. CANTAANK 寄存器字段描述

字段	描述
2:0 ABTAK[2:0]	中止确认 — 该标志确认由于 CPU 的产生发送中止请求而中止报文。当某个报文缓冲器标空时，软件可以使用该标志来确认报文是成功中止还是已发送出去。每当相应 TXE 标志被清除时，ABTAKx 标志就会清除。 0 报文未被中止。 1 报文被中止。

12.3.10 MSCAN 发送缓冲器选择寄存器 (CANTBSEL)

实际发送报文缓冲器的 CANTBSEL 选择，该缓冲器可以在 CANTXFG 寄存器空间访问。

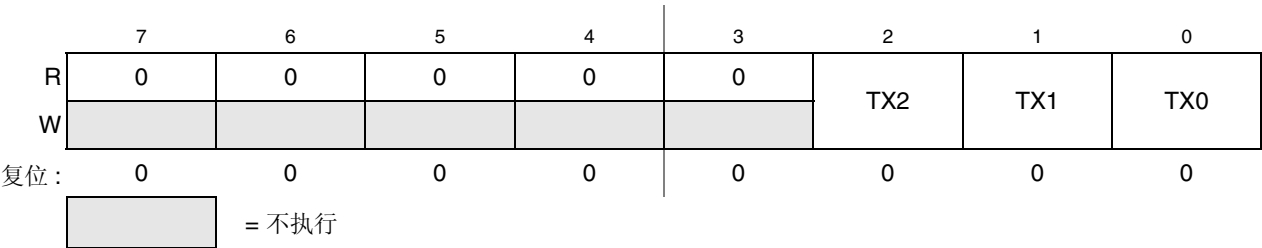


图 12-14. MSCAN 发送缓冲器选择寄存器 (CANTBSEL)

注意

当初始化模式处于有效状态时，CANTARQ 寄存器保持复位状态 (INITRQ = 1，INITAK= 1)。当未处于初始化模式时，该寄存器可以写入 (INITRQ = 0 and INITAK = 0)。

12.5.2 报文存储

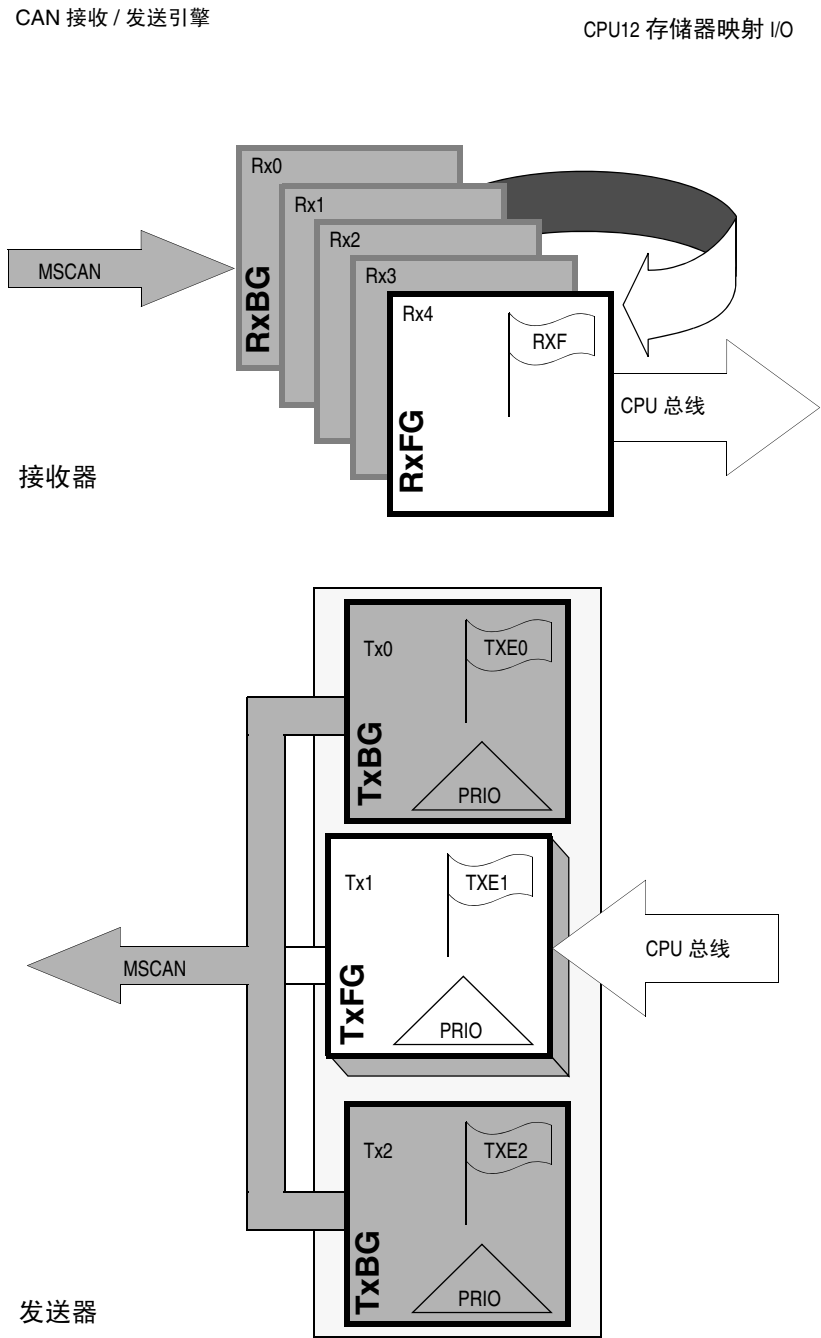


图 12-38. 报文缓冲器结构的用户模型

MSCAN 促进了一个能够满足一系列网络应用需求的先进报文存储系统。

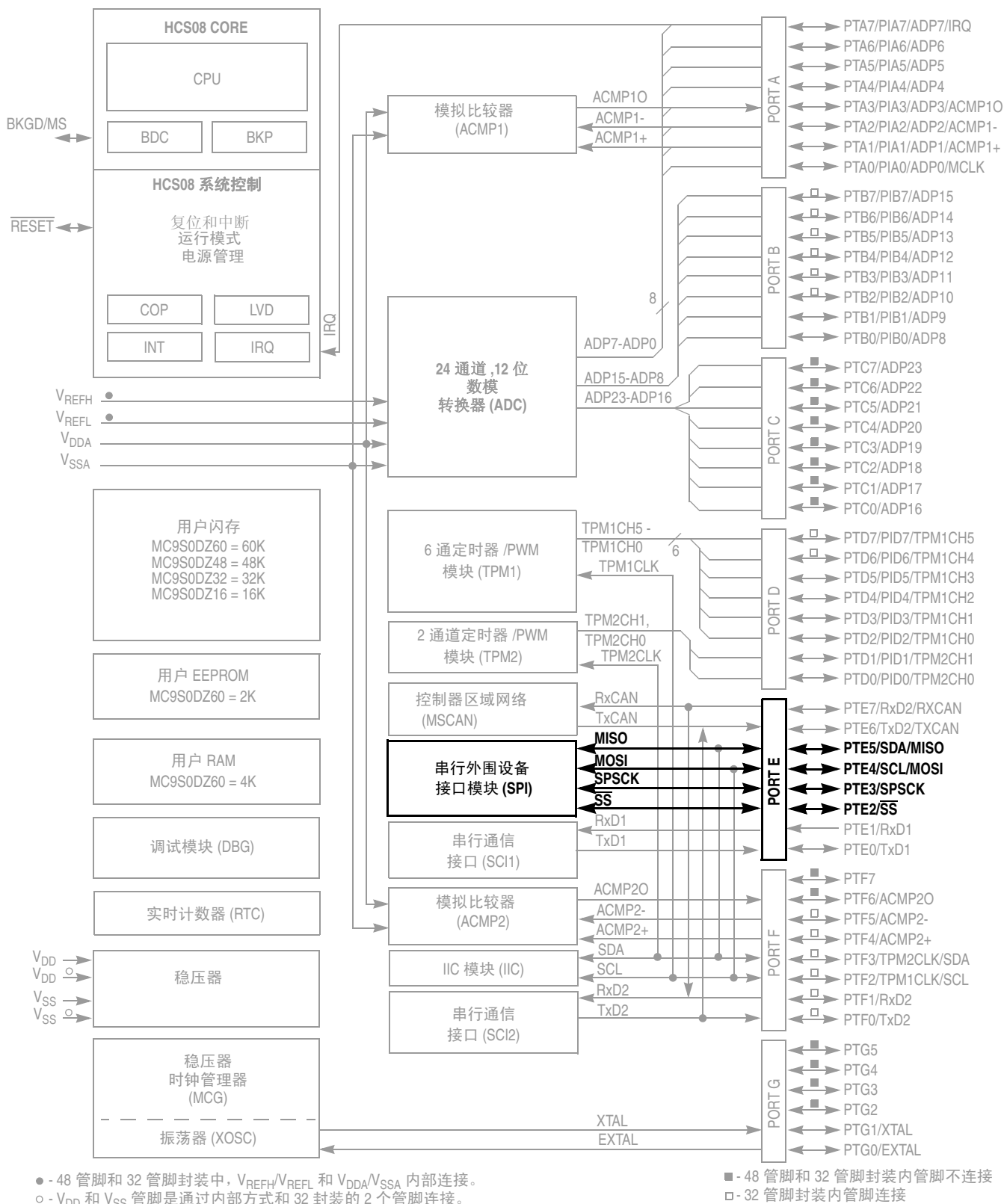


图 13-1. 强调 ADC 模块和管脚的 MC9S08DZ60 结构图

15.1.4 结构图

RTC 模块的结构图如图 15-2 所示。

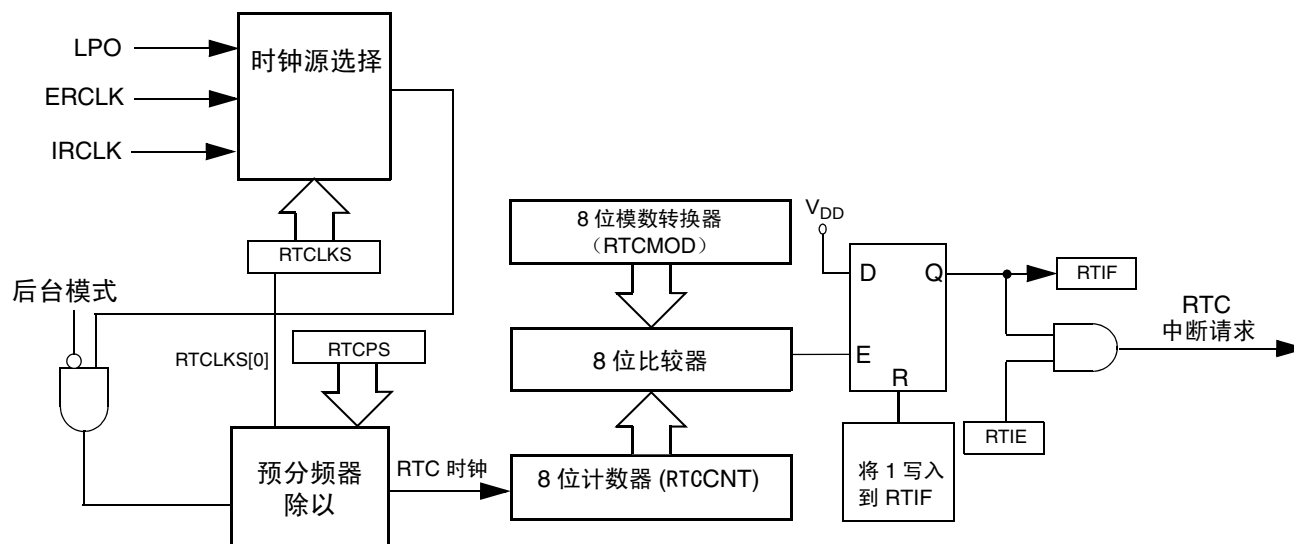


图 15-2. 实时计数器 (RTC) 结构图

15.2 外部信号描述

RTC 不包括任何片外信号。

15.3 寄存器定义

RTC 包括一个状态和控制寄存器、一个 8 位计数器寄存器和一个 8 位模数寄存器。

请参考本产品介绍内存部分的“直接页面寄存器总结”小节，了解所有 RTC 寄存器的绝对地址分配

表 15-1 为 RTC 寄存器的总结。

表 15-1. RTC 寄存器总结

Name		7	6	5	4	3	2	1	0
RTCSC	R	RTIF	RTCLKS	RTIE	RTCPS				
	W								
RTCCNT	R	RTCCNT							
	W								
RTCMOD	R	RTCMOD							
	W								

- 中央对齐 PWM (16.4.2.4, “中央对齐 PWM 模式”)

在此模式下, 如果 (CLKSB:CLKSA not = 0:0), TPM v3 在两个字节都被写入, 且 TPM 计数器从 (TPMxMODH:L - 1) 变为 (TPMxMODH:L) 时使用写入缓冲器的值更新 TPMxCnVH:L 寄存器。如果 TPM 计数器为自由运行的计数器, 那么更新在 TPM 计数器从 \$FFFE 变为 \$FFFF 时进行。然而, TPM v2 在两个字节都被写入, 且 TPM 计数器从 TPMxMODH:L 变为 (TPMxMODH:L - 1) 时进行更新。
- 5. 中央对齐 PWM (16.4.2.4, “中央对齐 PWM 模式”)
 - TPMxCnVH:L = TPMxMODH:L [SE110-TPM 案例 1]

在这种情况下, TPM v3 生成 100% 的占空比。然而, TPM v2 生成 0% 的占空比。
 - TPMxCnVH:L = (TPMxMODH:L - 1) [SE110-TPM 案例 2]

在这种情况下, TPM v3 生成几乎 100% 的占空比。然而, TPM v2 生成 0% 的占空比。
 - TPMxCnVH:L 从 0x0000 变为非零值 [SE110-TPM 案例 3 和 5]

在这种情况下, TPM v3 等待新的 PWM 时期开始, 以便开始使用新占空比设置。然而, TPM v2 在当前 PWM 周期的中间改变通道输出 (当计数达到 0x0000 时)。
 - TPMxCnVH:L 从非零值变为 0x0000 [SE110-TPM 案例 4]

在这种情况下, TPM v3 使用旧的占空比设置完成当前的 PWM 周期。然而, TPM v2 使用新占空比设置完成当前的 PWM 周期。
- 6. 在 BDM 模式下写入到 TPMxMODH:L 寄存器 (16.3.3, “TPM 计数器模数寄存器 (TPMxMODH:TPMxMODL)”)

在 TPM v3 中, BDM 模式下向 TPMxSC 寄存器的写入可清除 TPMxMODH:L 寄存器的写入一致性机制。然而, 在 TPM v2 中, TPMxSC 寄存器写入操作不会清除这个一致性机制。

表 A-6. DC 特性 (续)

编号	C	特性	符号	条件	最小值	典型值 ¹	最大值	单位
10	P	Hi-Z (关态) 漏电流 (每管脚) 所有输入 / 输出	I_{OZ}	$V_{IN} = V_{DD} \text{ or } V_{SS}$	—	0.1	1	μA
11	P	上拉电阻 (或下拉电阻 ² , 如果启用的话)	R_{PU}, R_{PD}	5 V	20	45	65	$k\Omega$
	C			3 V	20	45	65	
12	T	输入电容、所有管脚	C_{In}		—	—	8	pF
13	D	RAM 保持电压	V_{RAM}		0.9	1.4	2.0	V
14	D	POR re-arm 电压 ³	V_{POR}		0.9	1.4	2.0	V
15	D	POR re-arm 时间 ⁴	t_{POR}		10	—	—	μs
16	P	低压探测阈值 — 高量程 V_{DD} 下降 V_{DD} 上升	V_{LVD1}		3.9 4.0	4.0 4.1	4.1 4.2	V
17	P	低压探测阈值 — 低量程 V_{DD} 下降 V_{DD} 上升	V_{LVD0}		2.48 2.54	2.56 2.62	2.64 2.70	V
18	C	低压报警阈值 — 高量程 1 V_{DD} 下降 V_{DD} 上升	V_{LVW3}		4.5 4.6	4.6 4.7	4.7 4.8	V
19	P	低压报警阈值 — 高量程 0 V_{DD} 下降 V_{DD} 上升	V_{LVW2}		4.2 4.3	4.3 4.4	4.4 4.5	V
20	P	低压报警阈值 — 低量程 1 V_{DD} 下降 V_{DD} 上升	V_{LVW1}		2.84 2.90	2.92 2.98	3.00 3.06	V
21	C	低压报警阈值 — 低量程 0 V_{DD} 下降 V_{DD} 上升	V_{LVW0}		2.66 2.72	2.74 2.80	2.82 2.88	V
22	T	低压禁止复位 / 恢复滞后	V_{hys}	5 V	—	100	—	mV
				3 V	—	60	—	
23	D	dc 注入电流 ^{5, 6, 7, 8} 单管脚限制 总 MCU 限制, 包括所有加应用的管脚	I_{IC}	$V_{IN} > V_{DD}$	0	—	2	mA
				$V_{IN} < V_{SS}$	0	—	-0.2	
				$V_{IN} > V_{DD}$	0	—	25	
				$V_{IN} < V_{SS}$	0	—	-5	

中断标记和启动与 16 位主计数器相关。定时器溢出标记 (TOF) 是一种显示定时器计数器溢出的软件可接入指示。TOF 标记等于 1 时自动生成静态硬件中断的情况下, 启动信号都在软件轮询 (TOIE=0) (无硬件中断生成) 或中断驱动操作 (TOIE=1) 之间选择。

导致 TOF 被设置的条件取决于 (向上或向上 / 向下) 计数模式。在向上计数模式中, 16 位主计数器从 0x0000 计数到 0xFFFF, 并且在下一次计数时钟中溢出到 0x0000。在从 0xFFFF 向 0x0000 过渡时, TOF 被设置。设置了模数限制时, TOF 会在从模数寄存器中设置的值向 0x0000 过渡时设置。当 16 位主计数器以向上 / 向下模式运行的情况下, 计数器在从模数寄存器中设置的值和下一个更低的计数值过渡而改变方向时 TOF 标记被设置。这对应 PWM 周期的结束。(0x0000 计算值对应周期的中央。)

因为 HCS08 MCU 是一种 8 位的架构, 所以一致性机制被设计到定时器计数器中以进行读取操作。当计数器的任何一个字节 (TPMxCNTH or TPMxCNTL) 被读取时, 两个字节都被捕获到缓冲器中, 这样当另一个字节被读取时, 值会显示读取第一个字节时计数的另一个字节。计数器继续正常计数, 但是没有新的值从任意字节中读取, 直到旧的计数的两个字节都被读取。

主定时器的计数器可随时通过将任何值写入 TPMxCNTH 或 TPMxCNTL 计数的任一比特来手动复位。如果在复位计数前只有计数器的一个字节被读取, 那么这种计数器复位方式还会复位一致性机制。

B.6.2 通道模式选择

如果 CPWMS=0 (未规定中央对齐的 PWM 操作), 那么通道 n 状态和控制寄存器中 MSnB 和 MSnA 控制位为相应通道确定基本运行模式。选择包括输入捕获、输出对比或缓冲的边缘对齐 PWM。

B.6.2.1 输入捕获模式

利用输入捕获功能, TPM 可捕获外部事件发生的时间。当输入捕获通道的管脚上发生激活边时, TPM 会将 TPM 计数器的内容锁入到通道值寄存器中 (TPMxCnVH:TPMxCnVL)。上升边、下降边或任何边可被选为触发输入捕获的活动边。

当 16 位捕获寄存器的任何一个字节被读取时, 两个字节都被锁入到缓冲器中, 以支持连贯的 16 位接入而不受顺序的影响。一致性序列可通过向通道状态 / 控制寄存器 (TPMxCnSC) 中写入值来手动复位。

输入捕获事件会设置标记位 (CHnF), 该标记可选择生成一个 CPU 中断请求。

B.6.2.2 输出比较模式

通过输出比较功能, TPM 可生成具有可编程位置、极性、持续时间和频率的定时脉冲。当定时器达到输出对比通道的通道值寄存器中的值时, TPM 可以置 1, 置 0, 翻转引脚状态通道。

在输出比较模式中, 值只有在 16 位寄存器的两个 8 位字节都被写入后被传输到相应定时器的通道寄存器中。这种一致性序列可通过向通道状态 / 控制寄存器 (TPMxCnSC) 中写入值来手动复位。

输出比较事件会设置标记位 (CHnF), 该标记可选择产生 CPU 中断请求。

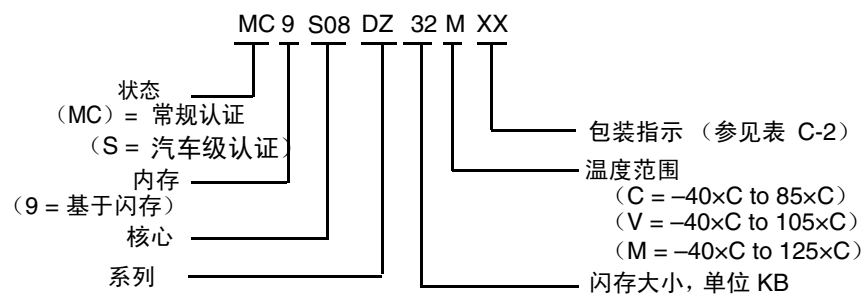
附录 C

订购信息和机械图

C.1 订购信息

本章包含 MC9S08DZ60 系列设备的订购信息。

设备编号体制举例：



C.1.1 MC9S08DZ60 Series 设备

表 C-1. MC9S08DZ60 Series 设备

设备编号	内存			可供包装 ¹
	FLASH	RAM	EEPROM	
MC9S08 DZ60	60,032	4096	2048	64-LQFP, 48-LQFP, 32-LQFP
MC9S08 DZ48	49,152	3072	1536	
MC9S08 DZ32	33,792	2048	1024	
MC9S08 DZ16	16,896	1024	512	48-LQFP, 32-LQFP

¹ 包装信息请参见表 C-2。

C.2 机械图

以下各页显示了下表中描述的包装的机械图：

表 C-2. Package 描述

Pin Count	典型值 e	Abbreviation	Designator	Document No.
64	低 Quad Flat Package	LQFP	LH	98ASS23234W
48	低 Quad Flat Package	LQFP	LF	98ASH00962A
32	低 Quad Flat Package	LQFP	LC	98ASH70029A