



Welcome to [E-XFL.COM](#)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	60KB (60K x 8)
Program Memory Type	FLASH
EEPROM Size	2K x 8
RAM Size	4K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 85°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/s9s08dz60f1clc

MC9S08DZ60 系列产品的特性

8 位 HCS08 中央处理器（CPU）

- 40-MHz HCS08 CPU（20-MHz 总线）
- HC08 指令集，带附加的 BGND 指令
- 支持最多 32 个中断 / 复位源

片内存储器

- 整个工作电压和温度范围内可读取 / 编程 / 擦除的 Flash 存储器
 - MC9S08DZ60 = 60K
 - MC9S08DZ48 = 48K
 - MC9S08DZ32 = 32K
 - MC9S08DZ16 = 16K
- 最大 2K 的 EEPROM 在线可编程内存；支持 8 字节单页或 4 字节双页擦除分区；执行 Flash 程序的同时可进行编程和擦除操作；支持擦除取消操作
- 最大 4K 的随机存取内存（RAM）

省电模式

- **两种超低功耗停止模式**
- 降低功耗的等待模式
- 超低功耗实时时钟中断，在运行、等待和停止模式下均可操作

时钟源选项

- 振荡器（XOSC）— 闭环控制的皮尔斯（Pierce）振荡器；支持范围 31.25 kHz 至 38.4 kHz 或 1 MHz 至 16MHz 之间的晶体或陶瓷谐振器
- 多功能时钟生成器（MCG）— PLL 和 FLL 模式（在使用内部温度补偿时 FLL 能够达到 1.5% 内的偏差）；带微调功能的内部参考时钟源；带可选择晶体振荡器或陶瓷谐振器的外部参考时钟源

系统保护

- 监视微控制器正常操作的看门狗（COP）复位，支持选择专用的后备 1-kHz 内部时钟源或总线时钟运行
- 带复位和中断的低压检测电路；可选择的电压阈值
- 支持非法指令代码复位
- 支持非法操作地址复位
- 支持 Flash 块保护
- 支持时钟信号丢失保护

开发支持

- 单线背景调试接口
- 片上及在线仿真（ICE），带总线实时捕获功能

外围设备

- ADC — 24 通道，12 位分辨率，2.5μs 转换时间，自动比较功能，1.7 mV/°C 温度传感器，包含内部间隙参考源通道
- ACMPx — 两个模拟比较器，支持比较器输出的上升、下降或任意边沿触发的中断；可选择与内部参考电压源进行比较
- MSCAN — CAN 协议 - V2.0 A 和 B；支持标准和扩展数据帧；支持远程帧；5 个带有 FIFO 存储机制的接收缓冲器；灵活的接收识别符过滤器，可编程如下：2 x 32 位、4 x 16 位或 8 x 8 位
- SC1x — 两个 SCI，可支持 LIN 2.0 协议和 SAE J2602 协议；全双工；主节点支持 break 信号生成；从节点支持 break 信号检测；支持激活边沿唤醒
- SPI — 全双工或单线双向；双重缓冲发射和接收；主从模式选择；支持高位优先或低位优先的移位
- IIC — 支持最高 100kbps 的总线波特率；多主节点模式运行；可编程的从地址；通用呼叫地址；逐字节数据传输驱动的中断
- TPMx — 一个 6 通道（TPM1）和一个 2 通道（TPM2）；可支持输入捕捉，输出比较，或每个通道带缓冲的边沿对齐 PWM 输出
- RTC —（实时时钟计数器）8 位模数计数器，带基于二进制或十进制的预分频器；实时时钟功能，使用外部晶体和 RTC 来确保精确时基、时间、日历或任务调度功能；内带低功耗振荡器（1 kHz），用于周期唤醒而不需要外部器件

输入 / 输出

- 53 个通用输入 / 输出（I/O）管脚和 1 个专用输入管脚
- 24 个中断管脚，每个管脚带触发极性选择
- 所有输入管脚上带电压滞后和可配置的上下拉器件
- 所有输入管脚上可配置输出斜率和驱动强度

封装选项

- 64 管脚小尺寸四方扁平封装（LQFP）— 10x10 mm
- 48 管脚小尺寸四方扁平封装（LQFP）— 7x7 mm
- 32 管脚小尺寸四方扁平封装（LQFP）— 7x7 mm

表 4-2. 直接页面寄存器总结 (第 1 页, 共 3 页)

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0x0029	TPM1C1VH	Bit 15	14	13	12	11	10	9	Bit 8
0x002A	TPM1C1VL	Bit 7	6	5	4	3	2	1	Bit 0
0x002B	TPM1C2SC	CH2F	CH2IE	MS2B	MS2A	ELS2B	ELS2A	0	0
0x002C	TPM1C2VH	Bit 15	14	13	12	11	10	9	Bit 8
0x002D	TPM1C2VL	Bit 7	6	5	4	3	2	1	Bit 0
0x002E	TPM1C3SC	CH3F	CH3IE	MS3B	MS3A	ELS3B	ELS3A	0	0
0x002F	TPM1C3VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0030	TPM1C3VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0031	TPM1C4SC	CH4F	CH4IE	MS4B	MS4A	ELS4B	ELS4A	0	0
0x0032	TPM1C4VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0033	TPM1C4VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0034	TPM1C5SC	CH5F	CH5IE	MS5B	MS5A	ELS5B	ELS5A	0	0
0x0035	TPM1C5VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0036	TPM1C5VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0037	预留	—	—	—	—	—	—	—	—
0x0038	SCI1BDH	LBKDIE	RXEDGIE	0	SBR12	SBR11	SBR10	SBR9	SBR8
0x0039	SCI1BDL	SBR7	SBR6	SBR5	SBR4	SBR3	SBR2	SBR1	SBR0
0x003A	SCI1C1	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT
0x003B	SCI1C2	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK
0x003C	SCI1S1	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF
0x003D	SCI1S2	LBKDIF	RXEDGIF	0	RXINV	RWUID	BRK13	LBKDE	RAF
0x003E	SCI1C3	R8	T8	TXDIR	TXINV	ORIE	NEIE	FEIE	PEIE
0x003F	SCI1D	Bit 7	6	5	4	3	2	1	Bit 0
0x0040	SCI2BDH	LBKDIE	RXEDGIE	0	SBR12	SBR11	SBR10	SBR9	SBR8
0x0041	SCI2BDL	SBR7	SBR6	SBR5	SBR4	SBR3	SBR2	SBR1	SBR0
0x0042	SCI2C1	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT
0x0043	SCI2C2	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK
0x0044	SCI2S1	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF
0x0045	SCI2S2	LBKDIF	RXEDGIF	0	RXINV	RWUID	BRK13	LBKDE	RAF
0x0046	SCI2C3	R8	T8	TXDIR	TXINV	ORIE	NEIE	FEIE	PEIE
0x0047	SCI2D	Bit 7	6	5	4	3	2	1	Bit 0
0x0048	MCGC1	CLKS		RDIV			IREFS	IRCLKEN	IREFSTEN
0x0049	MCGC2	BDIV		RANGE	HGO	LP	EREFS	ERCLKEN	EREFSTEN
0x004A	MCGTRM	TRIM							
0x004B	MCGSC	LOLS	LOCK	PLLST	IREFST	CLKST		OSCINIT	FTRIM
0x004C	MCGC3	LOLIE	PLLS	CME	0	VDIV			
0x004D– 0x004F	预留	—	—	—	—	—	—	—	—
0x0050	SPIC1	SPIE	SPE	SPTIE	MSTR	CPOL	CPHA	SSOE	LSBFE
0x0051	SPIC2	0	0	0	MODFEN	BIDIROE	0	SPISWAI	SPC0

安全密钥只能从安全存储器（RAM、EEPROM 或 Flash）中写入，因此在没有安全的用户程序协作的情况下不能通过后台命令输入。

后门对比密钥 (NVBACKKEY through NVBACKKEY+7) 保存在非易失性寄存器空间内的 Flash 位置上，因此用户可以准确地编程这些位置，就象编程任何其他 Flash 位置一样。非易失性寄存器与复位和中断向量在 Flash 的同一个 768 字节块中，因此对这一空间进行块保护同时也可以保护后门对比密钥。块保护不能从用户应用程序上修改，因此，如果向量空间受到块保护，后门安全密钥机制就不能永久性地修改块保护、安全设置或后门密钥。

通过以下步骤，您可以通过后台调试接口始终关闭安全性：

1. 通过写入 FPROT 来禁用任何块保护。FPROT 只能通过后台调试命令写入而不能通过应用软件写入。
2. 在必要时整体擦除 Flash。
3. 对 Flash 进行空白检查。如果 Flash 内完全擦除，那么在下次复位前安全性一直处于关闭状态。为了避免在下次复位后返回到安全模式，对 NVOPT 进行编程使 SEC = 1:0。

4.5.10 EEPROM 映射

只有一半 EEPROM 处于存储器映象中。FCNFG 寄存器中的 EPGSEL 位用于确定阵列的哪一半可从前台访问，而另一半不能从后台访问。对于配置 8 字节 EEPROM 分区，有两种映射模式可供选择：4 字节模式和 8 字节模式。每种模式都通过 FOPT 寄存器中的 EPGMOD 位确定。

在 4 字节分区模式 (EPGMOD = 0) 中，每个 8 个字节分区被分成两部分，4 个字节在前台，4 个在后台，但都在相同的地址上。EPGSEL 位确定哪 4 个字节可以访问。在分区擦除过程中，整个 8 字节分区（前台的 4 个字节和后台的 4 个字节）都被擦除。

在 8 字节分区模式 (EPGMOD = 1) 中，每个 8 字节分区在一个页面上。EPGSEL 位确定哪些分区在后台。在分区擦除过程中，前台的整个 8 字节分区会被擦除。

4.5.11 Flash 和 EEPROM 寄存器及控制位

Flash 和 EEPROM 模块在高端页面寄存器空间内有 7 个 8 位寄存器，在 Flash 的非易失性寄存器空间内有 3 个位置。这些位置中的两个在复位时被拷贝到两个相应的高端页面控制寄存器中。Flash 中还有一个 8 字节对比密钥。对于 Flash 和 EEPROM 寄存器的绝对地址分配情况，请参见表 4-3 和表 4-5。这一部分用名称指代寄存器和控制位。通常飞思卡尔半导体提供变量定义或头文件用于将这些名称转换为相应的绝对地址。

4.5.11.1 Flash 和 EEPROM 时钟分频寄存器 (FCDIV)

该寄存器的第 7 位是一个只读标记。6:0 位可以在任何时候读取但只能写入一次。在开始任何擦除或编程操作之前，写入该寄存器以将非易失性内存系统的时钟频率设置在可接受的限度内。



图 4-5. Flash 和 EEPROM 时钟分频寄存器 (FCDIV)

表 4-7. FCDIV 寄存器字段描述

字段	描述
7 DIVLD	Divisor 加载状态标识 — 当置 1 时，这个只读状态标记指出 FCDIV 寄存器自从复位后已有写入。复位会清除该位而且第一次写入该寄存器的操作将导致该位被置 1，不管写入什么数据。 0 FCDIV 自复位后没有写入；Flash 和 EEPROM 的擦除和编程操作被禁止。 1 FCDIV 自复位后已写入；Flash 和 EEPROM 的擦除和编程操作已开启。
6 PRDIV8	预分频（分频）Flash 和 EEPROM 时钟除以 8（该位只设置一次。） 0 Flash 和 EEPROM 时钟分频器的时钟输入为总线速率时钟。 1 Flash 和 EEPROM 时钟分频器的时钟输入为总线速率时钟除以 8。
5:0 DIV	Divisor for Flash 和 EEPROM 时钟分频器 — 这些位只写入一次。Flash 和 EEPROM 时钟分频器用 6 位 DIV 字段中的值除总线速率时钟（如果 PRDIV8 = 1，则用总线速率时钟除以 8）再加 1。最后的内部 Flash 和 EEPROM 时钟的频率必须在 200 kHz 到 150 kHz 的范围内，这样才能使 Flash 和 EEPROM 正常运行。编程 / 擦除定时脉冲为这个内部 Flash 和 EEPROM 时钟的一个循环，这相当于 5 ms 到 6.7 ms。自动编程逻辑使用这些脉冲的整数来完成擦除或编程操作。请参见 等式 4-1 和 等式 4-2。

if PRDIV8 = 0 – $f_{FCLK} = f_{Bus} \div (DIV + 1)$ 等式 4-1

if PRDIV8 = 1 – $f_{FCLK} = f_{Bus} \div (8 \times (DIV + 1))$ 等式 4-2

表 4-8 为给定总线频率上 PRDIV8 和 DIV 的相应值。

表 4-8. Flash 和 EEPROM 时钟分频器设置

f_{Bus}	PRDIV8 (二进制)	DIV (十进制)	f_{FCLK}	编程 / 擦除定时脉冲 (最少 5 μs , 最多 6.7 μs)
20 MHz	1	12	192.3 kHz	5.2 μs
10 MHz	0	49	200 kHz	5 μs
8 MHz	0	39	200 kHz	5 μs
4 MHz	0	19	200 kHz	5 μs
2 MHz	0	9	200 kHz	5 μs
1 MHz	0	4	200 kHz	5 μs
200 kHz	0	0	200 kHz	5 μs
150 kHz	0	0	150 kHz	6.7 μs

5.6 低电压检测 (LVD) 系统

MC9S08DZ60 系列包括一个防止低电压的系统，以便在电源电压不稳时保护存储器内容、控制 MCU 系统状态。该系统由加电复位 (POR) 电路和 LVD 电路组成，其中 LVD 电路带脱扣电压用于警告和检测。当 SPMSC1 中的 LVDE 设置为 1 时，LVD 电路使能。当进入停止模式时，LVD 禁止，除非 SPMSC1 中设置了 LVDSE。如果同时设置了 LVDSE 和 LVDE，那么 MCU 不能进入 stop2（进入 stop3），LVD 激活的 stop3 模式更耗电。

5.6.1 加电复位操作

当首次接通 MCU 的电源时，或当电源电压低于加电复位准备电压 V_{POR} 时，POR 电路会发起复位。随着电源电压升高，LVD 电路让 MCU 保持复位状态，直到电源高于低压检测低阈值 V_{LVDL} 。POR 后，SRS 中 POR 位和 LVD 位同时被设置。

5.6.2 低压检测 (LVD) 复位操作

通过把 LVDRE 设置为 1，可以在检测到低压情况时配置 LVD 以发起复位。低压检测阈值由 LVDV 位决定。在 LVD 复位后，LVD 系统会让 MCU 保持复位状态，直到电源电压高于低压检测阈值。LVD 复位或 POR 后都会在 SRS 寄存器中设置 LVD 位。

5.6.3 低压警告 (LVW) 中断操作

LVD 系统有一个低压警告标记，告知用户电源电压正接近低压条件。当检测到低压警告并配置了中断操作 (LVWIE 设置为 1) 时，SPMSC1 中的 LVWF 会被设置，而且会出现 LVW 中断请求。

5.7 MCLK 输出

PTA0 管脚共用于 MCLK 时钟输出。如果 MCSEL 位都是 0，MCLK 时钟禁止。若 MCSEL 的任意一个位被设置，无论该管脚的端口数据方向控制位的状态如何，都会导致 PTA0 管脚输出内部 MCU 总线时钟分频后时钟。分频比率由 MCSEL 位决定。管脚的斜率和驱动强度分别由 PTASE0 和 PTADS0 控制。如果斜率控制功能被打开，最大时钟输出频率将会受到限制。如需了解不同情况下的最大频率，请参见电气技术规范。

5.8 复位、中断及系统控制寄存器和控制位

直接页面寄存器空间里的一个 8 位寄存器和高页寄存器空间的八个 8 位寄存器都与复位和中断系统有关。

如需了解各寄存器的绝对地址分配，请参见本产品说明第 4 章，“存储器”的表 4-2 和表 4-3。本节只根据它们的名称提及寄存器和控制位。飞思卡尔提供的等式或头文件用来把这些名称转换为相应的绝对地址。

SOPT1 和 SPMSC2 寄存器中的有些控制位与运行模式有关。此处对这些位进行简要描述，更详细的描述参见第 3 章，“操作模式”。

表 7-2. 指令集小结 (第 3 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V I 1 H	I N Z C
BRA <i>rel</i>	总是分支 (如果 I = 1)	REL	20 rr	3	ppp	- 1 1 -	- - - -
BRCLR <i>n,opr8a,rel</i>	如果存储器的位 <i>n</i> 清除, 分支 (如果 (Mn) = 0)	DIR (b0) DIR (b1) DIR (b2) DIR (b3) DIR (b4) DIR (b5) DIR (b6) DIR (b7)	01 dd rr 03 dd rr 05 dd rr 07 dd rr 09 dd rr 0B dd rr 0D dd rr 0F dd rr	5 5 5 5 5 5 5 5	rppppp rppppp rppppp rppppp rppppp rppppp rppppp rppppp	- 1 1 -	- - - ↑
BRN <i>rel</i>	从不分支 (如果 I = 0)	REL	21 rr	3	ppp	- 1 1 -	- - - -
BRSET <i>n,opr8a,rel</i>	如果存储器的位 <i>n</i> 设置, 分支 (如果 (Mn) = 1)	DIR (b0) DIR (b1) DIR (b2) DIR (b3) DIR (b4) DIR (b5) DIR (b6) DIR (b7)	00 dd rr 02 dd rr 04 dd rr 06 dd rr 08 dd rr 0A dd rr 0C dd rr 0E dd rr	5 5 5 5 5 5 5 5	rppppp rppppp rppppp rppppp rppppp rppppp rppppp rppppp	- 1 1 -	- - - ↑
BSET <i>n,opr8a</i>	在存储器里设置位 <i>n</i> (Mn ~ 1)	DIR (b0) DIR (b1) DIR (b2) DIR (b3) DIR (b4) DIR (b5) DIR (b6) DIR (b7)	10 dd 12 dd 14 dd 16 dd 18 dd 1A dd 1C dd 1E dd	5 5 5 5 5 5 5 5	rffwpp rffwpp rffwpp rffwpp rffwpp rffwpp rffwpp rffwpp	- 1 1 -	- - - -
BSR <i>rel</i>	分支到子程序 PC ~ (PC) + \$0002 推 (PCL); SP ~ (SP) - \$0001 推 (PCH); SP ~ (SP) - \$0001 PC ~ (PC) + <i>rel</i>	REL	AD rr	5	ssppp	- 1 1 -	- - - -
CBEQ <i>opr8a,rel</i> CBEQA # <i>opr8i,rel</i> CBEQX # <i>opr8i,rel</i> CBEQ <i>opr8,X+,rel</i> CBEQ <i>,X+,rel</i> CBEQ <i>opr8,SP,rel</i>	比较 ... 分支, 如果 (A) = (M) 分支, 如果 (A) = (M) 分支, 如果 (X) = (M) 分支, 如果 (A) = (M) 分支, 如果 (A) = (M) 分支, 如果 (A) = (M)	DIR IMM IMM IX1+ IX+ SP1	31 dd rr 41 ii rr 51 ii rr 61 ff rr 71 rr 9E 61 ff rr	5 4 4 5 5 6	rppppp ppppp ppppp rppppp rffppp prppppp	- 1 1 -	- - - -
CLC	清除进位 (C ~ 0)	INH	98	1	p	- 1 1 -	- - - 0
CLI	清除中断屏蔽位 (I ~ 0)	INH	9A	1	p	- 1 1 -	0 - - -
CLR <i>opr8a</i> CLRA CLR X CLR H CLR <i>opr8,X</i> CLR <i>,X</i> CLR <i>opr8,SP</i>	清除 M ~ \$00 A ~ \$00 X ~ \$00 H ~ \$00 M ~ \$00 M ~ \$00 M ~ \$00	DIR INH INH INH IX1 IX SP1	3F dd 4F 5F 8C 6F ff 7F 9E 6F ff	5 1 1 1 5 4 6	rffwpp p p p rffwpp rffw prffwpp	0 1 1 -	- 0 1 -

9.1.4 结构图

模拟比较器模块的结构图如图 9-2。

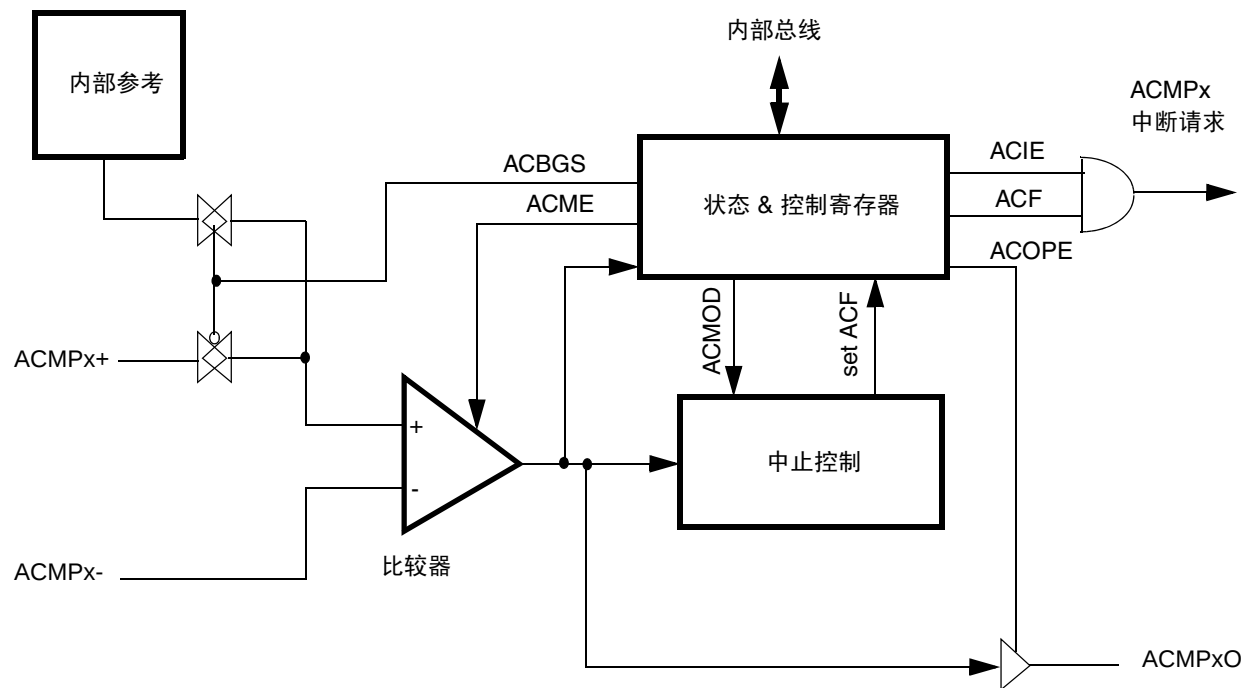


图 9-2. 模拟比较器（ACMP）结构图

9.2 外部信号描述

ACMP 有两个模拟输入管脚 ACMPx+ 和 ACMPx-，有一个数字输出管脚 ACMPxO。输入管脚可接受的电压范围在 MCU 正常工作电压范围内。如图 9-2 所示，ACMPx- 管脚连接比较器的反相输入，如果 ACBGS 是 0，ACMPx+ 管脚连接比较器的同相输入。如图 9-2 所示，可以使能 ACMPxO 管脚来驱动外部输出。

ACM 的信号属性如表 9-1 所示。

表 9-1. 信号属性

信号	功能	I/O
ACMPx-	ACMP 的反相模拟输入（负输入）	I
ACMPx+	ACMP 的同相模拟输入（正输入）	I
ACMPxO	ACMP 的数字输出	O

11.8 初始化 / 应用报文

模块初始化（从模块）

1. 写入：IICC2

— 使能或禁止通用呼叫

— 选择 10 位或 7 位寻址模式

2. 写入：IICA

— 设置从机

3. 写入：IICC1

— 使能 IIC 和中断

4. 初始化 RAM 变量 (IICEN = 1，IICIE = 1) 以便发送数据

5. 初始化用来实现图 11-12 所示程序的 RAM 变量

模块初始化（主机）

1. 写入：IICF

— 设置 IIC 波特率（本章提供了示例）

2. 写入：IICC1

— 使能 IIC 和中断

3. 初始化 RAM 变量（IICEN = 1，IICIE = 1），以便发送数据

4. 初始化用来实现图 11-12 所示程序的 RAM 变量

5. 写入：IICC1

— 使能 TX

寄存器模式

IICA

AD[7:1]

0

寻址为从机（在从模式中）时，模块响应该地址

IICF

MULT

ICR

波特率 =BUSCLK /（2 x MULT x（SCL DIVIDER））

IICC1

IICEN

IICIE

MST

TX

TXAK

RSTA

0

0

模块配置

IICS

TCF

IAAS

BUSY

ARBL

0

SRW

IICIF

RXAK

模块状态标记

IICD

数据

数据寄存器；通过写操作传输 IIC 数据阅读，读取 IIC 数据

IICC2

GCAEN

ADEXT

0

0

0

AD10

AD9

AD8

地址配置

图 11-11. IIC 模块快速启动

12.5.2.1 报文发送基础

现代应用层软件的建立基于两个基本假设：

- 任何 CAN 节点都能够发送出安排好的报文流，而不需要在两条报文间释放 CAN 总线。这些节点在发送上一条报文后立即仲裁 CAN 总线，只当仲裁丢失时释放 CAN 总线。
- 安排 CAN 节点内的内部报文队列，这样，如果有多条报文准备发送时，最高优先级报文首先发出。

以上中描述的行为不能用单个发送缓冲器来实现。该缓冲器在上一条报文发送后必须立即重新加载。加载流程的持续时间有限，必须在帧间顺序（IFS）内完成，以便能够发送不中断报文流。即便这对于有限总线速度的 CAN 来说可行，但它要求 CPU 有最短的发送中断延迟时间。

双缓冲器机制能够把发送缓冲器的重新加载和实际的报文发送分开，因此降低了 CPU 的响应要求。问题可能出在完成报文的发送时 CPU 正重新加载第二个缓冲器，这时没有缓冲器做好发送准备，CAN 总线会被释放。

无论在什么情况下，至少需要三个发送缓冲器来满足上述第一个要求。MSCAN 有三个发送缓冲器。

第二个要求需要某些类型的内部优先排队，MSCAN 用 12.5.2.2，“发送结构”中描述的“本地优先级”来执行该优先排队。

12.5.2.2 发送结构

MSCAN 三重发送缓冲器机制允许提前建立多条报文，从而优化了实时性能。这三个缓冲器的安排如图 12-38. 所示。

这三个缓冲器都具有类似接收缓冲器的 13 字节数据结构（参见 12.4，“报文存储模式”）。

12.4.5，“发送缓冲器优先寄存器 (TBPR)”包含 8 位本地优先级字段（PRIO）（参见 12.4.5，“发送缓冲器优先寄存器 (TBPR)”）。剩下的两个字节用于报文的时间标签，如果需要的话（参见 12.4.6，“时间标签寄存器 (TSRH - TSRL)”）。

要发送报文，CPU 必须确定可用的发送缓冲器，这由置位的发送器缓冲器空（TXEx）标志（参见 12.3.6，“MSCAN 发送器标志寄存器 (CANTFLG)”）表示。如果发送缓冲器可用，CPU 必须通过写入 CANTBSEL 寄存器（参见 12.3.10，“MSCAN 发送缓冲器选择寄存器 (CANTBSEL)”），为该缓冲器设置一个指针。这使得各自的缓冲器能够在 CANTXFG 地址空间内访问（参见 12.4，“报文存储模式”）。与 CANTBSEL 寄存器有关的算法功能简化了发送缓冲器选择。此外，这种机制使程序软件处理更为简单，因为发送流程只需访问一个地址，节省所需地址空间。

然后，CPU 将标识符、控制位和数据内容保存到一个发送缓冲器。最后，通过清除相关 TXE 标志，缓冲器标志为发送准备就绪。

MSCAN 然后安排报文发送，并通过设置相关 TXE 标志，通知缓冲器成功发送。当设置了 TXEx，可触发发送中断（参见 12.5.7.2，“发送中断”）¹，能够用来使应用软件重新加载缓冲器。

1. 只有当未屏蔽时才会发生发送中断。轮询机制也可应用于 TXEx。

12.5.7.7 从恢复停止或 等待

MSCAN 可以通过唤醒中断从停止或等待中恢复。只有当 MSCAN 在进入断电模式前处于 睡眠模式 (SLPRQ = 1, SLPK = 1) 时, 唤醒选项被使能 (WUPE = 1), 唤醒中断使能 (WUPIE = 1), 这种中断才能发生。

12.6 初始化 / 应用信息

12.6.1 MSCAN 初始化

系统复位后, 初始化 MSCAN 模块的流程如下:

1. 置位 CANE
2. 写入处于初始化模式的配置寄存器
3. 清除 INITRQ, 离开初始化模式, 进入正常模式

当 MSCAN 模块处于正常模式下, 需要更改只能在初始化模式中写入的寄存器:

1. CAN 总线空闲后, 通过设置 SLPRQ 并等待 SLPK 进行确认, 将模块置入睡眠模式。
2. 进入初始化模式: 确定 INITRQ 并等待 INITAK
3. 写入处于初始化模式的配置寄存器
4. 清除 INITRQ, 离开初始化模式, 继续保持正常模式

12.6.2 总线脱离恢复

用户可配置总线脱离恢复功能。总线脱离状态既可以自动退出, 也可以在用户的请求下退出。

出于向前兼容原因, 复位后, MSCAN 默认为自动恢复。在这种情况下, 在计数 128 次 CAN 总线上 11 个连续隐性位的出现后, MSCAN 将重新变成 ERROR ACTIVE (详情请参见 Bosch CAN 规范)。

如果 MSCAN 配置为用于用户请求模式 12.3.2, “控制寄存器 1 (CANCTL1)” 中设置的 BORM), 从总线脱离中恢复依赖于以下两个独立事件都成立后:

- 发现 128 次 CAN 总线上的 11 个连续隐性位
- 12.3.12, “MSCAN 其他寄存器 (CANMISC)” 中的 BOHOLD 已经被用户清除

这两个事件的发生顺序任意。

13.2 外部信号描述

SPI 共享 4 个端口管脚。这些管脚的功能取决于 SPI 控制位的设置。当 SPI 禁止 ($SPE = 0$) 时, 这 4 个管脚恢复为不受 SPI 控制的通用端口 I/O 管脚。

13.2.1 SPSCK — SPI 串行时钟

当 SPI 作为从 SPI 被使能时, 该管脚是串行时钟输入。当 SPI 作为主 SPI 被使能时, 该管脚是串行时钟输出。

13.2.2 MOSI — Master Data Out, Slave Data In

当 SPI 作为主 SPI 被使能且 SPI 管脚控制零 ($SPC0$) 为 0 (不是双向模式) 时, 该管脚是串行数据输出。当 SPI 作为从 SPI 被使能且 $SPC0 = 0$ 时, 该管脚为串行数据输入。如果 $SPC0 = 1$, 选择单线双向模式并选择了主模式, 该管脚就成为双向数据 I/O 管脚 ($MOMI$)。同样, 双向模式输出使能位决定该管脚作为输入 ($BIDIROE = 0$) 管脚还是输出管脚 ($BIDIROE = 1$)。如果 $SPC0 = 1$ 且选择了辅模式, 该管脚不会被 SPI 使用, 并恢复为通用端口 I/O 管脚。

13.2.3 MISO — Master Data In, Slave Data Out

当 SPI 作为主 SPI 被使能且 SPI 管脚控制零 ($SPC0$) 为 0 (不是双向模式) 时, 该管脚是串行数据输入。当 SPI 作为从 SPI 被使能且 $SPC0 = 0$ 时, 该管脚是串行数据输出。如果 $SPC0 = 1$, 选择单线双向模式并选择了辅模式, 该管脚变成双向数据 I/O 管脚 ($SISO$)。双向模式输出使能位决定该管脚作为输入 ($BIDIROE = 0$) 管脚还是输出管脚 ($BIDIROE = 1$)。如果 $SPC0 = 1$ 且选择了辅模式, 该管脚不会被 SPI 使用, 并恢复为通用端口 I/O 管脚。

13.2.4 $\overline{SS}$ — 从选择

当 SPI 作为从 SPI 被使能时, 该管脚是低电平有效的从选择输入。当 SPI 作为主 SPI 被使能且模式默认使能关闭 ($MODFEN = 0$) 时, 该管脚不被 SPI 使用, 并恢复为通用端口 I/O 管脚。当 SPI 作为主 SPI 被使能时, $MODFEN = 1$, 辅选择输出使能位决定该管脚是作为模式默认输入 ($SSOE = 0$) 还是辅选择输出 ($SSOE = 1$)。

13.3 运行模式

13.3.1 处于停止模式的 SPI

SPI 在所有停止模式禁止, 无论在执行 STOP 指令前的设置如何。在 STOP1 或 STOP2 模式期间, SPI 模块将完全关闭。一旦从 STOP1 或 STOP2 模式唤醒, SPI 模块将进入复位状态。在 STOP3 模式期间, SPI 模块的时钟暂停。寄存器没受到影响。如果通过复位退出 STOP3, SPI 被置复位状态。如果通过中断退出 STOP3, SPI 继续保持其进入 STOP3 时所处的状态。

表 14-3. SCIXBDL 字段描述

字段	描述
7:0 SBR[7:0]	波特率模数系数 — SBR[12:0] 中的这 13 个位统称为 BR，它们为 SCI 波特率发生器设置模数除数系数。当 BR = 0，SCI 波特率发生器禁止，以降低电源电流。当 BR = 1~8191 时，SCI 波特率 = BUSCLK / (16xBR)。也可参见表 14-2. 中的 BR 位。

14.2.2 SCI 控制寄存器 1(SCIXC1)

该读 / 写寄存器用于控制 SCI 系统的各种可选功能。

	7	6	5	4	3	2	1	0
R	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT
W								
复位	0	0	0	0	0	0	0	0

图 14-6. SCI 控制寄存器 1 (SCIXC1)

表 14-4. SCIXC1 字段描述

字段	描述
7 LOOPS	循环模式选择 — 在环回模式和正常的 2 管脚全双工模式之间选择。当 LOOPS = 1，发射器输出内部连接到接收器输入。 0 正常运行 — RxD 和 TxD 使用独立管脚。 1 循环模式或单线模式，发射器输出内部连接到接收器输入（见 <st-blue>RSRC 位）。SCI 不使用 RxD 管脚。
6 SCISWAI	等待模式中的 SCI 停止 0 SCI 时钟继续在等待模式中运行，因此 SCI 可以是唤醒 CPU 的中断源。 1 SCI 时钟在 CPU 处于等待模式时冻结。
5 RSRC	接收器源选择 — 该位没有任何意义或影响，除非 LOOPS 位设置为 1。当 LOOPS = 1 时，接收器输入内部连接到 TxD 管脚，RSRC 决定该连接是否也连接到发射器输出。 0 假设 LOOPS = 1，RSRC = 0 选择内部环回模式，SCI 不使用 RxD 管脚。 1 单线 SCI 模式，其中 TxD 管脚连接到发射器输出和接收器输入。
4 M	9 位或 8 位模式选择 0 正常 — 启动 + 8 个数据位（LSB 先发）+ 停止 1 接收器和发射器使用 9 位数据字符 启动 + 8 个数据位（LSB 先发）+ 第 9 个数据位 + 停止
3 WAKE	接收器唤醒方法选择 — 详情请 14.3.3.2, “接收器唤醒操作” 0 闲置线路唤醒 1 地址标记唤醒
2 ILT	闲置线路类型选择 — 将该位设置为 1，确保字符末端的停止位和逻辑 1 位不会计数闲置线路检测逻辑所需的逻辑高电平的 10 或 11 个位时间。如需了解更多信息，14.3.3.2.1, “闲置线路唤醒” 0 开始位后闲置字符位计数开始。 1 停止位后闲置字符位计数开始。

当通道被配置用于边缘对齐 PWM (CPWMS=0, MSnB=1 and ELSnB:ELSnA not = 0:0) 时, 数据方向被修改; TPMxCHn 管脚被强制用作受 TPM 控制的输出, 而 ELSnA 控制管脚上 PWM 输出信号的极性。当 ELSnB:ELSnA=1:0 时, TPMxCHn 管脚在每个新周期开始时被强制进入高态 (TPMxCNT=0x0000); 管脚在通道值寄存器与定时器计数器匹配时强制进入低态。当 n ELSnA=1 时, TPMxCHn 管脚在每个新周期开始时被强制进入低态 (TPMxCNT=0x0000); 而管脚在通道值寄存器与定时器计数器匹配时强制进入高态。

TPMxMODH:TPMxMODL = 0x0008
TPMxCnVH:TPMxCnVL = 0x0005

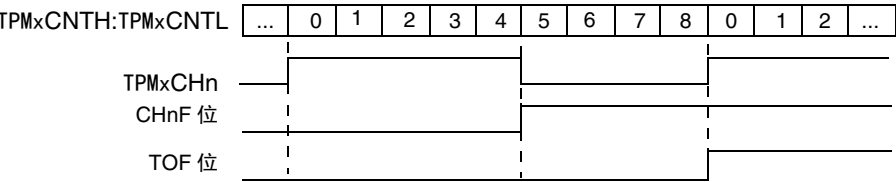


图 16-3. 边缘对齐 PWM 的 High-True 脉冲

TPMxMODH:TPMxMODL = 0x0008
TPMxCnVH:TPMxCnVL = 0x0005

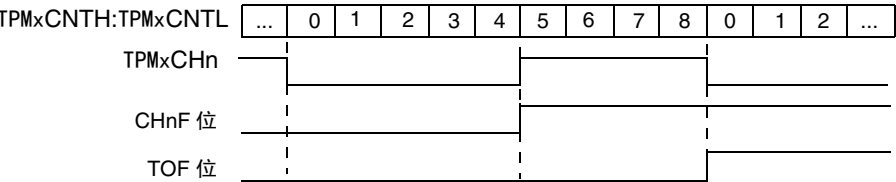


图 16-4. 边缘对齐 PWM 的 Low-True 脉冲

16.4.2.3 边缘对齐 PWM 模式

这类 PWM 输出使用定时器计数器的正常向上计数模式 (CPWMS=0)；当相同 TPM 中的其他通道被配置用于输入捕捉或输出比较功能时，也可使用它。这个 PWM 信号的周期由模数寄存器 (TPMxMODH:TPMxMODL) 的值加 1 确定。占空比由定时器通道寄存器 (TPMxCnVH:TPMxCnVL) 中的设置确定。这个 PWM 信号的极性由 ELSnA 控制位中的设置确定。0% 和 100% 的占空比都是可能的。

TPM 通道寄存器中的输出比较值决定 PWM 信号的脉冲宽度 (占空比) (图 16-15)。T 模数溢出和输出比较间的时间间隔为脉冲宽度。如果 ELSnA=0，计数器溢出强迫 PWM 信号进入高态；而输出比较强制 PWM 信号进入低态。如果 ELSnA=1，计数器溢出强迫 PWM 信号进入低态；而输出比较强制 PWM 信号进入高态。

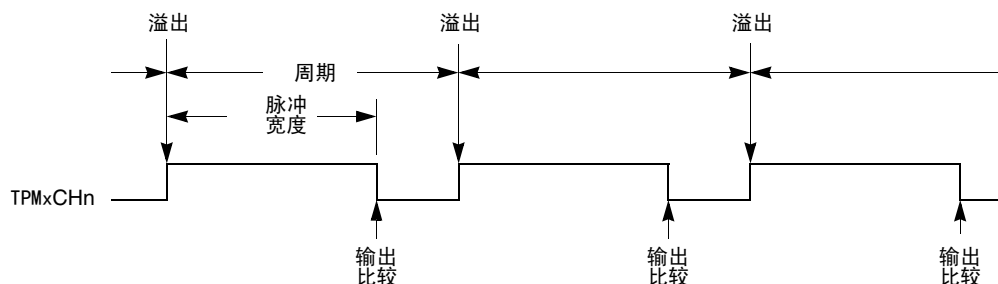


图 16-15. PWM 周期和脉冲宽度 (ELSnA=0)

当通道值寄存器被设为 0x0000 时，占空比为 0%。100%。通过将定时器通道计数器 (TPMxCnVH:TPMxCnVL) 设置为大于模数设置的值可实现 100% 的占空比。这意味着要实现 100% 的占空比，模数设置必须小于 0x FFFF。

因为 TPM 可用在 8 位 MCU 中，定时器通道寄存器中的设置被缓存，以确保连贯的 16 位更新并避免意外的 PWM 脉冲宽度。写入到任何寄存器 TPMxCnVH 和 TPMxCnVL 中意味着实际写入到缓冲器寄存器中。在边缘对齐 PWM 模式下，值根据 CLKSB:CLKSA 位的值被传输到相应的定时器通道寄存器中，因此：

- 如果 (clksb:clksa = 0:0)，寄存器在第二个字节被写入时更新
- 如果 (clksb:clksa not = 0:0)，寄存器在两个字节都被写入，tpm 计数器从 (tpmxmodh:tpmxmodl - 1) 变为 (tpmxmodh:tpmxmodl) 后更新。如果 tpm 计数器为自由运行的计数器，那么更新在 tpm 计数器从 0xffff 变为 0x0000 时进行更新。

16.4.2.4 中央对齐 PWM 模式

这类 PWM 输出使用定时器计数器 (CPWMS=1) 的向上 / 向下计数模式。TPMxCnVH:TPMxCnVL 中的输出比较值决定 PWM 信号的脉冲宽度 (占空比) 而 TPMxMODH:TPMxMODL 中的值决定周期。TPMxMODH:TPMxMODL 应保持在 0x0001 至 0x7FFF 之间，因为这一范围外的值可生成模糊结果。ELSnA 将决定 CPWM 输出的极性。

脉冲宽度 = 2 x (TPMxCnVH:TPMxCnVL)

周期 = 2 x (TPMxMODH:TPMxMODL)；TPMxMODH:TPMxMODL=0x0001-0x7FFF

如果通道值寄存器 TPMxCnVH:TPMxCnVL 为零或负数 (位 15 被设置)，占空比将为 0%。如果 TPMxCnVH:TPMxCnVL 是正值 (位 15 被清除) 并大于模数设置 (非零)，占空比将为

16.5 复位概述

16.5.1 概况

MCU 复位时 TPM 就会被复位。

16.5.2 复位操作介绍

复位清除 TPMxSC 寄存器，导致关闭 TPM 的时钟源，并禁止定时器溢出中断（TOIE=0）。CPWMS、MSnB、MSnA、ELSnB 和 ELSnA 可被全部清除，这使相关的被配置为输入捕捉功能的所有 TPM 通道与 I/O 口逻辑断开（因此与 TPM 相关的所有 MCU 管脚恢复到通用输入 / 输出管脚）。

16.6 中断

16.6.1 General

TPM 为主计数器溢出产生可选的中断，或为每个通道生成中断。通道中断的意义取决于每个通道的运行模式。通道中断的意义取决于每个通道的运行模式。如果通道配置用于输入捕捉，那么中断标志在每次所选的输入捕捉边沿被识别时设置。如果通道配置用于输出比较或 PWM 模式，那么中断标志在每次主定时器计数器与 16 位通道值寄存器中的值匹配时被设置。

表 16-8 中列出所有 TPM 中断，其中显示了中断名称及任何本地使能的名称。这些本地使能可促使中断请求离开 TPM 或被不同的处理逻辑识别。

表 16-8. 中断总结

中断	本地启动	源	描述
TOF	TOIE	定时器溢出	每次定时器计数器达到其终端计数（过渡到通常为 0x0000 的下一计数值）时设置
CHnF	CHnIE	通道事件	通道 n 上发生输入捕捉或输出比较事件 TPM 模块将提供 high-true 中断信号。

向量和优先级在中断模块中进行芯片集成时确定，因此请参考用户指南，查看有关中断模块或芯片的全部文档了解更详细信息。

16.6.2 中断操作描述

对于 TPM 中的每个中断源，标志位在识别到中断条件后设置，如定时器溢出、通道输入捕捉或输出比较事件等。这个标志可被软件读取（轮询），以确定操作已经发生，或者相关使能位（TOIE 或 CHnIE）可设置以便使能硬件中断生成。设置了中断使能位时，不论何时相关中断标记等于 1，就会生成静态中断。从中断服务程序中返回前，用户的软件必须执行一系列步骤来清除中断标志。

TPM 中断标志通过两步清除：一是标志位被设置（为 1）时读取，二是向其中写入 0。如果这两步之间检测到新事件，序列被复位，并且在完成第二步后中断标志仍被设置以避免丢失新事件。

16.6.2.1 定时器溢出中断 (TOF) 介绍

根据 TPM 系统的运行模式（通用定时功能和中央对齐 PWM 操作），TOF 中断操作的意义和细节会有细微变化。标志通过上述两步序列清除。

16.6.2.1.1 常见情况

当定时器计数器从 0xFFFF 变为 0x0000 时，TOF 通常被设置。当 TPM 没有被配置为中央对齐 PWM 时（CPWMS=0），TOF 在定时器计数器从终端计数（模数寄存器中的值）变为 0x0000 时被设置。这种情况与计数器溢出的正常意义相对应。

16.6.2.1.2 中央对齐 PWM 情况

当 CPWMS=1 时，TOF 在定时器计数器方向在终端计数（模数寄存器中的值）结束时从向上计数变为向下计数时被设置。在这种情况下，TOF 与 PWM 周期结束相对应。

16.6.2.2 通道事件中断描述

通道中断的意义取决于通道的当前模式（输入捕捉、输出比较、边缘对齐 PWM 或中央对齐 PWM）。

16.6.2.2.1 输入捕捉事件

当通道被配置为输入捕捉通道时，ELSnB:ELSnA 控制位选择无边沿（关）、上升边沿、下降边沿或任何边沿作为触发输入捕捉事件的边沿。检测到选定边沿时，中断标志被设置。标志通过 16.6.2，“中断操作描述”中所述的两步序列清除。

16.6.2.2.2 输出比较事件

如果通道被配置为输出比较通道，中断标志在每次主定时器计数器与通道值寄存器中的 16 位值匹配时被设置。标志通过 16.6.2，“中断操作描述”中所述的两步序列清除。

16.6.2.2.3 PWM 占空比结束事件

对于配置用于 PWM 操作的通道，有两种可能性。当通道配置用于边缘对齐 PWM 时，通道标志在定时器计数器与标志占空比周期结束的通道值寄存器匹配时被设置。当通道配置为中央对齐 PWM 时，定时器计数在每个 PWM 周期内两次与通道值寄存器相匹配。在这种 CPWM 情况中，通道标志在占空比周期时间开始和结束时（定时器计数器与通道值寄存器匹配时）被设置。标志通过 16.6.2，“中断操作描述”中所述的两步序列清除。

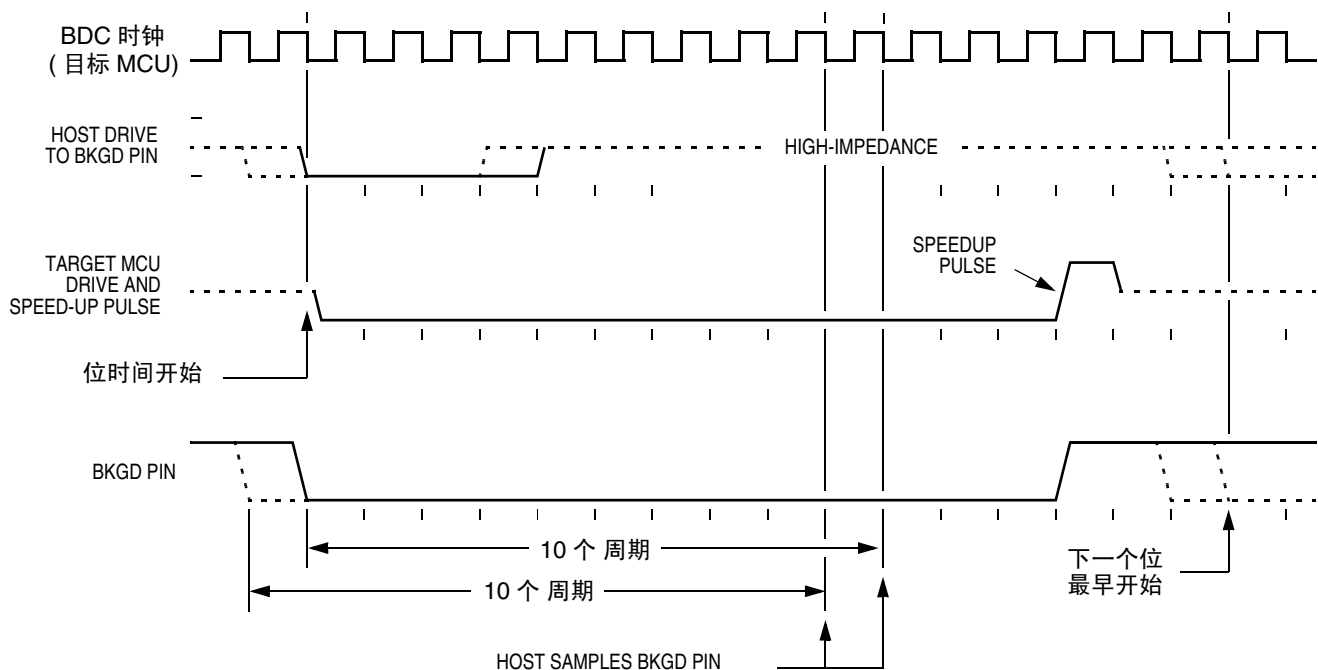


图 17-4. BDM 目标 - 到 - 主机串行位时序 (逻辑 0)

17.2.3 BDC 命令

BDC 命令以串行形式从主机发送到目标 HCS08 MCU 的 BKGD 管脚。所有命令和数据都采用定制 BDC 通信协议以 MSB- 先发的形式发送。激活背景调试模式命令要求目标 MCU 当前处于激活背景调试模式，而非侵入式命令可以随时发出，无论目标 MCU 是处于激活背景调试模式还是运行用户应用程序。

表 17-1 显示了所有 HCS08 BDC 命令，并简要描述了它们的编码结构，以及每个命令的含义。

编码结构术语

表 17-1 中所用的术语描述了 BDC 命令的编码结构。

- 命令在主机 - 到 - 目标方向上始于一个 8- 位十六进制命令代码 (MSB 先发)
- / = 将命令的各部分分开
- d = 延迟 16 个目标 BDC 时钟周期
- AAAA = 主机 - 到 - 目标方向上的一个 16- 位地址
- RD = 目标 - 到 - 主机方向上的 8- 位读数据
- WD = 主机 - 到 - 目标方向上的 8- 位写数据
- RD16 = 目标 - 到 - 主机方向上的 16 位读数据
- WD16 = 主机 - 到 - 目标方向上的 16 位写数据
- SS = 目标 - 到 - 主机方向 (STATUS) 上的 BDCSCR 内容
- CC = 主机 - 到 - 目标方向 (CONTROL) 方向上的 8 位写数据
- RBKP = 目标 - 到 - 主机方向 (从 BDCBKPT 断点寄存器) 上的 16 位读数据
- WBKP = 主机 - 到 - 目标方向 (至 BDCBKPT 断点寄存器) 16 位写数据

表 A-7. 电源电流特性 (续)

编号	C	参数	符号	V _{DD} (V)	典型值 ¹	最大值 ²	单位
5	P ⁴	停止 2 模式 电源电流 -40 °C (C, V, & M 后缀) 25 °C (所有部件) 105 °C (仅 V 后缀) 125 °C (仅 M 后缀) -40 °C (C, V, & M 后缀) 25 °C (所有部件) 105 °C (仅 V 后缀) 125 °C (仅 M 后缀)	S2I _{DD}	5	0.8	—	μA
	P ⁴				0.9	—	
	P				25	37	
	P				46	70	
	C			3	0.7	—	
	C				0.8	—	
	C				20	30	
	C				40	60	
6	C	增加 RTC 时的停止 2 或停止 3 ⁴ 的加法器、25°C		5	300	—	nA
				3	300	—	nA
7	C	增加 LVD 的停止 3 (LVDE = LVDSE = 1)		5	110	—	μA
				3	90	—	μA
8	C	增加振荡器启用时 ⁵ 的停止 3 (IRCLKEN = 1 和 IREFSTEN = 1 或 ERCLKEN = 1 和 EREFSTEN = 1)		5	5	—	μA
				3	5	—	μA

¹ 典型值典型值在 25°C 时测量的值，除非另有说明。

² 本列中的最大值适用于设备的整个操作温度范围，除非另有说明。

³ 25°C 时在所有部件上进行停止电流测试。在其他温度上的测试取决于部件编号后缀及产品的成熟度。一旦收集到足够的数据且被批准，飞思卡尔可能会把特殊温度下的测试从生产测试流程中消除。

⁴ 大多数客户都期望可以使用停止 2 或停止 3 的自动唤醒，而非更高电流的等待模式。

⁵ 以下条件下的给定值：低量程操作 (RANGE = 0)、低功率模式 (HGO = 0)

A.8 模拟比较器 (ACMP) 电气特性

表 A-8. 模拟比较器电气规范

编号	C	参数	符号	最小值	典型值	最大值	单位
9	—	电源电压	V _{DD}	2.7	—	5.5	V
10	D	电源电流 (活动)	I _{DDAC}	—	20	35	μA
11	D	模拟输入电压	V _{AIN}	V _{SS} - 0.3	—	V _{DD}	V
12	D	模拟输入偏移电压	V _{AIO}		20	40	mV
13	D	模拟比较器滞后	V _H	3.0	6.0	20.0	mV
14	D	模拟输入漏电流	I _{ALKG}	--	--	1.0	μA
15	D	模拟比较器初始化延迟	t _{AINIT}	—	—	1.0	μs

中断标记和启动与 16 位主计数器相关。定时器溢出标记 (TOF) 是一种显示定时器计数器溢出的软件可接入指示。TOF 标记等于 1 时自动生成静态硬件中断的情况下, 启动信号都在软件轮询 (TOIE=0) (无硬件中断生成) 或中断驱动操作 (TOIE=1) 之间选择。

导致 TOF 被设置的条件取决于 (向上或向上 / 向下) 计数模式。在向上计数模式中, 16 位主计数器从 0x0000 计数到 0xFFFF, 并且在下一次计数时钟中溢出到 0x0000。在从 0xFFFF 向 0x0000 过渡时, TOF 被设置。设置了模数限制时, TOF 会在从模数寄存器中设置的值向 0x0000 过渡时设置。当 16 位主计数器以向上 / 向下模式运行的情况下, 计数器在从模数寄存器中设置的值和下一个更低的计数值过渡而改变方向时 TOF 标记被设置。这对应 PWM 周期的结束。(0x0000 计算值对应周期的中央。)

因为 HCS08 MCU 是一种 8 位的架构, 所以一致性机制被设计到定时器计数器中以进行读取操作。当计数器的任何一个字节 (TPMxCNTH or TPMxCNTL) 被读取时, 两个字节都被捕获到缓冲器中, 这样当另一个字节被读取时, 值会显示读取第一个字节时计数的另一个字节。计数器继续正常计数, 但是没有新的值从任意字节中读取, 直到旧的计数的两个字节都被读取。

主定时器的计数器可随时通过将任何值写入 TPMxCNTH 或 TPMxCNTL 计数的任一比特来手动复位。如果在复位计数前只有计数器的一个字节被读取, 那么这种计数器复位方式还会复位一致性机制。

B.6.2 通道模式选择

如果 CPWMS=0 (未规定中央对齐的 PWM 操作), 那么通道 n 状态和控制寄存器中 MSnB 和 MSnA 控制位为相应通道确定基本运行模式。选择包括输入捕获、输出对比或缓冲的边缘对齐 PWM。

B.6.2.1 输入捕获模式

利用输入捕获功能, TPM 可捕获外部事件发生的时间。当输入捕获通道的管脚上发生激活边时, TPM 会将 TPM 计数器的内容锁入到通道值寄存器中 (TPMxCnVH:TPMxCnVL)。上升边、下降边或任何边可被选为触发输入捕获的活动边。

当 16 位捕获寄存器的任何一个字节被读取时, 两个字节都被锁入到缓冲器中, 以支持连贯的 16 位接入而不受顺序的影响。一致性序列可通过向通道状态 / 控制寄存器 (TPMxCnSC) 中写入值来手动复位。

输入捕获事件会设置标记位 (CHnF), 该标记可选择生成一个 CPU 中断请求。

B.6.2.2 输出比较模式

通过输出比较功能, TPM 可生成具有可编程位置、极性、持续时间和频率的定时脉冲。当定时器达到输出对比通道的通道值寄存器中的值时, TPM 可以置 1, 置 0, 翻转引脚状态通道。

在输出比较模式中, 值只有在 16 位寄存器的两个 8 位字节都被写入后被传输到相应定时器的通道寄存器中。这种一致性序列可通过向通道状态 / 控制寄存器 (TPMxCnSC) 中写入值来手动复位。

输出比较事件会设置标记位 (CHnF), 该标记可选择产生 CPU 中断请求。