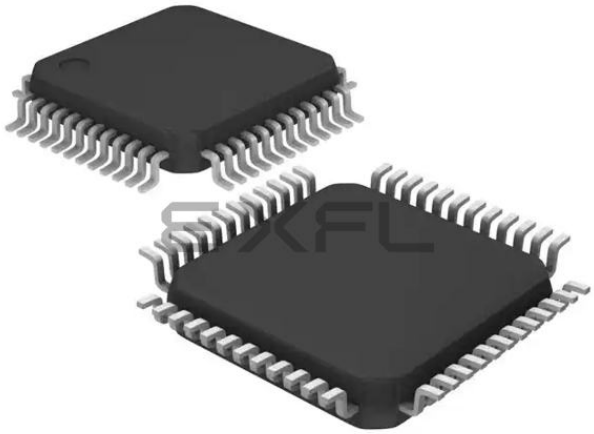


Welcome to E-XFL.COM

What is "Embedded - Microcontrollers"?

"Embedded - Microcontrollers" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "Embedded - Microcontrollers"

Details	
Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I²C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	39
Program Memory Size	60KB (60K x 8)
Program Memory Type	FLASH
EEPROM Size	2K x 8
RAM Size	4K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 16x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 85°C (TA)
Mounting Type	Surface Mount
Package / Case	48-LQFP
Supplier Device Package	48-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/s9s08dz60f1clf

10.2.7 结构图 167
10.3 外部信号描述 169
10.3.1 模拟电源 （VDDAD） 169
10.3.2 模拟接地 （VSSAD） 169
10.3.3 参考电压高 （VREFH） 169
10.3.4 参考电压低 （VREFL） 169
10.3.5 模拟通道输入 （ADx） 169
10.4 寄存器定义 170
10.4.1 状态和控制寄存器 1 （ADCSC1） 170
10.4.2 状态和控制寄存器 2 （ADCSC2） 171
10.4.3 数据结果高地址寄存器 （ADCRH） 172
10.4.4 比较值高地址寄存器 （ADCCVH） 172
10.4.5 比较值低地址寄存器 （ADCCVL） 173
10.4.6 173
10.4.7 配置寄存器 （ADCCFG） 173
10.4.8 管脚控制寄存器 1 （APCTL1） 174
10.4.9 管脚控制寄存器 2 （APCTL2） 175
10.4.10管脚控制寄存器 3 （APCTL3） 176
10.5 功能描述 178
10.5.1 时钟选择和分频控制 178
10.5.2 输入选择和管脚控制 178
10.5.3 硬件触发 178
10.5.4 转换控制 179
10.5.5 自动比较功能 181
10.5.6 MCU 等待模式运行 181
10.5.7 MCU STOP3 模式运行 181
10.5.8 MCU STOP1 和 STOP2 模式运行 182
10.6 初始化报文 183
10.6.1 ADC 模块初始化示例 183
10.7 应用报文 185
10.7.1 外部管脚和布线 185
10.7.2 错误源 186

第 11 章
IIC 模块 (S08IICV2)

11.1 介绍 189
11.2.1 特性 191
11.2.2 运行模式 191
11.2.3 结构图 192
11.3 外部信号描述 192
11.3.1 SCL — 串行时钟线 192
11.3.2 SDA — 串行数据线 192

表 4-2. 直接页面寄存器总结 （第 1 页，共 3 页）

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0x0000	PTAD	PTAD7	PTAD6	PTAD5	PTAD4	PTAD3	PTAD2	PTAD1	PTAD0
0x0001	PTADD	PTADD7	PTADD6	PTADD5	PTADD4	PTADD3	PTADD2	PTADD1	PTADD0
0x0002	PTBD	PTBD7	PTBD6	PTBD5	PTBD4	PTBD3	PTBD2	PTBD1	PTBD0
0x0003	PTBDD	PTBDD7	PTBDD6	PTBDD5	PTBDD4	PTBDD3	PTBDD2	PTBDD1	PTBDD0
0x0004	PTCD	PTCD7	PTCD6	PTCD5	PTCD4	PTCD3	PTCD2	PTCD1	PTCD0
0x0005	PTCDD	PTCDD7	PTCDD6	PTCDD5	PTCDD4	PTCDD3	PTCDD2	PTCDD1	PTCDD0
0x0006	PTDD	PTDD7	PTDD6	PTDD5	PTDD4	PTDD3	PTDD2	PTDD1	PTDD0
0x0007	PTDDD	PTDDD7	PTDDD6	PTDDD5	PTDDD4	PTDDD3	PTDDD2	PTDDD1	PTDDD0
0x0008	PTED	PTED7	PTED6	PTED5	PTED4	PTED3	PTED2	PTED1	PTED0
0x0009	PTEDD	PTEDD7	PTEDD6	PTEDD5	PTEDD4	PTEDD3	PTEDD2	PTEDD1	PTEDD0
0x000A	PTFD	PTFD7	PTFD6	PTFD5	PTFD4	PTFD3	PTFD2	PTFD1	PTFD0
0x000B	PTFDD	PTFDD7	PTFDD6	PTFDD5	PTFDD4	PTFDD3	PTFDD2	PTFDD1	PTFDD0
0x000C	PTGD	0	0	PTGD5	PTGD4	PTGD3	PTGD2	PTGD1	PTGD0
0x000D	PTGDD	0	0	PTGDD5	PTGDD4	PTGDD3	PTGDD2	PTGDD1	PTGDD0
0x000E	ACMP1SC	ACME	ACBGS	ACF	ACIE	ACO	ACOPE	ACMOD1	ACMOD0
0x000F	ACMP2SC	ACME	ACBGS	ACF	ACIE	ACO	ACOPE	ACMOD1	ACMOD0
0x0010	ADCSC1	COCO	AIEN	ADCO	ADCH				
0x0011	ADCSC2	ADACT	ADTRG	ACFE	ACFGT	0	0	—	—
0x0012	ADCRH	0	0	0	0	ADR11	ADR10	ADR9	ADR8
0x0013	ADCRL	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
0x0014	ADCCVH	0	0	0	0	ADCV11	ADCV10	ADCV9	ADCV8
0x0015	ADCCVL	ADCV7	ADCV6	ADCV5	ADCV4	ADCV3	ADCV2	ADCV1	ADCV0
0x0016	ADCCFG	ADLPC	ADIV		ADLSMP	MODE		ADICLK	
0x0017	APCTL1	ADPC7	ADPC6	ADPC5	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0
0x0018	APCTL2	ADPC15	ADPC14	ADPC13	ADPC12	ADPC11	ADPC10	ADPC9	ADPC8
0x0019	APCTL3	ADPC23	ADPC22	ADPC21	ADPC20	ADPC19	ADPC18	ADPC17	ADPC16
0x001A– 0x001B	预留	— —	— —	— —	— —	— —	— —	— —	— —
0x001C	IRQSC	0	IRQPDD	IRQEDG	IRQPE	IRQF	IRQACK	IRQIE	IRQMOD
0x001D– 0x001F	预留	— —	— —	— —	— —	— —	— —	— —	— —
0x0020	TPM1SC	TOF	TOIE	CPWMS	CLKSB	CLKSA	PS2	PS1	PS0
0x0021	TPM1CNTH	Bit 15	14	13	12	11	10	9	Bit 8
0x0022	TPM1CNTL	Bit 7	6	5	4	3	2	1	Bit 0
0x0023	TPM1MODH	Bit 15	14	13	12	11	10	9	Bit 8
0x0024	TPM1MODL	Bit 7	6	5	4	3	2	1	Bit 0
0x0025	TPM1C0SC	CH0F	CH0IE	MS0B	MS0A	ELS0B	ELS0A	0	0
0x0026	TPM1C0VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0027	TPM1C0VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0028	TPM1C1SC	CH1F	CH1IE	MS1B	MS1A	ELS1B	ELS1A	0	0

表 4-2. 直接页面寄存器总结 （第 1 页，共 3 页）

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0x0029	TPM1C1VH	Bit 15	14	13	12	11	10	9	Bit 8
0x002A	TPM1C1VL	Bit 7	6	5	4	3	2	1	Bit 0
0x002B	TPM1C2SC	CH2F	CH2IE	MS2B	MS2A	ELS2B	ELS2A	0	0
0x002C	TPM1C2VH	Bit 15	14	13	12	11	10	9	Bit 8
0x002D	TPM1C2VL	Bit 7	6	5	4	3	2	1	Bit 0
0x002E	TPM1C3SC	CH3F	CH3IE	MS3B	MS3A	ELS3B	ELS3A	0	0
0x002F	TPM1C3VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0030	TPM1C3VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0031	TPM1C4SC	CH4F	CH4IE	MS4B	MS4A	ELS4B	ELS4A	0	0
0x0032	TPM1C4VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0033	TPM1C4VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0034	TPM1C5SC	CH5F	CH5IE	MS5B	MS5A	ELS5B	ELS5A	0	0
0x0035	TPM1C5VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0036	TPM1C5VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0037	预留	—	—	—	—	—	—	—	—
0x0038	SCI1BDH	LBKDIE	RXEDGIE	0	SBR12	SBR11	SBR10	SBR9	SBR8
0x0039	SCI1BDL	SBR7	SBR6	SBR5	SBR4	SBR3	SBR2	SBR1	SBR0
0x003A	SCI1C1	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT
0x003B	SCI1C2	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK
0x003C	SCI1S1	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF
0x003D	SCI1S2	LBKDIF	RXEDGIF	0	RXINV	RWUID	BRK13	LBKDE	RAF
0x003E	SCI1C3	R8	T8	TXDIR	TXINV	ORIE	NEIE	FEIE	PEIE
0x003F	SCI1D	Bit 7	6	5	4	3	2	1	Bit 0
0x0040	SCI2BDH	LBKDIE	RXEDGIE	0	SBR12	SBR11	SBR10	SBR9	SBR8
0x0041	SCI2BDL	SBR7	SBR6	SBR5	SBR4	SBR3	SBR2	SBR1	SBR0
0x0042	SCI2C1	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT
0x0043	SCI2C2	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK
0x0044	SCI2S1	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF
0x0045	SCI2S2	LBKDIF	RXEDGIF	0	RXINV	RWUID	BRK13	LBKDE	RAF
0x0046	SCI2C3	R8	T8	TXDIR	TXINV	ORIE	NEIE	FEIE	PEIE
0x0047	SCI2D	Bit 7	6	5	4	3	2	1	Bit 0
0x0048	MCGC1	CLKS		RDIV			IREFS	IRCLKEN	IREFSTEN
0x0049	MCGC2	BDIV		RANGE	HGO	LP	EREFS	ERCLKEN	EREFSTEN
0x004A	MCGTRM	TRIM							
0x004B	MCGSC	LOLS	LOCK	PLLST	IREFST	CLKST		OSCINIT	FTRIM
0x004C	MCGC3	LOLIE	PLLS	CME	0	VDIV			
0x004D–0x004F	预留	— —	— —	— —	— —	— —	— —	— —	— —
0x0050	SPIC1	SPIE	SPE	SPTIE	MSTR	CPOL	CPHA	SSOE	LSBFE
0x0051	SPIC2	0	0	0	MODFEN	BIDIROE	0	SPISWAI	SPC0

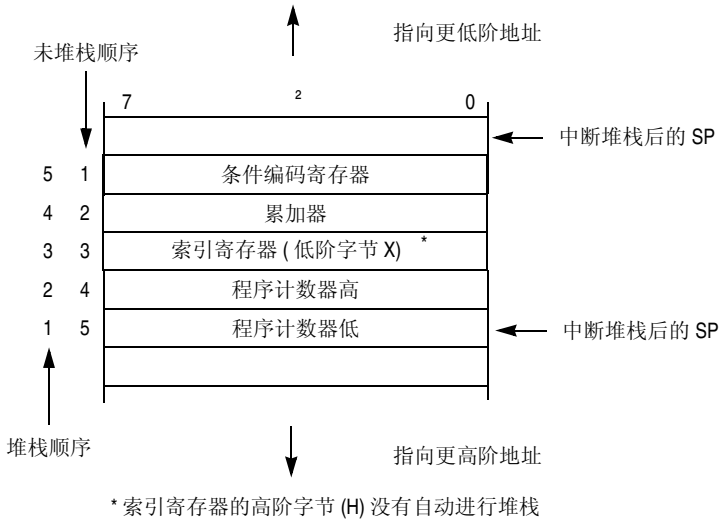


图 5-1. 中断堆栈帧

实施 RTI 指令时，这些值以相反顺序从堆栈中恢复。作为 RTI 顺序的一部分， CPU 通过读取程序报文的 3 个字节 （从堆栈中恢复的 PC 地址开始）来填写指令。

在从 ISR 返回前，必须确认 / 清除与中断源对应的状态标记。通常，该标记在 ISR 开始时被清除，这样如果同一源生成另外一个中断，它就可以被登记，从而在当前 ISR 完成后为其提供服务。

5.5.2 外部中断请求 （IRQ）管脚

外部中断由 IRQ 状态和控制寄存器 （IRQSC）管理。当 IRQ 功能打开后，同步逻辑监控管脚是否发生边沿或边沿加电平的触发事件。当 MCU 处于停止模式且系统时钟关闭时，将使用单独的异步路径，这样 IRQ （如果被打开）就可以唤醒 MCU。

5.5.2.1 管脚配置选项

IRQSC 中的 IRQ 管脚激活 （IRQPE）控制位必须为 1，这样 IRQ 管脚才能作为中断请求 （IRQ）输入。作为 IRQ 输入，用户可以选择检测边沿或电平 （IRQEDG）的极性，无论管脚只检测到边沿还是同时检测到边沿和电平 （IRQMOD），也无论事件触发的中断还是只设置了软件可以轮询的 IRQF 标记。

IRQ 管脚激活后，默认使用内部上拉器件 （IRQPDD = 0），器件究竟是上拉还是下拉取决于所选的极性。如果用户希望使用外部上拉或下拉，可以在 IRQPDD 中写入 1，以关闭内部器件。

当把 IRQ 管脚配置为 IRQ 输入时，可以使用 BIH 和 BIL 指令来检测 IRQ 管脚上的电平。

注意

这个管脚不包括 V_{DD} 的钳位二极管，并且在高于 V_{DD} 时不应驱动。内部上拉 IRQ 管脚上测量到的电压可能只有 V_{DD} – 0.7 V。与该管脚相连的内门一直拉到 V_{DD}。

6.5.1.3 A 端口上拉使能寄存器 (PTAPE)

	7	6	5	4	3	2	1	0
R W	PTAPE7	PTAPE6	PTAPE5	PTAPE4	PTAPE3	PTAPE2	PTAPE1	PTAPE0
复位 :	0	0	0	0	0	0	0	0

图 6-5. A 端口寄存器的内部上拉使能 (PTAPE)

表 6-3. PTAPE 寄存器字段描述

字段	描述
7:0 PTAPE[7:0]	**A 端口内部上拉使能位** — 对于 PTA 管脚，这些控制位决定着为相关 PTA 管脚使能内部上拉还是使能下拉器件。对于配置为输出的 A 端口管脚，这些位不会产生影响，同时内部上拉器件被禁止。 0 A 端口位 - 内部上拉 / 下拉器件被禁止。 1 A 端口位 - 内部上拉 / 下拉器件使能。

注意

只有当使用管脚中断功能且配置了相应的边沿选择和管脚选择功能时，才能使用下拉器件。

6.5.1.4 A 端口斜率使能寄存器 (PTASE)

	7	6	5	4	3	2	1	0
R W	PTASE7	PTASE6	PTASE5	PTASE4	PTASE3	PTASE2	PTASE1	PTASE0
复位 :	0	0	0	0	0	0	0	0

图 6-6. A 端口寄存器的斜率使能 (PTASE)

表 6-4. PTASE 寄存器字段描述

字段	描述
7:0 PTASE[7:0]	**A 端口位输出斜率使能** — 这些控制位决定着是否为相关 PTA 管脚使能输出斜率控制。对于配置为输入的 A 端口管脚，这些位不会产生任何影响。 0 A 端口位 - 输出斜率控制被禁止。 1 A 端口位 - 输出斜率控制使能。

注意：工程样品和最终成品的斜率复位默认值可能不同。一定要将斜率控制初始化为所需的值，以确保正确的操作。

7.3 寻址模式

寻址模式定义 CPU 访问操作数和数据的方式。在 HCS08 中，所有存储器、状态和控制寄存器、输入 / 输出 （I/O）端口共用一个 64Kb 线性地址空间，因此 16 位二进位地址能够识别任意存储器位置。这种安排意味着，访问 RAM 中变量的相同指令还可以用来访问 I/O 和控制寄存器或非易失性程序空间。

有些指令使用一个以上的寻址模式。例如，移动指令用一种寻址模式来指定源操作数，用另外一种寻址模式来指定目的地地址。而诸如 BRCLR、 BRSET、 CBEQ 和 DBNZ 这样的指令则使用一种寻址模式来指定测试用操作数的位置，当测试条件成立时，又使用相关寻址模式来指定分支目的地地址。对于 BRCLR、 BRSET、 CBEQ 和 DBNZ 而言，指令集表里列出的寻址模式是访问将要测试的操作数所需的寻址模式，而相关寻址模式则意味着分支地址寻址模式。

7.3.1 固有寻址模式 （INH）

在这种寻址模式中，完成指令 （如果有的话）所需的操作数位于 CPU 寄存器上，因此 CPU 不需要访问存储器以获得任何操作数。

7.3.2 关联寻址模式 （REL）

关联寻址模式用来指定分支指令的目的地址。一个带符号的 8 位偏移值位于紧接操作码的存储器位置。在执行期间，如果分支条件成立，带符号的偏移被符号扩展为 16 位值，并被添加到程序计数器的当前内容中，造成在分支目的地地址上继续执行程序。

7.3.3 立即寻址模式 （IMM）

在立即寻址模式中，完成指令所需的操作数包含在紧跟存储器的指令操作码的目标码中。如果是 16 位直接操作数，高阶字节位于操作码后的下一个存储器位置，低阶字节位于高阶存储器后的下一个存储器位置。

7.3.4 直接寻址模式 （DIR）

在直接寻址模式中，指令包括直接页面 （0x0000 – 0x00FF）地址的低阶 8 位。在执行过程中， 16 位地址的高 8 位部分隐含为 0x00，低 8 位地址从指令中直接获得，以此构成 16 位地址指向指令所需的操作数。这比为操作数指定整个 16 位地址更快、存储器也更有效。

7.3.5 扩展寻址模式 （EXT）

在扩展寻址模式中，操作数的整个 16 位地址都位于紧接操作码后的程序存储器的两个字节上（高阶字节优先）。

7.3.6 索引寻址模式

索引寻址模式带有 7 个变种， 5 个使用 16 位 H:X 索引寄存器对和两个使用堆栈指针作为基本参考。

8.2.2 运行模式

MCG 有 9 种运行模式 :

- FLL Engaged Internal (FEI)
- FLL Engaged External (FEE)
- FLL Bypassed Internal (FBI)
- FLL Bypassed External (FBE)
- PLL Engaged External (PEE)
- PLL Bypassed External (PBE)
- Bypassed Low Power Internal (BLPI)
- Bypassed Low Power External (BLPE)
- Stop

如需了解更多信息 8.5.1，“运行模式”。

8.3 外部信号描述

没有片外连接的 MCG 信号

8.4 寄存器定义

8.4.1 MCG 控制寄存器 1 (MCGC1)

	7	6	5	4	3	2	1	0
R W	CLKS		RDIV			IREFS	IRCLKEN	IREFSTEN
复位 :	0	0	0	0	0	1	0	0

图 8-3. MCG 控制寄存器 1 (MCGC1)

当提供了 ADHWT 源且已使能了硬件触发 （ADTRG=1）时， ADHWT 的上升沿上就发起转换。如果转换进行过程中再出现上升沿，该上升沿就被忽略。在连续转换模式下，只是触发连续转换的初始上升沿有效。硬件触发功能可以结合任意转换模式和配置一起运行。

10.5.4 转换控制

转换可以在 12 位、 10 位或 8 位模式下进行，由 MODE 位决定。转换可以由软件或硬件触发发起。此外， ADC 模块也可以设置为低功率操作、长采样时间、连续转换或将转换结果与软件设定的比较值自动比较的方式。

10.5.4.1 发起转换

转换的发起：

- 如果选择软件触发操作，在 ADCSC1 写入 （ADCH 位不全为 1）后。
- 即使选择硬件触发操作，在硬件触发 （ADHWT）事件后。
- 当使能连续转换时，在把结果传输到数据寄存器后。

如果使能连续转换，在当前转换完成会就自动发起一个新转换。在软件触发操作中，连续转换在写入 ADCSC1 后就开始，并且一直持续直到被中止。在硬件触发操作中，连续转换在硬件触发事件后开始，并且一直持续直到被中止。

10.5.4.2 完成转换

当转换结果被传输到数据结果寄存器 ADCRH 和 ADCRL 中时，转换完成。这通过置位 COCO 标识。如果置位 COCO 时 AIEN 高，就会触发中断。

如果原有数据正在在 12 位或 10 位 MODE 中被读取，拦截机制可以防止新结果覆盖 ADCRH 和 ADCRL 中的原有数据 （ADCRH 寄存器已被读取，但 ADCRL 寄存器还没有）。当拦截处于工作状态时，数据传输被拦截， COCO 未被置位而且新转换结果丢失。在使能了比较功能但比较条件不成立的单次转换中，拦截不会起作用， ADC 操作终止。在其他模式下，当数据传输被拦截时，都会发起另另外一次转换，而无论 ADCO 处于何种状态 （单次或连续转换使能）。

如果单次转换使能，拦截机制可能会导致几个转换被丢失，且功耗过高。为了避免这一问题，数据寄存器必须在发起单转换且完成了转换后再读取。

10.5.4.3 中止转换

当出现下列情况时，进行中的任何转换都将中止：

- ADCSC1 写入 （当前转换被中止，如果 ADCH 不都是 1，则会发起一个新转换。）
- ADCSC2、ADCCFG、ADCCVH 或 ADCCVL 写入。这表明出现运行模式更改，当前转换因此无效。
- MCU 复位。
- MCU 进入停止模式， ADACK 被禁止。

当转换被中止时，数据寄存器、 ADCRH 和 ADCRL 的内容都不变，保持上次成功转换完成后传输的值。如果由于复位中断了转换， ADCRH 和 ADCRL 返回其复位状态。

11.5.1.1 启动信号

当总线空闲时，没有主机占用总线 （SCL 和 SDA 线处于逻辑高电平），主机可以通过发送启动信号发起通信。如图 11-9 所示，启动信号定义为，当 SCL 在高电平时， SDA 从高到低的跳变。该信号表示开始新的数据传输 （每次数据传输可能包含几个字节的数据），并使所有从机退出空闲状态。

11.5.1.2 从机地址发送

启动信号发出后传输的第一个字节数据是主机发送的从机地址。这是 R/W 位之前的 7 位主叫地址。 R/W 位告知从机数据传输的方向。

1 = 读取传输，从机向主机传输数据

0 = 写入传输，主机向从机传输数据

当主机发送的地址与某从机地址匹配时，此从机发回应答位进行响应。通过将 SDA 第 9 个时钟拉低实现 （见图 11-9）。

系统中不能有两个地址相同的从机。如果 IIC 模块是主机，它就不能发送与其自己的从机地址相同的地址。 IIC 不能同时既是主机又是从机。但是，如果仲裁在寻址周期中丢失， IIC 就重新返回到从机模式并正确运行，即便它正被另一个主机寻址。

11.5.1.3 数据传输

成功实现从机寻址之前，就可以按照主叫主机发送的 R/$\overline{W}$ 位指定的方向逐字节地进行数据传输。

地址周期后的所有传输都被称为数据传输，即使它们包含从机的子地址报文。

每个数据字节的长度均为 8 位。只有当 SCL 处于低时数据才可以更改，如果 SCL 处于高位，那么它必须保持稳定，如图 11-9 所示。 SCL 的一个时钟脉冲传输一个数据位，最高位被首先传输。每个数据字节后面都有一个第 9 （确认）位，该位由从机发出信号，通过把 SDA 拉低到第 9 个时钟实现。总之，一个完整数据传输需要 9 个时钟脉冲。

如果从机在第 9 个位时间时未应答主机，从机必须保留 SDA 线在高电平。主机将未接收应答信号解释为不成功的数据传输。

如果主机接收器在一个数据字节传输后未应答从机发送器，从机把这种情况理解为数据传输结束，并释放 SDA 线。

对于这两种情况，数据传输都被中止，主机会进行以下两种操作之一：

- 发送停止信号，放弃总线
- 发送重复启动信号，开始新呼叫

11.5.1.8 握手

时钟同步机制可以用作数据传输中的握手。在完成一个字节的传输 （9 个位）后，从机可以保持 SCL 低位。在这种情况下，它会暂停总线时钟，强迫主机时钟进入等待状态，直到从机释放 SCL 线。

11.5.1.9 时钟延展

时钟同步机制可以被从机用于减缓传输的比特速率。在主机已经拉低 SCL 后，从机可以继续拉低 SCL 一定时间，然后再释放它。如果从机 SCL 低态周期长于主机 SCL 低态周期，那么就会将 SCL 总线信号低态周期延展。

11.5.2 10 位地址

对于 10 位寻址， 0x11110 用于地址首字节的前 5 位。 10 位寻址传输过程中可能出现不同的读 / 写格式组合。

11.5.2.1 主发送器寻址从接收器

传输方向不变 （见表 11-9）。当 10 位地址跟随开始信号发送时，每个从机会把该从机地址首字节的前 7 位与其自己的地址进行比较，并测试第 8 个位 （R/W 方向位）是否为 0。一个以上的从机能够匹配并生成应答 （A1）。然后，匹配的每个从机会把该从机地址第二个字节的 8 个位与其自己的地址进行比较。只有一个从机找到匹配并生成应答 （A2）。匹配的从机与此主机通信，直到收到停止信号 （P）或跟随着其他从机地址的重复开始信号 （Sr）。

S	从机前面 7 位 11110 + AD10 + AD9	R/W 0	A1	从机前面 7 位 AD[8:1]	A2	数据	A	...	数据	A/A	P

表 11-9. 主发射器寻址 10 位地址的辅接收器

在主机发送器已经发送了 10 位地址的第一个字节后，从机接收器产生 IIC 中断。软件必须确保 IICD 的内容被忽略，且不作为该中断的有效数据对待。

11.5.2.2 主接收器寻址从发送器

如果传输方向被第二个 R/$\overline{W}$ 位改变 （见表 11-10）。一直到应答位 A2 （包括应答位 A2）前，该流程与主发送器寻址从接收器中的描述都相同。在重复开始条件 （Sr）后，匹配的从接收器记得它以前曾被寻址过。从接收器然后就检查 Sr 后的从机地址首字节的前 7 位是否与开始条件（S）后的前 7 位相同，并测试第 8 （R/W）个位是否为 1。如果匹配，从接收器就认为它已经被确认为发送器，并生成应答 A3。从发送器保持匹配，直到收到停止信号 （P）或跟随着其他从机地址的重复开始信号 （Sr）。

重复开始条件 （Sr）之后，所有其他从机也将从机地址首字节的前 7 位与它们自己的地址进行比较，测试第 8 （R/W）位。然而，这些从机都没有匹配，因为 R/W=1 （用于 10 位器件）或 11110XX 从机地址 （用于 7 位节点）不匹配。

表 12-1. CANCTL0 寄存器字段描述

字段	描述
7 RXFRM[1]	已收到帧标记— 该位是只读和只清除位。当接收器正确收到有效报文 （独立于滤波器配置）时，设置该位。设置后，该位一直保持设置，直到通过软件或复位将其清除。清除通过写入 1 完成。写 0 被忽略。该位在环回模式中无效。 0 自上次清除该标记以来未收到有效报文 1 自上次清除该标记以来收到有效报文
6 RXACT	接收器使能状态— 该只读标记表示 MSCAN 正在接收报文。该标记由接收器前端控制。该位在环回模式中无效。 0 MSCAN 正在发送或空闲 [2] 1 MSCAN 正在接收报文 （包括仲裁丢失时） [2]
5 CSWAI[2]	在等待模式中 CAN 停止— 设置此位，可以在等待模式中通过禁止 MSCAN 模块与 CPU 总线接口的所有时钟而降低功耗。 0 在等待模式中， CAN 模块不受影 œï 1 等待模式中， CAN 模块停止计时
4 SYNCH	同步状态—该只读标记显示 MSCAN 是否与 CAN 总线同步，是否能够参与通信流程。其设置和清除通过 MSCAN 进行。 0 MSCAN 与 CAN 总线不同步 1 MSCAN 与 CAN 总线同步 s
3 TIME	计时器使能—该位使能内部 16 位字宽自由运行计时器，由位时钟速率计时。如果计时器被使能， 16 位时间标签将分配给有效 TX/RX 缓冲器内的每条发送 / 接收报文。一旦报文在 CAN 总线上确认，时间标签将被写入适当缓冲器 （参见 12.4，“报文存储模式”）的最高字节 （0x000E, 0x000F）。禁止时，内部计时器复位 （所有位都设置为 0）。该位在初始化模式中保持低。 0 禁止内部 MSCAN 计时器 r 1 使能内部 MSCAN 计时器 r
2 WUPE[3]	唤醒使能—当检测到 CAN 上有流量时 （参见 12.5.5.4，“MSCAN 睡眠模式”），该配置位能够让 MSCAN 从睡眠模式中重启。为了让所选功能发挥作用，在该位进入睡眠模式前必须进行配置。 0 唤醒禁止 — MSCAN 忽略 CAN 上的流量 1 唤醒使能 — MSCAN 能够重启

表 12-1. CANCTL0 寄存器字段描述 (continued)

字段	描述
1 SLPRQ[4]	睡眠模式请求—该位请求 MSCAN 进入睡眠模式，这是一个内部节电模式 （参见 12.5.5.4，“MSCAN 睡眠模式”）。当 CAN 总线空闲时，也就是说该模块不接收任何报文且所有发送缓冲器空，睡眠模式请求被受理。通过设置 SLPAK = 1 （参见 12.3.2，“控制寄存器 1 (CANCTL1)”），表示该模块进入睡眠模式。当设置了 WUPIF 标记时 （参见 12.3.4.1，“MSCAN 接收器标志寄存器 (CANRFLG)”），不能设置 SLPRQ。睡眠模式维持有效，直到 SLPRQ 被 CPU 清除或者根据 WUPE 的设置， MSCAN 检测到 CAN 总线上有有效并自行清除。 0 运行中 — MSCAN 正常工作 1 睡眠模式请求— 当 CAN 总线空闲时 MSCAN 进入睡眠模式
0 INITRQ[5,6]	INITRQ6、 7 初始化模式请求— 当 CPU 设置该位时， MSCAN 切换至初始化模式 （参见 12.5.5.5，“MSCAN I 初始化模式”）。任何正在进行的发送或接收都将被中止，与 CAN 总线的同步也丢失。通过设置 INITAK = 1 （见 12.3.2 小节 “MSCAN 控制寄存器 1 （CANCTL1）”），表示该模块进入初始化模式。 以下寄存器进入其硬复位状态并恢复它们的默认值：CANCTL08、 CANRFLG9、 CANRIER10、 CANTFLG、 CANTIER、 CANTARQ、 CANTAAK 和 CANTBSEL。 μ 盡 SCAN 处于初始化模式 （INITRQ = 1， INITAK = 1）时，寄存器 CANCTL1、 CANBTR0、 CANBTR1、 CANIDAC、 CANIDAR0-7 和 CANIDMR0-7 只能通过 CPU 写入。错误计数器的值不受初始化模式的影响。 当该位通过 CPU 清除时， MSCAN 重启，然后试图与 CAN 总线同步。如果 MSCAN 未处于总线脱离状态，它在 CAN 总线上出现 11 个连续隐性位后同步。如果 MSCAN 处于总线脱离状态，它将继续等待 11 个连续隐性位重复出现 128 次。 只有当退出初始化模式后，才可以在 CANCTL0、CANRFLG、CANRIER、CANTFLG 或 CANTIER 中写入其他位，这时 INITRQ = 0， INITAK = 0。 0 正常运行 1 MSCAN 处于初始化模式

1 要设置该位， MSCAN 必须处于正常模式。

2 如需了解发送器和接收器状态的详细定义，（参见 12.5.5.2，“等待模式中的操作” ”和 12.5.5.3，“停止模式中的操作”）。

3 为了防止意外违反 CAN 协议，当 CPU 进入等待 （CSWAI = 1）或停止模式 (参见 12.3.5，“MSCAN 接收器中断使能寄存器 (CANRIER)”) ，立即强制 TXCAN 管脚进入隐性状态。

4 如果需要从停止或等待模式中进行恢复的机制， CPU 必须确保 WUPE 位和 WUPIE 唤醒中断使能位 （参见 12.3.5，“MSCAN 接收器中断使能寄存器 (CANRIER)”）（CANRIER））被使能。

5 在 MSCAN 进入睡眠模式 （SLPRQ = 1， SLPAK = 1）前， CPU 不能清除 SLPRQ。

6 在 MSCAN 进入初始化模式 （INITRQ = 1，INITAK = 1）前， CPU 不能清除 INITRQ。

表 12-2. 寄存器字段描述

字段	描述
1 SLPAK	睡眠模式确认— 该标记显示 MSCAN 模块是否已经进入睡眠模式 (参见 12.5.5.4，“MSCAN 睡眠模式”)。它用作 SLPRQ 睡眠模式请求的握手标志。 t. 当 SLPRQ = 1、 SLPAK = 1 时，睡眠模式是有效的。根据 WUPE 设置，如果在处于睡眠模式检测到 CAN 总线有信号， MSCAN 将清除该标志。 CPU 清除 SLPRQ 位也将复位 SLPAK 位。 0 正在运行 —MSCAN 正常运行 1 睡眠模式使能 — MSCAN 已经进入睡眠模式
0 INITAK	初始化模式确认— 该标志显示 MSCAN 模块是否处于初始化模式 (参见 12.5.5.5，“MSCAN I 初始化模式”)。它用作 INITRQ 初始化模式请求的握手标志。当 INITRQ = 1， INITAK = 1 时，初始化模式被使能。当 MSCAN 处于初始化模式时，寄存器 CANCTL1、 CANBTR0、 CANBTR1、 CANIDAC、 CANIDAR0 – CANIDAR7 和 CANIDMR0 – CANIDMR7 只能通过 CPU 写入 0 正在运行 —MSCAN 正常运行 1 初始化模式使能— MSCAN 处于初始化模式

12.3.3 MSCAN 总线计时寄存 0 (CANBTR0)

CANBTR0 寄存器配置 MSCAN 模块的各种 CAN 总线计时参数。

	7	6	5	4	3	2	1	0
R W	SJW1	SJW0	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0
复位 :	0	0	0	0	0	0	0	0

图 12-6. MSCAN 总线计时寄存器 0CANBTR0)

读取：任何时间
写入：处于初始化模式 （INITRQ = 1， INITAK = 1）的任何时间

表 12-3. CANBTR0 寄存器字段描述

字段	描述
7:6 SJW[1:0]	同步跳转宽度—同步跳转宽度决定要实现 CAN 总线上的数据传输重新同步，一个位可以缩短或延长的时间冲量 （Tq）的最大值 (参见表 12-4).
5:0 BRP[5:0]	波特率预分频器—该位确定用来构建位计时的时间冲量 （Tq）时钟 (参见表 12-5).

表 12-9. CANRFLG 寄存器字段描 ˆ (continued)

字段	描述
3:2 TSTAT[1:0]	发送器状态位 — 错误计数器的值控制着 MSCAN 的实际 CAN 总线状态。只要设置了状态变化中断标志（CSCIF），这些位就显示 MSCAN 的与接收器有关的适当 CAN 总线状态。位 TSTAT1、 TSTAT0 的编码是：： 00 TxOK：0 ≤ 接收错误计数器 ≤ 96 01 RxOK：0 < 接收错误计数器 ≤ 127 10 RxERR：127 < 接收错误计数器 ≤ 255 11 Bus-off1：发送错误计数器 > 255
1 OVRIF	溢出中断标志 — 该标志在出现数据溢出情况时设置。如果没有被屏蔽，当设置了该标志时有一个错误中断产生。 0 无数据溢出情况 1 检测到数据溢出
0 RXF[2]	接收缓冲器已满标志 — 当新报文被转移到接收器 FIFO 中时， RXF 由 MSCAN 进行置位。该标志表示移位缓冲器是否接收了正确的报文 （匹配标识符，匹配循环冗余代码 （CRC）和未检测到其他错误）。在 CPU 从接收器 FIFO 中的 RxFG 缓冲器那里读取了该报文后， RXF 标志必须清除，以释放缓冲器。已设置的 RXF 标志禁止下一个 FIFO 条目转移到前景缓冲器 （RxFG）。如果未被屏蔽，当设置了该标志时有一个接收中断产生。 0 RxFG 中没有新报文 1 接收器 FIFO 非空。 RxFG 中有报文

1 处于 “总线脱离”状态的最重要 CAN 总线状态的冗余报文。只有当 Tx 错误计数器的错误超过 255 个时才会出现这种情况。总线脱离会影响接收器状态。一旦发送器离开其总线脱离状态，接收器状态也立即跳到 RxOK。也请参见本寄存器中的 TSTAT[1:0] 编码。

2 T 为确保数据完整性，当 RXF 标志清除时，不要读取接收缓冲器寄存器。对于那些有双 CPU 的 MCU 来说，当 RXF 标志被清除时读取接收缓冲器寄存器可能会导致 CPU 故障。

12.3.5 MSCAN 接收器中断使能寄存器 (CANRIER)

该寄存器包含用于 CANRFLG 寄存器中描述的中断标志的中断使能位。

	7	6	5	4	3	2	1	0
R W	WUPIE	CSCIE	RSTATE1	RSTATE0	TSTATE1	TSTATE0	OVRIE	RXFIE
复位	0	0	0	0	0	0	0	0

图 12-9. MSCAN 接收器中断使能寄存器 (CANRIER)

注意

当初始化模式处于有效状态时， CANRIER 寄存器保持复位状态 (INITRQ=1 and INITAK=1). 当未处于初始化模式时，该寄存器可以写入 （INITRQ=0， INITAK=0）。

The RSTATE[1:0], TSTATE[1:0] 位不受初始化模式影响。

读取：任何时间
写入：未处于初始化模式的任何时间。

12.5.4.4 监听模式

在可选的 CAN 总线监控模式 （监听）中， CAN 节点能够接收有效数据帧和有效远程帧，但它只发送 CAN 总线上的 “隐性”位。此外，它不能启动发送。如果 MAC 层需要发送 “显性”位（ACK 位、超载标志或有效错误标志），该位将在内部传输，这样 MAC 层就监控该 “显性”位，此时 CAN 总线在外部仍保持隐性状态。

12.5.4.5 保密模式

MSCAN 模块没有保密功能。

12.5.4.6 环回自测模式

环回自测模式独立于外部系统的连接，有时用于检查软件，以帮助隔离系统问题。在该模式中，发送器输出内部连接到接收器输入。 RXCAN 输入管脚被忽略，TXCAN 输出进入隐性状态 （逻辑 1）。发送时， MSCAN 的运行如常，把它自己发送的报文作为从远程节点接收的报文。在该状态中， MSCAN 将忽略 CAN 帧应答场中 ACK 间隙中发送的位，以确保正确接受它自己的报文。同时生成发送和接收中断。

12.5.5 低功耗选项

如果 MSCAN 禁止 (CANE = 0)， MSCAN 时钟停止，以节省功率。

如果 MSCAN 使能 (CANE = 1)， MSCAN 还有两种与正常模式相比功耗更低的模式：睡眠模式和断电模式，在睡眠模式中，可以通过停止所有时钟 （除了 CPU 端访问寄存器的时钟外）来降低功耗。在节电模式中，所有时钟停止，没有功率消耗。

表 12-36 总结了 MSCAN 和 CPU 模式的各种组合。模式的特殊组合通过 CSWAI 和 SLPRQ/SLPAK 位上的设置决定。

对所有模式来说，只有当 MSCAN 处于睡眠模式 （SLPRQ = 1， SLPAK = 1）、唤醒功能使能（WUPE = 1）且唤醒中断使能 （WUPIE = 1）时， MSCAN 唤醒中断才可能发生。

14.1.2 特性

SCI 模块的特性包括 :

- 全双工、标准的不归零 （NRZ）格式
- 具有独立使能的双缓冲发射器和接收器
- 可编程波特率 （13 位模数分频器）
- 中断驱动型或轮询操作 :
  - — 发送数据寄存器空，发送完成
  - — 接收数据寄存器已满
  - — 接收溢出、奇偶效验错误、成帧错误和噪音错误
  - — 闲置接收器检测
  - — 接收管脚上的活动边沿
  - — 支持 LIN 的断点检测
- 硬件奇偶效验生成和检查
- 可编程 8 位或 9 位字符长度
- 按闲置线路或地址标记的接收器唤醒
- 可选的 13 位中止字符生成 / 11 位中止字符检测
- 可选的发射器输出极性

14.1.3 运行模式

如需了解有关以下模式中的 SCI 操作的详细信息，参见 14.3，“功能描述”

- 8 位和 9 位数据模式
- 停止模式操作
- 循环模式
- 单线模式

14.1.4 结构图

图 14-2 显示了 SCI 的发射器部分。

14.2 寄存器定义

SCI 有 8 个 8 位寄存器，来控制波特速率、选择 SCI 选项、报告 SCI 状态和发送 / 接收数据。

如需了解所有 SCI 寄存器的绝对地址分配，参见本文 Memory 章的直接页面寄存器概述。本小节只提及了寄存器和控制位的名称，飞思卡尔提供的对照表或头文件用来把这些名称转换成适当的绝对地址。

14.2.1 SCI 波特率寄存器 (SCIxBDH, SCIxBDL)

这两个寄存器控制着生成 SCI 波特率的预分频系数。要更新 13 位波特率设置 [SBR12:SBR0]，首先写入 SCIxBDH，缓存生成的高位字节，然后再写入 SCIxBDL。 SCIxBDH 中的值在写入 SCIxBDL 前不会变化。

SCIxBDL 复位为非零值，因此复位后，波特率发生器一直保持禁止，直到第一次使能接收器或发射器 （SCIxC2 中的 RE 或 TE 位写为 1）。

	7	6	5	4	3	2	1	0
R W	LBKDIE	RXEDGIE	0	SBR12	SBR11	SBR10	SBR9	SBR8
复位	0	0	0	0	0	0	0	0

= 不执行或预留

图 14-4. SCI 波特率寄存器 (SCIxBDH)

表 14-2. SCIxBDH 字段描述

字段	描述
7 LBKDIE	**LIN 断点检测中断使能 （用于 LBKDIF）** 0 来自 LBKDIF 的硬件中断禁止 （使用轮询） 1 当 LBKDIF 标记为 1 时，硬件中断允许
6 RXEDGIE	**RxD 输入活动边中断使能 （用于 RXEDGIF）** 0 禁止来自 RXEDGIF 的中断 （使用轮询）。 1 当 RXEDGIF 标记为 1 时 , 允许硬件中断。
4:0 SBR[12:8]	波特率模数除数 — SBR[12:0] 中的 13 个位统称为 BR，它们为 SCI 波特率发生器设置模数除数系数。当 BR = 0， SCI 波特率发生器禁止，以降低电源电流 。当 BR = 1~8191 时， SCI 波特率 = BUSCLK/ （16xBR）。也可参见中的 BR 位。表 14-3 中的 BR 位。

	7	6	5	4	3	2	1	0
R W	SBR7	SBR6	SBR5	SBR4	SBR3	SBR2	SBR1	SBR0
复位	0	0	0	0	0	1	0	0

图 14-5. 波特率寄存器 (SCIxBDL)

表 14-5. SCIxC2 字段说明 (continued)

字段	描述
2 RE	接收器使能 — 当 SCI 接收器关闭时，RxD 管脚恢复为通用端口 I/O 管脚。如果 LOOPS = 1，RxD 管脚恢复为通用 I/O 管脚，即使 RE = 1。 0 接收器关闭。 1 接收器打开。
1 RWU	接收器唤醒控制 — 该位可以写入 1，将 SCI 接收器置于待机状态，等待所选唤醒条件的自动硬件检测。唤醒条件既可以是信息间的闲置线路 （WAKE = 0，闲置线路唤醒），也可以是某个字符中最高数据位中的逻辑 1（WAKE = 1，地址标记唤醒）。应用软件设置 RWU，（正常情况下）且所选的硬件条件自动清除 RWU。如需了解更多信息， 14.3.3.2，“接收器唤醒操作”。 0 正常的 SCI 接收器运行。 1 处于待机状态的 SCI 接收器等待唤醒条件。
0 SBK	发送中止字符 — 先后将 1 和 0 写入 SBK，即在发送数据流中排入了一个中止字符。只要 SBK=1, 多达 10 或 11（如果 BRK13 = 1，则为 13 或 14 位）位时间的逻辑 0 中止字符被加入队列。根据当前正在发送信息有关的 SBK 的设置和清除时间，第二个中止字符可以在软件清除 SBK 前排入队列。如需了解更多信息， 14.3.2.1，“发送中断和排队闲置”。 0 正常的发射器运行。 1 将发送的队列中止字符。

14.2.4 SCI 状态寄存器 1 (SCIxS1)

该寄存器有 8 种只读状态标记。写没有影响，特殊软件顺序 （不包括写入该寄存器）用来清除这些状态标记。

	7	6	5	4	3	2	1	0
R	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF
W								
复位	1	1	0	0	0	0	0	0

= 不执行或预留

图 14-8. SCI 状态寄存器 1(SCIxS1)

表 14-6. SCIxS1 字段描述

字段	描述
7 TDRE	发送数据寄存器空标记 — TDRE 设置于复位，当发送数据值从发送数据缓冲器传输到发送移位器时，就在缓冲器中为新字符留出空间。要清除 TDRE，当 TDRE = 1 时读 SCIxS1，然后写入 SCI 数据寄存器 （SCIxD）。 0 发送数据寄存器 （缓冲器）已满。 1 发送数据寄存器 （缓冲器）为空。
6 TC	发送完成标记 — TC 设置于复位，当 TDRE = 1 时，无数据、前导信号或中止字符在发送 。 0 发射器活动 （发送数据、前导信号或中止字符）。 1 发射器闲置 （发送活动完成） 当 TC = 1 时读取 SCIxS1 时可以自动清除 TC，然后进行以下三种操作中一种： • 写入 SCI 数据寄存器 （SCIxD），以发送新数据 • 通过把 TE 从 0 变为 1，排队前导信号 • 将 1 写入 SCIxC2 中的 SBK，排队中止字符。

三种时钟源可由软件选择：低功率振荡器时钟 （LPO）、外部时钟 （ERCLK）和内部时钟 （IRCLK）。 RTC 时钟选择位 （RTCLKS）用于选择想要的时钟源。如果一个不同值被写入到 RTCLKS 中，预分频器和 RTCCNT 计数器将复位为 0x00。

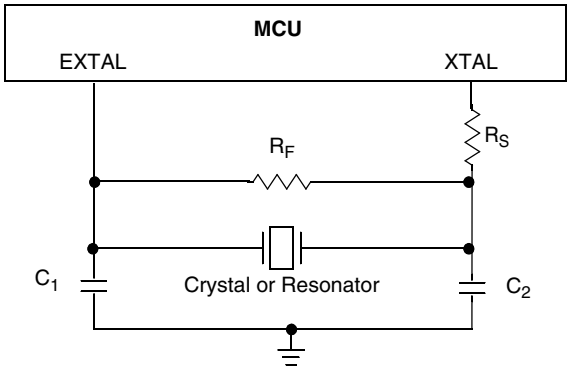
RTCPS 和 RTCLKS[0] 位选择想要的除数值。如果不同值被写入到 RTCPS 中，预分频器和 RTCCNT 计数器将复位为 0x00。表 15-6 显示了不同的预分频器周期值。

表 15-6. 预分频器周期

RTCPS	1-kHz 内部时钟源 (RTCLKS = 00)	1-MHz 外部时钟源 (RTCLKS = 01)	32-kHz 内部时钟源 (RTCLKS = 10)	32-kHz 外部时钟源 (RTCLKS = 11)
0000	Off	Off	Off	Off
0001	8 ms	1.024 ms	250 μs	32 ms
0010	32 ms	2.048 ms	1 ms	64 ms
0011	64 ms	4.096 ms	2 ms	128 ms
0100	128 ms	8.192 ms	4 ms	256 ms
0101	256 ms	16.4 ms	8 ms	512 ms
0110	512 ms	32.8 ms	16 ms	1.024 s
0111	1.024 s	65.5 ms	32 ms	2.048 s
1000	1 ms	1 ms	31.25 μs	31.25 ms
1001	2 ms	2 ms	62.5 μs	62.5 ms
1010	4 ms	5 ms	125 μs	156.25 ms
1011	10 ms	10 ms	312.5 μs	312.5 ms
1100	16 ms	20 ms	0.5 ms	0.625 s
1101	0.1 s	50 ms	3.125 ms	1.5625 s
1110	0.5 s	0.1 s	15.625 ms	3.125 s
1111	1 s	0.2 s	31.25 ms	6.25 s

RTC 模数寄存器 （RTCMOD）允许将比较值设置为从 0x00 到 0xFF 的任何值。当计数器处于有效状态时，计数器以所选速率递增，直到计数与模数值匹配。当这些值匹配时，计数器复位为 0x00 并继续计数。任何时候发生匹配时，实时中断标记 （RTIF）会被设置。该标记在从模数值过渡为 0x00 时设置。写入 RTCMOD 将使预分频器和 RTCCNT 计数器复位为 0x00。

RTC 允许在设置 RTIF 时生成中断。要使能实时中断，在 RTCSC 中设置实时中断使能位 （RTIE）。向 RTIF 写入 1 可以清除 RTIF。



A.11 MCG 规范

表 A-12. CG 频率规范 （温度范围 = –40 至 125 °C ）

编号	C	参数	符号	最小值	典型值值	最大值	单位
1	P	当 V_{DD} = 5 V 、温度 = 25 °C 时的工厂调整值	f_{int_ft}	—	31.25	—	kHz
2	P	平均内部参考频率 - 未调整 [1]	f_{int_ut}	25	32.7	41.66	kHz
3	P	平均内部参考频率 - 用户调整	f_{int_t}	31.25	—	39.0625	kHz
4	D	内部参考启动时间	t_{irefst}	—	60	100	us
5	—	DCO 输出频率范围 - 为参考提供的未调整值 [1]：f_{dco_ut} = 1024 X f_{int_ut}	f_{dco_ut}	25.6	33.48	42.66	MHz
6	P	DCO 输出频率范围 - 已调整	f_{dco_t}	32	—	40	MHz
7	C	电压和温度固定时经调整的 DCO 输出频率的分辨率（使用 FTRIM）	$\Delta f_{dco_res_t}$	—	± 0.1	± 0.2	$\%f_{dco}$
8	C	电压和温度固定时经调整的 DCO 输出频率的分辨率（不使用 FTRIM）	$\Delta f_{dco_res_t}$	—	± 0.2	± 0.4	$\%f_{dco}$
9	P	已调整 DCO 输出频率的电压和温度总误差	Δf_{dco_t}	—	+ 0.5 -1.0	± 2	$\%f_{dco}$
10	C	0 - 70 °C 的温度范围内时已调整 DCO 输出频率的总误差	Δf_{dco_t}	—	± 0.5	± 1	$\%f_{dco}$
11	C	FLL 获取时间 [2]	$t_{fll_acquire}$	—	—	1	ms
12	D	PLL 获取时间 [3]	$t_{pll_acquire}$	—	—	1	ms
13	C	输出时钟的长时间抖动 （平均间隔为 2ms） [4]	C_{Jitter}	—	0.02	0.2	$\%f_{dco}$
14	D	VCO 操作频率	f_{vco}	7.0	—	55.0	MHz
15	D	PLL 参考频率范围	f_{pll_ref}	1.0	—	2.0	MHz
16	T	输出时钟的长期准确性 （平均为 2 ms）	$f_{pll_jitter_2ms}$	—	0.590[5]	—	$\%f_{pll}$
17	T	基于 625 ns[6] 测量的 PLL 输出时钟抖动	$f_{pll_jitter_625ns}$	—	0.566[5]	—	$\%f_{pll}$
18	D	锁定进入频率容限 [7]	D_{lock}	± 1.49	—	± 2.98	%
19	D	锁定退出频率容限 [8]	D_{unl}	± 4.47	—	± 5.97	%