



Welcome to E-XFL.COM

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	53
Program Memory Size	60KB (60K x 8)
Program Memory Type	FLASH
EEPROM Size	2K x 8
RAM Size	4K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 24x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 85°C (TA)
Mounting Type	Surface Mount
Package / Case	64-LQFP
Supplier Device Package	64-LQFP (10x10)
Purchase URL	https://www.e-xfl.com/pro/item?MUrl=&PartUrl=s9s08dz60f1clh

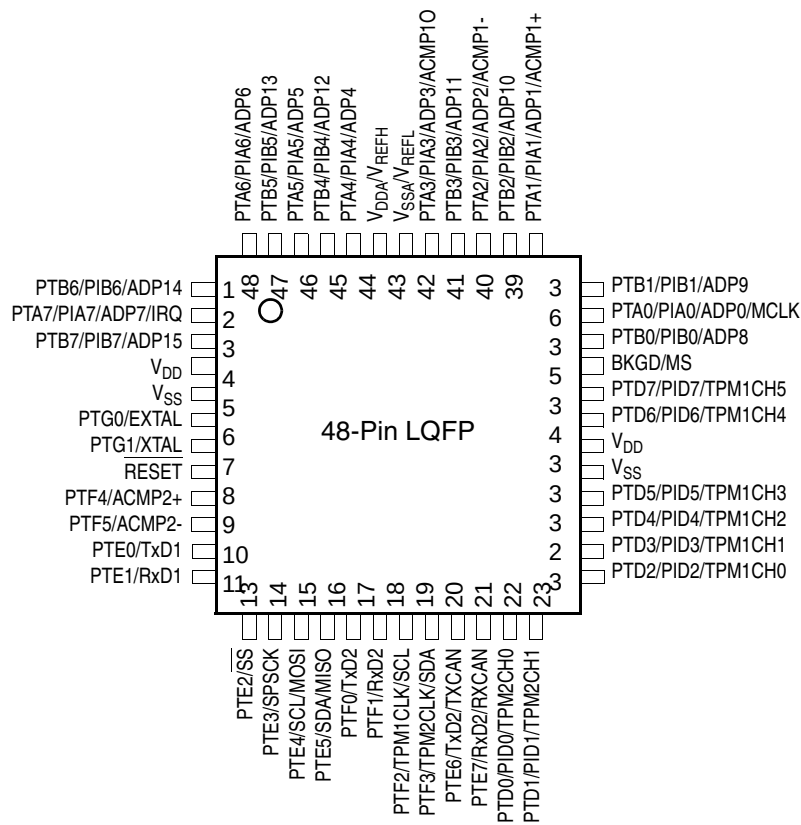
表 1-1. MC9S08DZ60 系列产品的特性（按 MCU 和管脚数量分）

特性	MC9S08DZ60			MC9S08DZ48			MC9S08DZ32			MC9S08DZ16	
Flash 大小 (字节)	60032			49152			33792			16896	
RAM 大小 (字节)	4096			3072			2048			1024	
EEPROM 大小 (字节)	2048			1536			1024			512	
管脚数量	64	48	32	64	48	32	64	48	32	48	32
ACMP1	是										
ACMP2	是	是 ¹	no	是	是 ¹	no	是	是 ¹	no	是 ¹	no
ADC 通道数	24	16	10	24	16	10	24	16	10	16	10
DBG	是										
IIC	是										
IRQ	是										
MCG	是										
MSCAN	是										
RTC	是										
SCI1	是										
SCI2	是										
SPI	是										
TPM1 通道数	6	6	4	6	6	4	6	6	4	6	4
TPM2 通道数	2										
XOSC	是										
COP Watchdog	是										

¹ ACMP2O 不可用。

1.2 MCU 结构图

图 1-1 为 MC9S08DZ60 系列产品的系统结构图。



V_{REFH} 和 V_{REFL} 在内部分别连接到 V_{DDA} 和 V_{SSA}。

图 2-2. 48 管脚 LQFP

4.3 寄存器地址和位分配

MC9S08DZ60 系列产品中的寄存器可分为以下几组：

- 直接页面寄存器，位于存储器映象的前 128 个位置上。这些寄存器可以通过高效的直接寻址模式指令访问。
- 高端页面（High-page）寄存器，不经常使用，因此位于存储器映象中 0x1800 以上。在直接页面寄存器中为经常使用的寄存器和 RAM 留出了更多空间。
- 非易失性寄存器，由 Flash 中 0xFFB0 ~ 0xFFBF 之间 16 个位置组成的位置段组成。非易失性寄存器位置包括：
 - NVPROT 和 NVOPT，在复位时上载到工作寄存器中。
 - 一个 8 字节后门对比密钥，可选择为用户分配有控制的安全内存访问权限。

由于非易失性寄存器的位置是在 Flash 中，所以必须像其他位置 Flash 一样擦除和编程。

直接页面寄存器可以通过高效的直接寻址模式指令访问。位操作指令可用于访问任何直接页面寄存器中的任何位。表 4-2 总结了所有用户可访问的直接页面寄存器和控制位。

表 4-2 所列的直接页面寄存器可以使用更高效的直接寻址模式（这种模式只需要地址的较低字节）。因此，第 1 栏中地址的较低字节用粗体显示。在表 4-3 和表 4-5 中，第 1 栏中的整个地址都用粗体显示。在表 4-2, 表 4-3, 和表 4-5 中，第 2 栏中的寄存器名称用粗体显示以便与右侧的位名称区分。与所列出的位不相关的单元在阴影中显示。带有 0 的阴影单元表示这个未使用的位始终应为 0。带有破折号的阴影单元表示未使用的或预留的位，可以是 1 或 0。

表 4-2. 直接页面寄存器总结 (第 1 页, 共 3 页)

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0x0052	SPIBR	0	SPPR2	SPPR1	SPPR0	0	SPR2	SPR1	SPR0
0x0053	SPIS	SPRF	0	SPTEF	MODF	0	0	0	0
0x0054	预留	0	0	0	0	0	0	0	0
0x0055	SPID	Bit 7	6	5	4	3	2	1	Bit 0
0x0056– 0x0057	预留	— —	— —	— —	— —	— —	— —	— —	— —
0x0058	IICA	AD7	AD6	AD5	AD4	AD3	AD2	AD1	0
0x0059	IICF	MULT		ICR					
0x005A	IICC1	IICEN	IICIE	MST	TX	TXAK	RSTA	0	0
0x005B	IICS	TCF	IAAS	BUSY	ARBL	0	SRW	IICIF	RXAK
0x005C	IICD	DATA							
0x005D	IICC2	GCAEN	ADEXT	0	0	0	AD10	AD9	AD8
0x005E– 0x005F	预留	— —	— —	— —	— —	— —	— —	— —	— —
0x0060	TPM2SC	TOF	TOIE	CPWMS	CLKSB	CLKSA	PS2	PS1	PS0
0x0061	TPM2CNTH	Bit 15	14	13	12	11	10	9	Bit 8
0x0062	TPM2CNTL	Bit 7	6	5	4	3	2	1	Bit 0
0x0063	TPM2MODH	Bit 15	14	13	12	11	10	9	Bit 8
0x0064	TPM2MODL	Bit 7	6	5	4	3	2	1	Bit 0
0x0065	TPM2C0SC	CH0F	CH0IE	MS0B	MS0A	ELS0B	ELS0A	0	0
0x0066	TPM2C0VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0067	TPM2C0VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0068	TPM2C1SC	CH1F	CH1IE	MS1B	MS1A	ELS1B	ELS1A	0	0
0x0069	TPM2C1VH	Bit 15	14	13	12	11	10	9	Bit 8
0x006A	TPM2C1VL	Bit 7	6	5	4	3	2	1	Bit 0
0x006B	预留	—	—	—	—	—	—	—	—
0x006C	RTCSC	RTIF	RTCLKS		RTIE	RTCPS			
0x006D	RTCCNT	RTCCNT							
0x006E	RTCMOD	RTCMOD							
0x006F	预留	—	—	—	—	—	—	—	—
0x0070– 0x007F	预留	— —	— —	— —	— —	— —	— —	— —	— —

4.5.11.2 Flash 和 EEPROM 选项寄存器 (FOPT 和 NVOPT)

在复位过程中，非易失性位置 NVOPT 上的内容从 Flash 拷贝到 FOPT 中。若想修改这个寄存器中的值，可对 Flash 中的 NVOPT 位置进行擦除和重新编程，然后发出新的 MCU 复位命令。

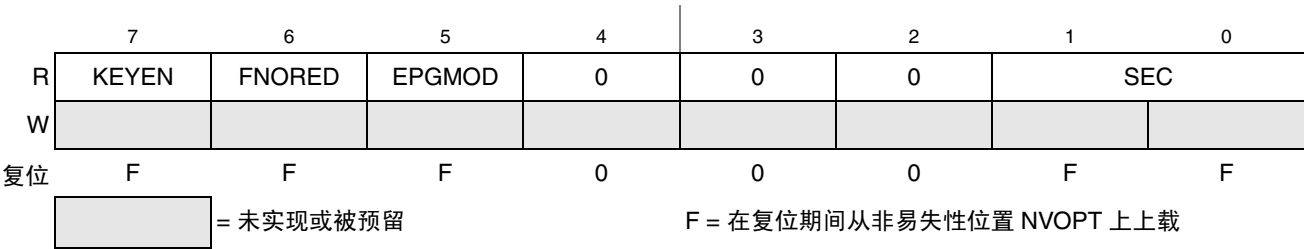


图 4-6. Flash 和 EEPROM 选项寄存器 (FOPT)

表 4-9. FOPT 寄存器字段描述

字段	描述
7 KEYEN	后门密钥机制启动 — 该位设置为 0 时，后门密钥机制不能用于关闭安全性。后门密钥机制只能从用户（受保护）固件上访问。BDM 命令不能用于写入可能会解锁后门密钥的密钥对比值。若欲了解有关后门密钥机制的更详尽信息，请参见 4.5.9，“安全性”。 0 不允许后门密钥访问。 1 如果用户固件写入一个与非易失性后门密钥（按顺序为 NVBACKKEY 到 NVBACKKEY+7）相匹配的 8 字节值，安全性在下一次 MCU 复位前会暂时关闭。
6 FNORED	向量重定向禁用 — 该位为 1 时向量重定向被禁用。 0 向量重定向启用。 1 向量重定向禁用。
5 EPGMOD	EEPROM 分区模式 — 该位为 0 时，每个分区分为两个页面（4 字节模式）。该位为 1 时，每个分区在一个页面中（8 字节模式）。 0 每个 EEPROM 分区的一半在页面 0 中而另一半在页面 1 中。 1 每个分区在一个页面中。
1:0 SEC	安全状态代码 — 这个 2 位字段决定 MCU 的安全状态，如表 4-10 所示。MCU 处于安全状态时，RAM、EEPROM 和 Flash 中的内容不能通过指令从不安全的源（包括后台调试接口）上访问。后门密钥被成功输入或对 Flash 进行了成功的空白检查后，SEC 将变为 1:0。若欲了解有关安全性的更详尽信息，请参见 4.5.9，“安全性”。

表 4-10. Security States¹

SEC[1:0]	描述
0:0	安全
0:1	安全
1:0	不安全
1:1	安全

¹ 后门密钥被成功输入或成功地对 Flash 进行了空白检查后，SEC 将变为 1:0。

表 4-12. FPROT 寄存器字段描述

字段	描述
7:6 EPS	EEPROM 保护选择位 — 这个 2 位字段决定不能被擦除或编程的受保护 EEPROM 位置。参见表 4-13.
5:0 FPS	Flash 保护选择位 — 这个 6 位字段决定不能被擦除或编程的受保护 Flash 位置。参见表 4-14.

表 4-13. EEPROM 块保护

EPS	受保护的地址域	受保护的内存大小（字节）	受保护的扇区数量
0x3	N/A	0	0
0x2	0x17F0 - 0x17FF	32	4
0x1	0x17E0 - 0x17FF	64	8
0x0	0x17C0-0x17FF	128	16

表 4-14. Flash 块保护

FPS	受保护的地址域	受保护的内存大小（字节）	受保护的扇区数量
0x3F	N/A	0	0
0x3E	0xFA00-0xFFFF	1.5K	2
0x3D	0xF400-0xFFFF	3K	4
0x3C	0xEE00-0xFFFF	4.5K	6
0x3B	0xE800-0xFFFF	6K	8
...	...	...	...
0x37	0xD000-0xFFFF	12K	16
0x36	0xCA00-0xFFFF	13.5K	18
0x35	0xC400-0xFFFF	15K	20
0x34	0xBE00-0xFFFF	16.5K	22
...	...	...	...
0x2C	0x8E00-0xFFFF	28.5K	38
0x2B	0x8800-0xFFFF	30K	40
0x2A	0x8200-0xFFFF	31.5K	42
0x29	0x7C00-0xFFFF	33K	44
...	...	...	...
0x22	0x5200-0xFFFF	43.5K	58
0x21	0x4C00-0xFFFF	45K	60
0x20	0x4600-0xFFFF	46.5K	62
0x19	0x4000-0xFFFF	48K	64
...	...	...	...

表 8-1. MCG 控制寄存器 1 字段描述

字段	描述
7:6 CLKS	时钟源选择 — 选择系统时钟源 00 Encoding 0 — 选择 FLL 或 PLL 输出。 01 Encoding 1 — 选择内部参考时钟。 10 Encoding 2 — 选择外部参考时钟。 11 Encoding 3 — 预留的，默认为 00。 .
5:3 RDIV	参考分频器 — 选择要分配给 IREFS 位选定参考时钟的量。如果选择 FLL，得到的频率必须在 31.25 kHz --39.0625 kHz 之间；如果选择 PLL，得到的频率必须在 1 MHz -- 2 MHz 之间。 000 Encoding 0 — 参考时钟除以 1 (复位默认) 001 Encoding 1 — 参考时钟除以 2 010 Encoding 2 — 参考时钟除以 4 011 Encoding 3 — 参考时钟除以 8 100 Encoding 4 — 参考时钟除以 16 101 Encoding 5 — 参考时钟除以 32 110 Encoding 6 — 参考时钟除以 64 111 Encoding 7 — 参考时钟除以 128
2 IREFS	内部参考选择 — 选择参考时钟源 1 选择内部参考时钟 0 选择外部参考时钟
1 IRCLKEN	内部参考时钟使能 — 使能内部参考时钟，用作 MCGIRCLK。 1 MCGIRCLK 使能 0 MCGIRCLK 禁止
0 IREFSTEN	内部参考停止使能 — 控制着当 MCG 进入停止模式时，内部参考时钟是否仍保持使能状态。 1 如果设置了 IRCLKEN 或者在 MCG 进入停止状态前已处于 FEI、FBI 或 BLPI 模式，那么内部参考时钟在停止状态中保持使能。 0 内部参考时钟在停止状态中被禁止。

8.4.2 MCG 控制寄存器 2 (MCGC2)

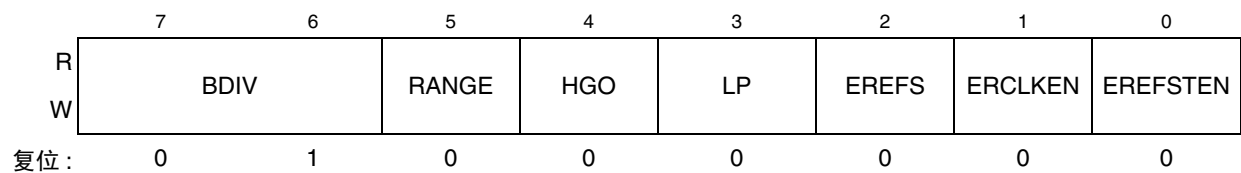


图 8-4. MCG 制寄存器 2 (MCGC2)

当提供了 ADHWT 源且已使能了硬件触发 (ADTRG=1) 时, ADHWT 的上升沿上就发起转换。如果转换进行过程中再出现上升沿, 该上升沿就被忽略。在连续转换模式下, 只是触发连续转换的初始上升沿有效。硬件触发功能可以结合任意转换模式和配置一起运行。

10.5.4 转换控制

转换可以在 12 位、10 位或 8 位模式下进行, 由 MODE 位决定。转换可以由软件或硬件触发发起。此外, ADC 模块也可以设置为低功率操作、长采样时间、连续转换或将转换结果与软件设定的比较值自动比较的方式。

10.5.4.1 发起转换

转换的发起:

- 如果选择软件触发操作, 在 ADCSC1 写入 (ADCH 位不全为 1) 后。
- 即使选择硬件触发操作, 在硬件触发 (ADHWT) 事件后。
- 当使能连续转换时, 在把结果传输到数据寄存器后。

如果使能连续转换, 在当前转换完成会就自动发起一个新转换。在软件触发操作中, 连续转换在写入 ADCSC1 后就开始, 并且一直持续直到被中止。在硬件触发操作中, 连续转换在硬件触发事件后开始, 并且一直持续直到被中止。

10.5.4.2 完成转换

当转换结果被传输到数据结果寄存器 ADCRH 和 ADCRL 中时, 转换完成。这通过置位 COCO 标识。如果置位 COCO 时 AIEN 高, 就会触发中断。

如果原有数据正在在 12 位或 10 位 MODE 中被读取, 拦截机制可以防止新结果覆盖 ADCRH 和 ADCRL 中的原有数据 (ADCRH 寄存器已被读取, 但 ADCRL 寄存器还没有)。当拦截处于工作状态时, 数据传输被拦截, COCO 未被置位而且新转换结果丢失。在使能了比较功能但比较条件不成立的单次转换中, 拦截不会起作用, ADC 操作终止。在其他模式下, 当数据传输被拦截时, 都会发起另另外一次转换, 而无论 ADCO 处于何种状态 (单次或连续转换使能)。

如果单次转换使能, 拦截机制可能会导致几个转换被丢失, 且功耗过高。为了避免这一问题, 数据寄存器必须在发起单转换且完成了转换后再读取。

10.5.4.3 中止转换

当出现下列情况时, 进行中的任何转换都将中止:

- ADCSC1 写入 (当前转换被中止, 如果 ADCH 不都是 1, 则会发起一个新转换。)
- ADCSC2、ADCCFG、ADCCVH 或 ADCCVL 写入。这表明出现运行模式更改, 当前转换因此无效。
- MCU 复位。
- MCU 进入停止模式, ADACK 被禁止。

当转换被中止时, 数据寄存器、ADCRH 和 ADCRL 的内容都不变, 保持上次成功转换完成后传输的值。如果由于复位中断了转换, ADCRH 和 ADCRL 返回其复位状态。

表 11-4. IIC 分频器和保持值

ICR (hex)	SCL 分频器	SDA 保持值	SCL 保持 (开始) 值	SDA 保持 (停止) 值
00	20	7	6	11
01	22	7	7	12
02	24	8	8	13
03	26	8	9	14
04	28	9	10	15
05	30	9	11	16
06	34	10	13	18
07	40	10	16	21
08	28	7	10	15
09	32	7	12	17
0A	36	9	14	19
0B	40	9	16	21
0C	44	11	18	23
0D	48	11	20	25
0E	56	13	24	29
0F	68	13	30	35
10	48	9	18	25
11	56	9	22	29
12	64	13	26	33
13	72	13	30	37
14	80	17	34	41
15	88	17	38	45
16	104	21	46	53
17	128	21	58	65
18	80	9	38	41
19	96	9	46	49
1A	112	17	54	57
1B	128	17	62	65
1C	144	25	70	73
1D	160	25	78	81
1E	192	33	94	97
1F	240	33	118	121

ICR (hex)	SCL 分频器	SDA 保持值	SCL 保持 (开始) 值	SDA 保持 (停止) 值
20	160	17	78	81
21	192	17	94	97
22	224	33	110	113
23	256	33	126	129
24	288	49	142	145
25	320	49	158	161
26	384	65	190	193
27	480	65	238	241
28	320	33	158	161
29	384	33	190	193
2A	448	65	222	225
2B	512	65	254	257
2C	576	97	286	289
2D	640	97	318	321
2E	768	129	382	385
2F	960	129	478	481
30	640	65	318	321
31	768	65	382	385
32	896	129	446	449
33	1024	129	510	513
34	1152	193	574	577
35	1280	193	638	641
36	1536	257	766	769
37	1920	257	958	961
38	1280	129	638	641
39	1536	129	766	769
3A	1792	257	894	897
3B	2048	257	1022	1025
3C	2304	385	1150	1153
3D	2560	385	1278	1281
3E	3072	513	1534	1537
3F	3840	513	1918	1921

11.5 功能描述

本小节详细描述了 IIC 模块的全部功能。

11.5.1 IIC 协议

IIC 总线系统为数据传输使用串行数据线（SDA）和串行时钟线（SCL）。与其连接的所有器件必须具有开漏或开极输出。逻辑与功能通过外部上拉电阻在两条线上执行。这些电阻的值与系统相关。

一般地，标准通信由以下四部分组成：

- 启动信号
- 从机地址发送
- 数据传输
- 停止信号

停止信号不应与 CPU 停止指令相混淆。IIC 总线系统通信将在后面进行简要地描述，并在图 11-9 中进行了阐释。

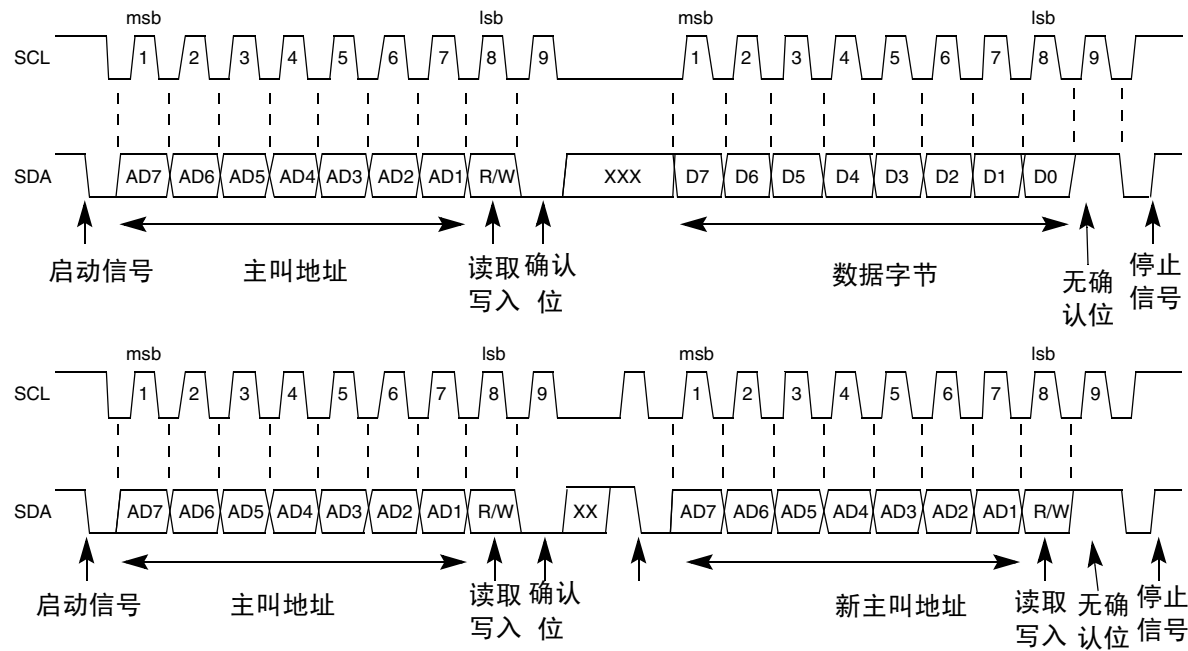


图 11-9. IIC 总线传输信号

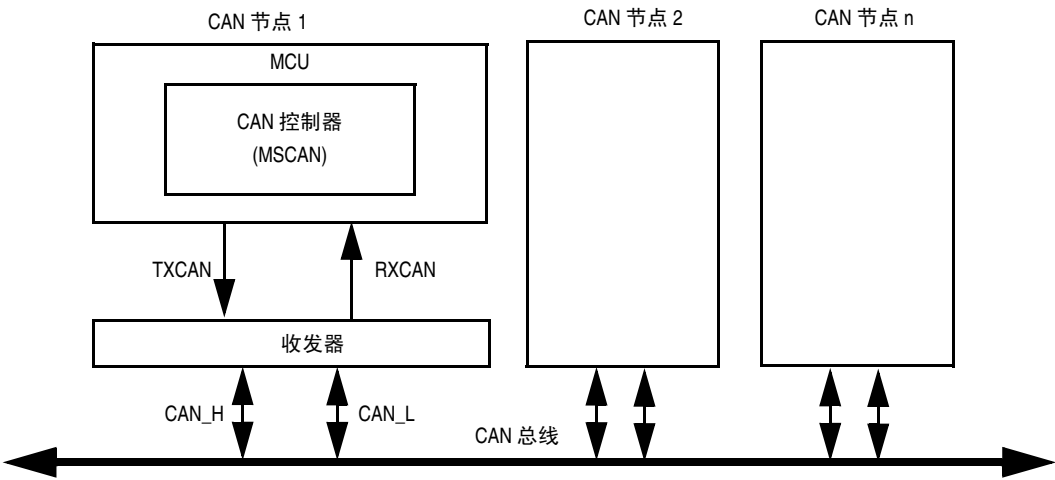


图 12-3. CAN 系统

12.3 寄存器定义

本节详细描述 MSCAN 模块中的所有寄存器和寄存器位。每个描述都包括带有相关图形编号的标准寄存器示意图。寄存器位和字段功能的详细说明在寄存器图后面，按位顺序。该模块中所有寄存器的所有位在寄存器读取过程中都与内部时钟完全同步。

12.3.1 MSCAN 控制寄存器 0 (CANCTL0)

The CANCTL0 寄存器提供了如下所述的 MSCAN 模块的各种位控制。

.

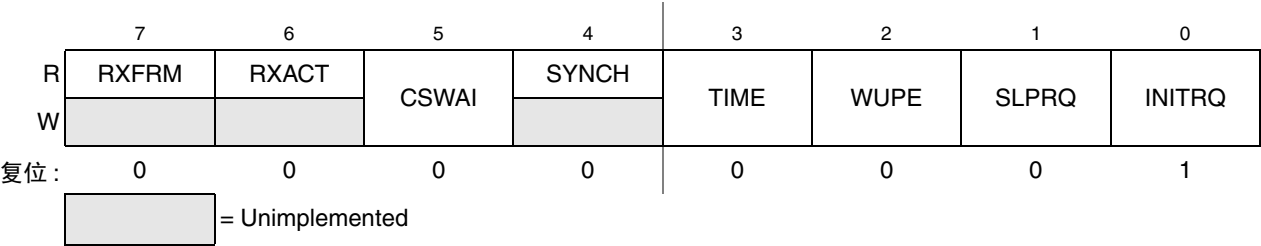


图 12-4. 控制寄存器 0 (CANCTL0)

注意

当初始化模式处于有效 (INITRQ = 1 and INITAK = 1). 时，除 WUPE、INITRQ 和 SLPRQ 外的所有 CANCTL0 寄存器位都处于复位状态。只要退出初始化模式 (INITRQ = 0, INITAK = 0)，该寄存器可以再次写入。

读取：任何时间

写入：退出初始化模式的任何时间；例外是只读 RXACT、SYNCH、RXFRM （只由该模块设置）和 INITRQ （也可以在初始化模式中写入）。.

12.5.2 报文存储

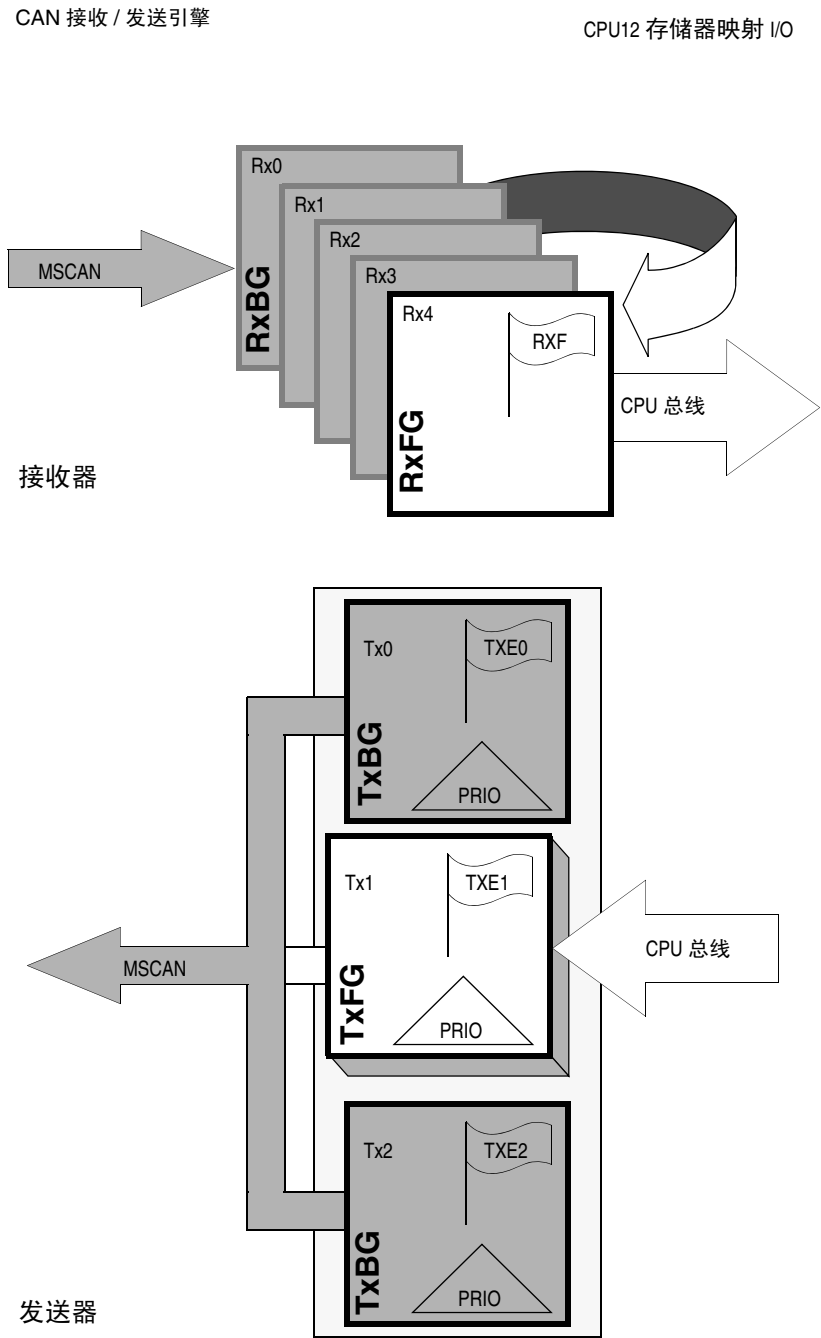


图 12-38. 报文缓冲器结构的用户模型

MSCAN 促进了一个能够满足一系列网络应用需求的先进报文存储系统。

12.5.5.4 MSCAN 睡眠模式

通过在 CANCTL0 寄存器中确定 SLPRQ 位，CPU 可以请求 MSCAN 进入这种低功率模式。MSCAN 进入睡眠模式的时间取决于固定的同步延迟及其当前状态：

- 如果有一个或多个报文缓冲器等待发送（TXEx = 0），MSCAN 将继续发送，直到所有发送报文缓冲器空（TXEx = 1，成功发送或中止），然后再进入睡眠模式。
- 如果 MSCAN 正在接收，它继续接收，并且一旦 CAN 总线空闲，就立即进入睡眠模式。
- 如果 MSCAN 既不在发送也不在接收，它会立即进入睡眠模式。

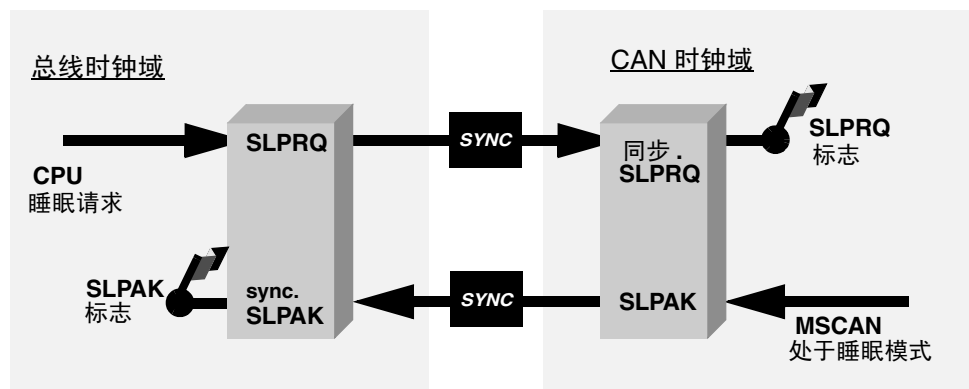


图 12-44. 睡眠请求 / 确认周期

注意

应用软件必须避免建立发送（通过清除一个或多个 TXEx 标志）后立即请求睡眠模式（通过设置 SLPRQ）。MSCAN 是启动发送还是直接进入睡眠模式取决于实际的操作顺序。

如果睡眠模式激活，SLPRQ 和 SLPK 置位（图 12-44）。应用软件必须把 SLPK 作为请求（SLPRQ）的握手标志，以进入睡眠模式。

当处于睡眠模式（SLPRQ = 1，SLPAK = 1）时，MSCAN 停止其内部时钟。然而，CPU 访问寄存器的时钟继续运行。

如果 MSCAN 处于总线脱离状态，由于时钟停止，它就停止计数 11 个连续隐性位的 128 次出现。TXCAN 管脚保持隐性状态。如果 RXF = 1，可以读取报文且可以清除 RXF。当处于睡眠模式时，不会出现新报文转移到接收器 FIFO（RxFG）的前景缓冲器的情况。

访问发送缓冲器和清除相关 TXE 标志是允许的。当处于睡眠模式时，不会出现报文中止的情况。

如果 CANCTL0 中的 WUPE 位还未置位，MSCAN 将屏蔽它在 CAN 上检测到的任何信号。RXCAN 管脚因此在内部设置为隐性状态。这将把 MSCAN 锁在睡眠模式（图 12-45）。WUPE 必须在进入睡眠模式前设置，以便发挥作用。

12.5.7.7 从恢复停止或 等待

MSCAN 可以通过唤醒中断从停止或等待中恢复。只有当 MSCAN 在进入断电模式前处于睡眠模式 (SLPRQ = 1, SLPK = 1) 时, 唤醒选项被使能 (WUPE = 1), 唤醒中断使能 (WUPIE = 1), 这种中断才能发生。

12.6 初始化 / 应用信息

12.6.1 MSCAN 初始化

系统复位后, 初始化 MSCAN 模块的流程如下:

1. 置位 CANE
2. 写入处于初始化模式的配置寄存器
3. 清除 INITRQ, 离开初始化模式, 进入正常模式

当 MSCAN 模块处于正常模式下, 需要更改只能在初始化模式中写入的寄存器:

1. CAN 总线空闲后, 通过设置 SLPRQ 并等待 SLPK 进行确认, 将模块置入睡眠模式。
2. 进入初始化模式: 确定 INITRQ 并等待 INITAK
3. 写入处于初始化模式的配置寄存器
4. 清除 INITRQ, 离开初始化模式, 继续保持正常模式

12.6.2 总线脱离恢复

用户可配置总线脱离恢复功能。总线脱离状态既可以自动退出, 也可以在用户的请求下退出。

出于向前兼容原因, 复位后, MSCAN 默认为自动恢复。在这种情况下, 在计数 128 次 CAN 总线上 11 个连续隐性位的出现后, MSCAN 将重新变成 ERROR ACTIVE (详情请参见 Bosch CAN 规范)。

如果 MSCAN 配置为用于用户请求模式 12.3.2, “控制寄存器 1 (CANCTL1)” 中设置的 BORM), 从总线脱离中恢复依赖于以下两个独立事件都成立后:

- 发现 128 次 CAN 总线上的 11 个连续隐性位
- 12.3.12, “MSCAN 其他寄存器 (CANMISC)” 中的 BOHOLD 已经被用户清除

这两个事件的发生顺序任意。

14.3.3.2 接收器唤醒操作

接收器唤醒是一种硬件机制，允许 SCI 接收器忽略用于不同 SCI 接收器的信息中的字符。在这种系统中，所有接收器都估计每条信息的第一个字符，一旦确定该信息旨在用于不同接收器，它们就立即将逻辑 1 写入 SCIXC2 中的接收器唤醒（RWU）控制位。当设置了 RWU 位时，禁止设置与接收器有关的状态标记（当设置了 RWUID 位时，闲置位 IDLE 除外），因此消除了处理不重要信息字符的软件开销。在信息结束或在下一条信息开始时，所有接收器自动强制 RWU 清零，这样所有接收器及时唤醒，以查看下一条信息的首字符。

14.3.3.2.1 闲置线路唤醒

当 WAKE = 0 时，接收器配置用于闲置线路唤醒。在该模式中，当接收器检测到闲置线路级的某个全字符时间时，RWU 被自动清除。M 控制位选择 8 位或 9 位数据模式，确定构成全字符时间所需的闲置位时间（10 或 11 位时间，由于起始和停止位）。

当 RWU 为 1、RWUID 为 0 时，唤醒接收器的闲置条件不会设置 IDLE 标记。接收器唤醒并等待下一条信息的第一个数据字符，这将设置 RDRF 标记并生成中断（如使能的话）。当 RWUID 为 1 时，任何闲置条件都设置闲置标记并生成中断（如使能的话），无论 RWU 是 0 还是 1。

闲置线路类型（ILT）控制位选择以下两种方式中的一种来检测闲置线路。当 ILT = 0 时，闲置位计数器在起始位后启动，这样停止位和字符末端的任何逻辑 1 计数闲置的全字符时间。当 ILT = 1 时，闲置位计数器直到停止位时间结束后才启动，这样闲置检测不受上一条信息的最后一个字符中的数据的影响。

14.3.3.2.2 地址标记唤醒

当 WAKE = 1 时，接收器配置用于地址标记唤醒。在该模式中，当接收器检测到已接收字符的最高位（在 M = 0 模式中是第 8 个位；在 M = 1 模式中是第 9 个位）中的逻辑 1 时，RWU 被自动清除。

地址标记唤醒允许信息包含闲置字符，但要求预留 MSB，以便在地址帧中使用。在收到停止位前，地址帧中 MSB 的逻辑 1 会清除 RWU 位，并设置 RDRF 标记。在这种情况下，会收到设置了 MSB 的字符，即便接收器在该字符时间的大部分时间中处于睡眠状态。

14.3.4 中断和状态标记

SCI 系统有三种独立的中断向量，以减少隔离中断原因所需的软件数量。一个中断向量与 TDRE 和 TC 事件的发射器相关，一个中断向量与 RDRF、IDLE、RXEDGIF 和 LBKDIF 事件的接收器相关，第三个向量用于 OR、NF、FE 和 PF 错误情况。这 10 个中断源的每个都可以由本地中断使能分别进行屏蔽。当清除本地使能以禁止生成硬件中断请求时，标记仍然可以用软件进行轮询。

SCI 发射器有两种状态标记，它们都可以生成硬件中断请求。发送数据寄存器空（TDRE）显示发送数据缓冲器何时空间将其他发送字符写入 SCIXD。如果设置了发送中断使能（TIE）位，每当 TDRE = 1 时都请求硬件中断。发送完成（TC）表示发射器完成发送所有数据、前导信号和中止字符，且它处于闲置状态，TxD 不活动。该标记通常用于带有调制解调器的系统，以决定何时可以安全关闭调制解调器。如果设置了发送完成中断使能（TCIE）位，每当 TC = 1 时请求硬件中断。

如果相应 TIE 或 TCIE 本地中断允许位为 0，那么就使用软件轮询来监控 TDRE 和 TC 状态标记，而不是发生软件中断。

当程序检测到接收数据寄存器已满（RDRF = 1）时，它通过读 SCiXD 从接收数据寄存器获取数据。RDRF = 1 时读 SCiXS1，这样 RDRF 标记就被清除，然后再读 SCiXD。

当使用轮询时，该顺序自然在用户程序的正常过程中得到满足。如果使用硬件中断，就必须在中断服务程序（ISR）中读 SCiXS1。在正常情况下，这无论如何都要在 ISR 中完成，以检查接收错误，这样该顺序就自动满足了。

当 RxD 线路在很长一段时间内保持闲置时，IDLE 状态标记包括可以防止其进行重复设置的逻辑。当 IDLE = 1 时，读 SCiXS1 可以清除 IDLE，然后再读 SCiXD。在已经清除 IDLE 后，它不能再次进行设置，直到接收器已经收到至少一个新字符并已设置 RDRF。

如果在造成设置 RDRF 的已接收字符中检测到有关错误，就在设置 RDRF 的同时设置错误标记，如噪音标记（NF）、成帧错误（FE）和奇偶效验错误标记（PF）。这些标记不会在溢出情况下设置。

如果当一个新字符准备好从接收移位器传输到接收数据缓冲器时已经设置了 RDRF，就设置溢出（OR）标记，而数据及任何有关的 NF、FE 或 PF 条件丢失。

任何时候，RxD 串行数据输入管脚上的活动边沿都会引起 RXEDGIF 标记设置。把 1 写入 RXEDGIF 会清除该标记。该功能取决于正被使能（RE = 1）的接收器。

14.3.5 其他 SCI 功能

以下几节描述其他 SCI 功能。

14.3.5.1 8 位和 9 位数据模式

通过在 SCiXC1 中设置 M 控制位，SCI 系统（发射器和接收器）在经过配置后可以运行在 9 位数据模式中。在 9 位模式中，在 SCI 数据寄存器的 MSB 的左侧有一个第 9 数据位。对发送数据缓冲器来说，该位保存在 SCiXC3 中的 T8。对接收器来说，第 9 位保存在 SCiXC3 中的 R8。

为了连贯写入发送数据寄存器，写入 SCiXD 前请先写入 T8 位。

如果作为新字符第 9 位发送的位值和上一字符的位值相同，则不需要重新写入 T8。当数据从发送数据缓冲器传输到发送移位器时，在数据从 SCiXD 传输到移位器的同时 T8 中的值被复制。

9 位数据模式通常和奇偶效验一起使用，以允许数据的 8 个位加第 9 位中的奇偶效验位。或者与地址标记唤醒一起使用，这样第 9 数据位可以作为唤醒位。在自定义协议中，第 9 位还可以作为软件控制标记。

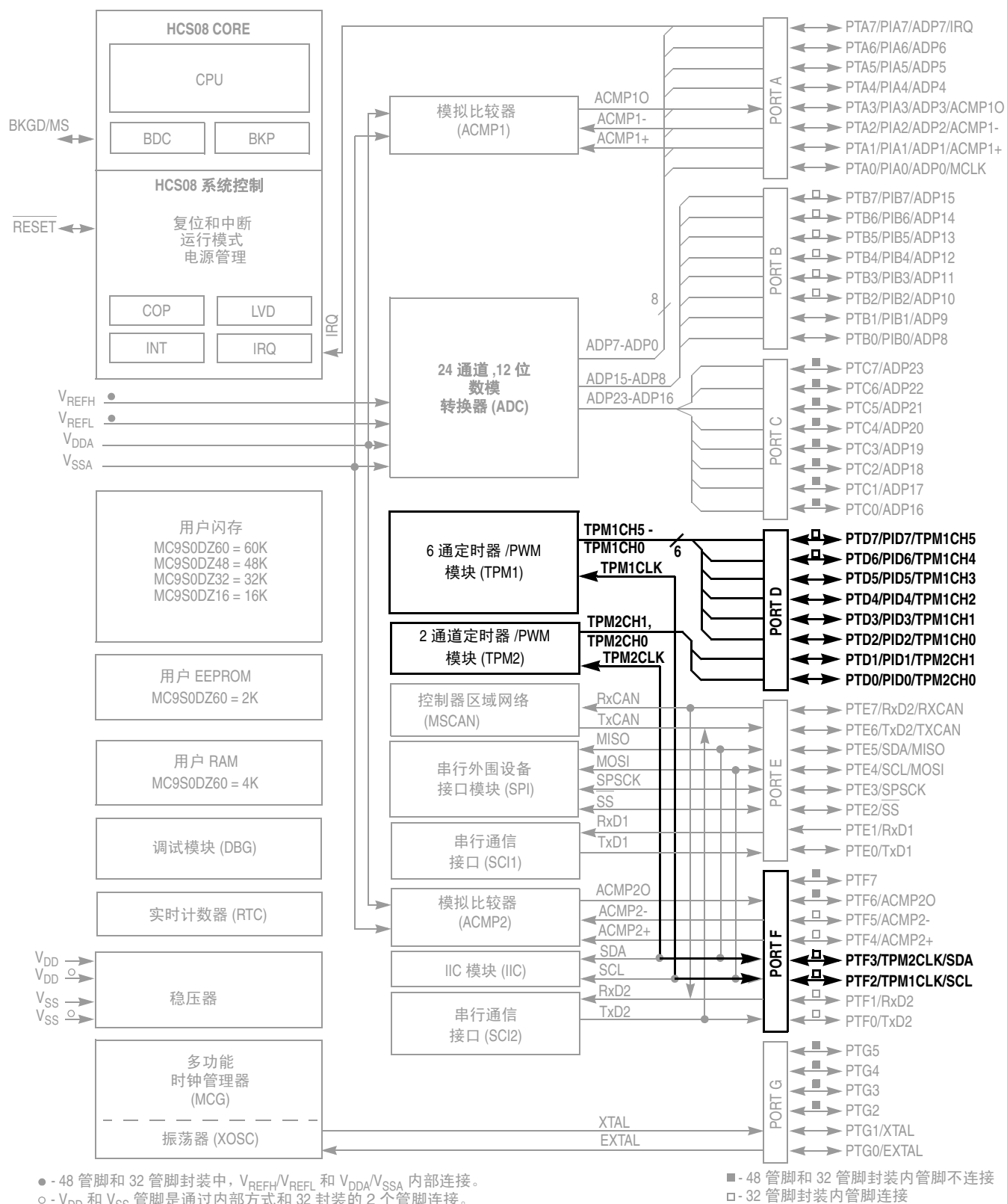


Figure 16-1. MC9S08DZ60 结构图

当没有调试盒连接 6- 管脚的 BDM 接口连接器时，BKGD c 的内部上拉会选择正常的操作模式。当调试盒连接到 BKGD 时，可以在 MCU 复位后强制它进入激活背景调试模式。强制激活背景调试的具体条件取决于 HCS08 衍生产品 (参见“开发支持”小节介绍)。不必复位目标 MCU 来通过背景调试接口来与之通信。

17.2.2 通信详细介绍

BDC 串行接口需要外部控制器来生成 BKGD 管脚上的下降沿，指示每个位时间的开始。无论数据是发送或接收，外部控制器都会提供这个下降边沿。

BKGD 是伪开漏管脚，可以被外部控制器或 MCU 来驱动。数据以 MSB 先发的形式且以每位 16 个 BDC 时钟周期的速率 (标定速率) 发送。如果来自主机的下降边沿之间产生 512 BDC 时钟周期，则该接口超时。如果出现超时，任何正在进行的 BDC 命令被中止，对目标 MCU 系统的存储器或操作模式没有影响。

定制串行协议要求调试盒知道目标 BDC 通信时钟速率。

BDC 状态和控制寄存器中的时钟开关 (CLKSW) 控制位允许用户选择 BDC 时钟源。BDC 时钟源可以是总线，或备用的 BDC 时钟源。

BKGD 管脚可以接收高或低电平，或发送高或低电平。下图显示了每种情况的时序。接口时序与目标 BDC 中的时钟同步，但是与外部主机异步。显示的内部 BDC 时钟信号是计数周期的参考。

图 17-2 显示了外部主机将逻辑 1 或 0 发送到目标 HCS08 MCU 的 BKGD 管脚。主机与目标异步，因此主机生成的 BKGD 下降边沿与目标所认为的位时间起始点有 0- 到 -1 周期的延迟。10 个目标 BDC 时钟周期后，目标获得 BKGD 管脚的电平。一般地，主机在主机到目标方向的传输过程中驱动 BKGD 管脚，以加快上升边沿。由于目标在主机至目标方向的传输周期中不驱动 BKGD 管脚，因此没有必要在此期间将线路作为开漏信号。

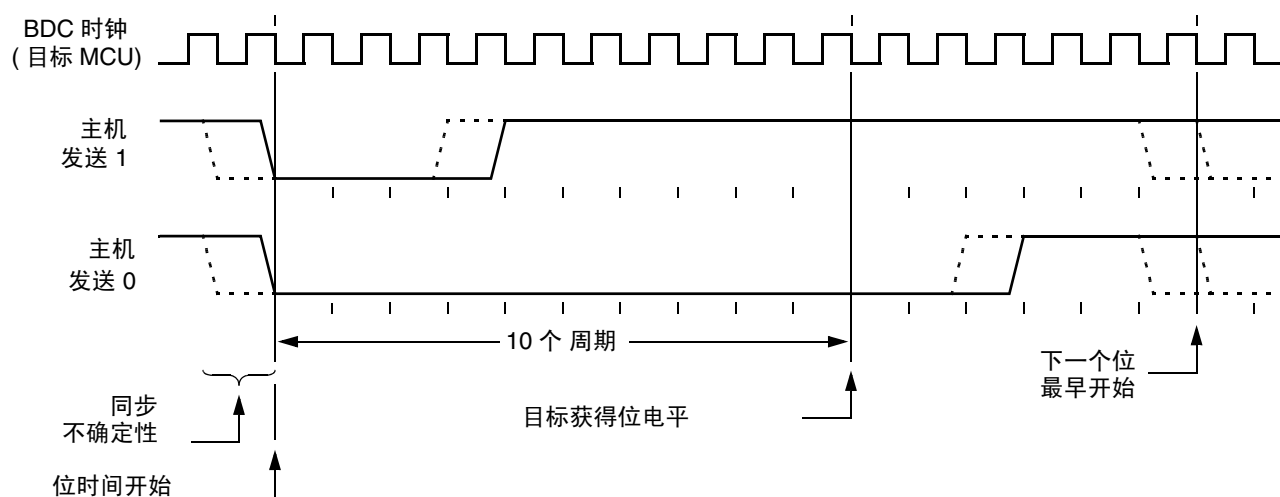


图 17-2. BDC 主机到目标方向串行位时序

B.7 TPM 中断

TPM 为主计数器溢出生成可选的中断，为每个通道生成一个中断。通道中断的意义取决于每个通道的运行模式。如果通道被配置用于输入捕获，所选的输入捕获边每次被识别时中断标记被设置。如果通道配置用于输出比较或 PWM 模式，中断标记会在每次主定时器计数器与 16 位通道值寄存器中的值匹配时被设置。参见复位、中断和系统配置一章了解绝对中断向量地址、优先级和本地中断掩码控制位。

对于 TPM 中的每个中断源，会在识别到中断条件（如定时器溢出、通道输入捕获或输出比较事件等）后设置标记位。这个标记可被软件读取（轮询）以确定操作已经发生，或者也可设置相关的启动位（TOIE 或 CHnIE）以启动硬件中断生成。中断启动位被设置时，相关中断标记等于 1 时会生成静态中断。从中断服务程序中返回前，用户软件必须执行一系列步骤来清除中断标记。

B.7.1 清除定时器中断标记

TPM 中断标记通过两个步骤来清除：标记位被设置（1）时被读取，然后是向该位中写入一个 0。如果在这两步间检测到新事件，序列被复位，并且在第二步后中断标记仍被设置以避免错过新事件的可能性。

B.7.2 定时器溢出中断描述

导致 TOF 被设置的条件取决于计数模式（向上或向上 / 向下）。在向上计数模式中，16 位定时器计数器从 0x0000 计数到 0xFFFF，然后在下一个计数时钟上溢出到 0x0000。在从 0xFFFF 过渡到 0x0000 时 TOF 被设置。设置了模数限制的情况下，TOF 标记会在从模数寄存器中设置的值过渡到 0x0000 时被设置。当计数器以向上 / 向下模式运行时，TOF 标记会在计数器从模数寄存器中设置的计数值和下一个更低计数值过渡而改变方向时被设置。这与 PWM 周期的结束对应（0x0000 计数值与周期中央对应）。

B.7.3 通道事件中断描述

通道中断的含义取决于通道的当前模式（输入捕获、输出比较、边缘对齐 PWM 或中央对齐 PWM）。

当通道被配置为输入捕获通道时，ELSnB:ELSnA 控制位选择上升边、下降边、任何边或无边（关）作为触发输入捕获事件的边。检测到选定的边之后，中断标记被设置。标记通过 B.7.1，“清除定时器中断标记”中所述的两步序列清除。

如果通道被配置为输出比较通道，每次主定时器计数器与通道值寄存器中的 16 位值匹配时会设置中断标记。标记通过 B.7.1，“清除定时器中断标记”中所述的两步序列清除。