

Welcome to E-XFL.COM

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

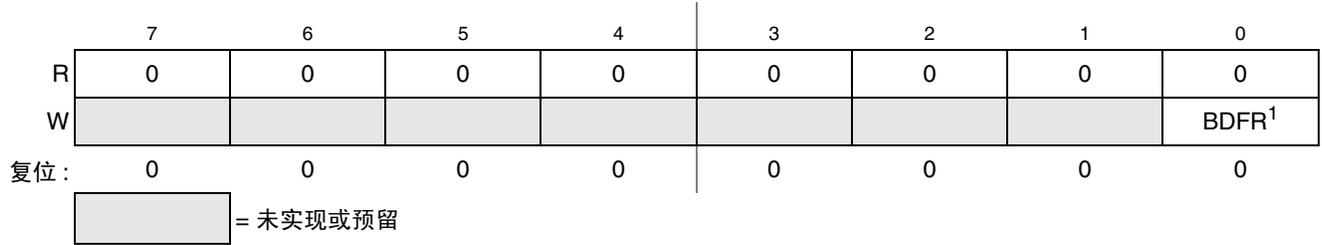
Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	60KB (60K x 8)
Program Memory Type	FLASH
EEPROM Size	2K x 8
RAM Size	4K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/pro/item?MUrl=&PartUrl=s9s08dz60f1mlc

5.8.3 系统后台调试强制复位寄存器 (SBD FR)

这个高页寄存器只包括一个只写控制位。串行后台命令，如 WRITE_BYTE 必须用来写入 SBD FR。从用户程序写入寄存器的尝试被忽略。读总是返回 0x00。



¹ 只能通过串行后台调试命令，而非用户程序写入 BDFR。

图 5-4. 后台调试强制复位寄存器 (SBD FR)

表 5-4. SBD FR 寄存器字段描述

字段	描述
0 BDFR	后台调试强制复位 — 可以使用串行后台命令，如 WRITE_BYTE，使外部调试主机强制进行目标系统复位。在该位中写入 1 就能强制进行 MCU 复位。该位不能从用户程序中写入。

5.8.4 系统选项寄存器 1 (SOPT1)

该高页寄存器是 write-once 寄存器，因此只重视复位后的第一次写入。它可以在任何时候读取。任何后续 SOPT1 写入尝试（有意或无意）都将被忽略，以避免对这些敏感器件的意外修改。该寄存器应在用户复位初始化程序期间写入，以设置期望的控制，即便期望的设置与复位设置相同。

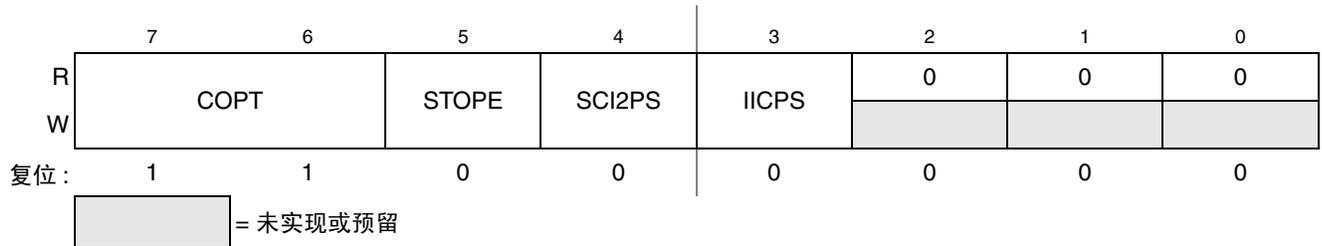


图 5-5. 系统选项寄存器 1 (SOPT1)

表 5-5. SOPT1 寄存器字段描述

字段	描述
7:6 COPT[1:0]	COP 看门狗超时 — 这些单次写入有效的位选择 COP 的超时周期。STOP2 中的 COPT 和 COPCLKS 定义 COP 超时周期。参见表 5-6。
5 STOPE	停止模式使能 — 这个单次写入有效的位用来使能停止模式。如果停止模式禁止且用户程序试图实施 STOP 指令，则会强制进行非法操作码复位。 0 停止模式禁止。 1 停止模式使能。

6.5.4.8 D 端口中断边沿选择寄存器 (PTDES)

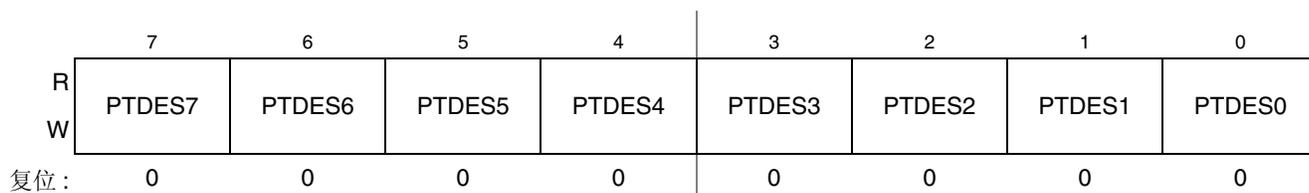


图 6-31. D 端口边沿选择寄存器 (PTDES)

表 6-29. PTDES 寄存器字段描述

字段	描述
7:0 PTDES[7:0]	D 端口边沿选择 — 每个 PTDES _n 位都具有双重功能，选择活动中断边沿的极性以及选择上拉或下拉器件（使能的话）。 0 上拉器件与相关的管脚相连，检测中断生成的下降边沿 / 低电平。 1 下拉器件与相关的管脚相连，检测中断生成的上升边沿 / 高电平。

6.5.5 E 端口寄存器

E 端口由下列寄存器控制。

6.5.5.1 E 端口数据寄存器 (PTED)

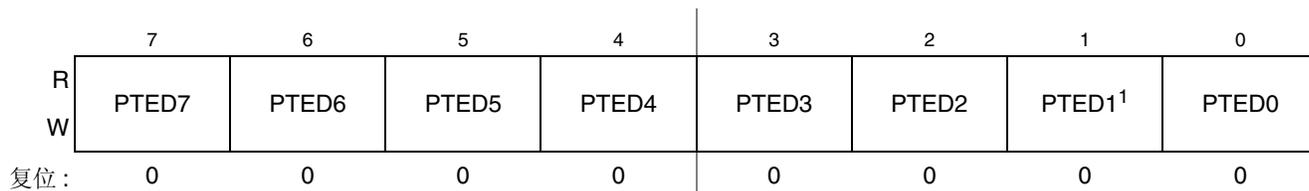


图 6-32. E 端口数据寄存器 (PTED)

¹ 读取这个位总是要返回相关管脚的管脚值，与端口数据方向位中保存的值无关。

表 6-30. PTED 寄存器字段描述

字段	描述
7:0 PTED[7:0]	E 端口数据寄存器位 — 对于配置为输入的 E 端口管脚，读数返回管脚上的逻辑电平。对于配置为输出的 E 端口管脚，读数返回写入寄存器的最后一个值。 写入值被锁定在本寄存器的所有位中。对于配置为输出的 E 端口管脚，逻辑电平被输出到驱出相应的 MCU 管脚。 复位强制 PTED 都为 0，但是这些 0 未被输出到驱出相应的管脚，因为复位还会将所有端口管脚配置为上拉 / 下拉禁止的高阻抗输入。

8.2.1 特性

MCG 模块的主要特性:

- 锁频环 (FLL)
 - 使用内部 32-kHz 参考时, 0.2% 分辨率
 - 使用内部 32-kHz 参考时, 全电压和温度范围内 2% 的偏差
 - 可以使用内部或外部参考控制 FLL
- 锁相环 (PLL)
 - 压控振荡器 (VCO)
 - 模数 VCO 分频器
 - 相位 / 频率检测器
 - 集成环路滤波器
 - 带中断功能的锁定检测器
- 内部参考时钟
 - 9 个调整位, 确保精确度
 - 可选择为 MCU 的时钟源
- 外部参考时钟
 - 外部振荡器控制
 - 具有复位功能的时钟监控器
 - 可选择为 MCU 的时钟源
- 提供参考分频器
- 所选的时钟源可以除以 1 2 4 或 8
- 无论在 FLL 还是 PLL 模式中, BDC 时钟 (MCGLCLK) 是一个由 DCO 输出除以 2 得出的常量。

注意

当退出主接收模式时，应当在读取 IICD 寄存器之前切换 IIC 模式，以防止意外启动主接收数据传输。

在从机模式中，地址匹配完成后提供相同功能。

IICC 中的 TX 位必须正确反应主从模式的传输方向，以便开始传输。例如，如果为 IIC 配置了主发送，但需要的却是主接收，读取 IICE 就不会启动接收。

当 IIC 配置为主接收或从接收模式时，读取 IICD 将返回所接收的最后一个字节。IICD 不反应 IIC 总线上发送的每个字节，软件也不能通过回读的方式确认字节是否已经正确写入 IICD。

在主传输模式中，置位 MST 后写入 IICD 的第一个字节数据用于传输地址，应当包含主叫地址（位 7 或位 1）及所需 R/W 位（在位 0 位置）。

11.4.6 IIC 控制寄存器 2 (IICC2)

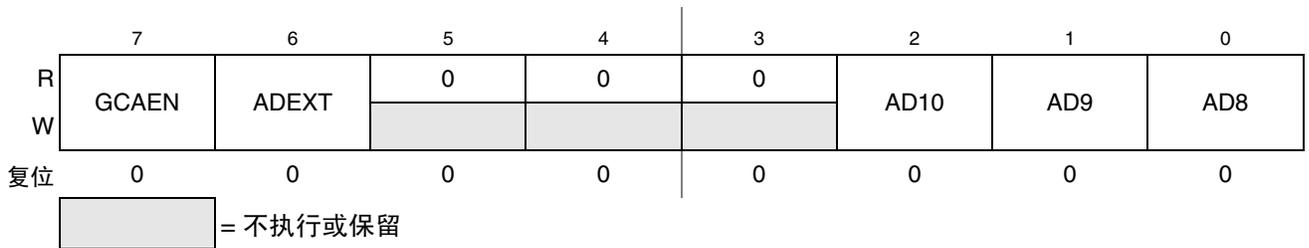


图 11-8. IIC 控制寄存器 (IICC2)

表 11-8. IICC2 字段描述

字段	描述
7 GCAEN	通用呼叫地址使能。GCAEN 位使能或禁止通用呼叫地址。 0 通用呼叫地址禁止 1 通用呼叫地址使能
6 ADEXT	地址扩展名。ADEXT 位控制着从机地址使用的位的数量。 0 7 位地址模式 1 10 位地址模式
2-0 AD[10:8]	AD[10:8] 从机地址。AD[10:8] 字段包含 10 位地址模式中从机地址的高三位。当 ADEXT 位设置时，本字段才有效。

12.3.4.1 MSCAN 接收器标志寄存器 (CANRFLG)

每个标志只有在造成该设置的条件不再有效时才能通过软件清除（将 1 写入相应位位置）。每个标志在 CANRIER 寄存器中都有相关的中断使能位。

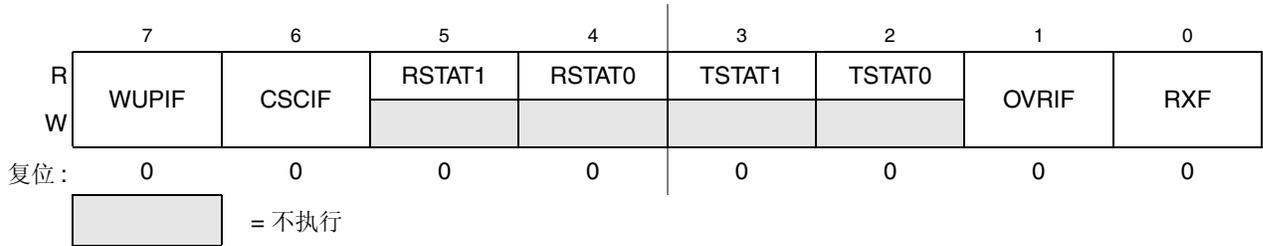


图 12-8. MSCAN 接收器标志寄存器 (CANRFLG)

注意

当初始化模式处于有效状态时 CANRFLG 寄存器保持复位状态 1 (INITRQ = 1, INITAK= 1)。一旦退出初始化模式，该寄存器就可以重新写入 (INITRQ = 0 and INITAK = 0)。

读取：任何时间

写入：退出初始化模式的任何时间，除非 RSTAT[1:0] 和 TSTAT[1:0] 标志是只读；写入 1 表示清除标志，写入 0 表示忽略标志。

表 12-9. CANRFLG 寄存器字段描述

字段	描述
7 WUPIF	唤醒中断标志—如果在处于睡眠模式时 MSCAN 检测到 CAN 总线上面有有效 (参见 12.5.5.4, “MSCAN 睡眠模式”) 且 CANTCTL0 中的 WUPE = 1(参见 12.3.1, “MSCAN 控制寄存器 0 (CANCTL0)”), 那么该模块将设置 WUPIF。如果未被屏蔽, 当设置了该标志时有一个唤醒中断产生。 0 处于睡眠模式时未观察到唤醒有效 1 MSCAN 检测到 CAN 总线上有有效并请求唤醒
6 CSCIF	CAN 状态变化中断标志 —当 MSCAN 由于发送错误计数器 (TEC) 和接收错误计数器的实际值而更改其当前 CAN 总线状态时, 设置该标志。另外一个为 TEC/REC 分出几个独立段的 4 位 (RSTAT[1:0]、TSTAT[1:0]) 状态寄存器告知系统实际的 CAN 总线状态 (参见 12.3.5, “MSCAN 接收器中断使能寄存器 (CANRIER)”)。如果未被屏蔽, 当设置了该标志时有一个错误中断产生。CSCIF 提供一个拦截中断, 这保证了接收器 / 发送器状态位 (RSTAT/TSTAT) 只有在无 CAN 状态变化中断产生时才进行更新。如果 TEC/REC 在 CSCIF 置位后更改其当前值, 就会引起 RSTAT/TSTAT 位的其他状态变化。这些位会一直保持它们的状态, 直到当前 CSCIF 中断被再次清除。 0 自上次中断以来 CAN 中线状态未发生变化 1 MSCAN 更改了当前 CAN 总线状态
5:4 RSTAT[1:0]	接收器状态位— 错误计数器的值控制着 MSCAN 的实际 CAN 总线状态。只要设置了状态变化中断标志 (CSCIF), 这些位就显示 MSCAN 的与接收器有关的适当 CAN 总线状态。位 RSTAT1、RSTAT0 的编码是: 00 RxOK: 0 ≤ 接收错误计数器 ≤ 96 01 RxWRN: 96 < 接收错误计数器 ≤ 127 10 RxERR: 127 < 发送错误计数器 11 Bus-off ¹ : 发送错误计数器 > 255

表 12-31. DSR0 - DSR7 寄存器字段描述

字段	描述
7:0 DB[7:0]	数据位 7:0

12.4.4 数据长度寄存器 (DLR)

该寄存器保存 CAN 帧的数据长度字段。

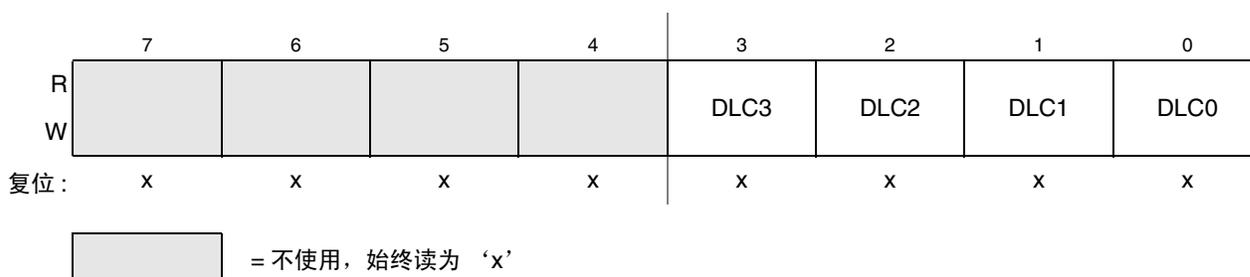


图 12-34. 数据长度寄存器 (DLR) — 扩展标识符映射

表 12-32. DLR 寄存器字段描述

字段	描述
3:0 DLC[3:0]	数据长度代码位 — 数据长度代码位包含各自报文的字节数 (数据字节计数)。在远程帧发送过程中, 数据长度代码作为已编程码发送, 而已发送的数据字节数始终为 0。数据帧的数据字节计数从 0 到 8 不等。表 12-33 显示设置 DLC 位的影响。

12.5.3.2 协议违反保护

MSCAN 能够防止用户由于编程错误而意外违反 CAN 协议。保护逻辑实施以下功能：

- 接收和发送错误计数器不能写入或以别的方式操作。
- 当 MSCAN 在线时，控制 MSCAN 的配置的所有寄存器均不能被修改。MSCAN 必须处于初始化模式。CANCTL0/CANCTL1 寄存器中的相应 INITRQ/INITAK 握手位（参见 12.3.1，“MSCAN 控制寄存器 0 (CANCTL0)”）作为一个锁来保护以下寄存器：
 - MSCAN 控制 1 寄存器 (CANCTL1)
 - MSCAN 总线定时寄存器 0 和 1 (CANBTR0, CANBTR1)
 - MSCAN 标识符接收控制寄存器 (CANIDAC)
 - MSCAN 标识符接收寄存器 (CANIDAR0 - CANIDAR7)
 - MSCAN 标识符掩码寄存器 (CANIDMR0 - CANIDMR7)
- 当 MSCAN 进入节电模式或初始化模式时，TXCAN 管脚立即被强制进入隐性状态（参见 12.5.5.6，“MSCAN 断电模式”和 12.5.5.5，“MSCAN I 初始化模式”）。
- MSCAN 使能位 (CANE) 在正常系统操作模式下只能写入一次，从而为意外禁止 MSCAN 提供了进一步保护。

12.5.3.3 时钟系统

图 12-42 显示 MSCAN 时钟发生电路的结构。

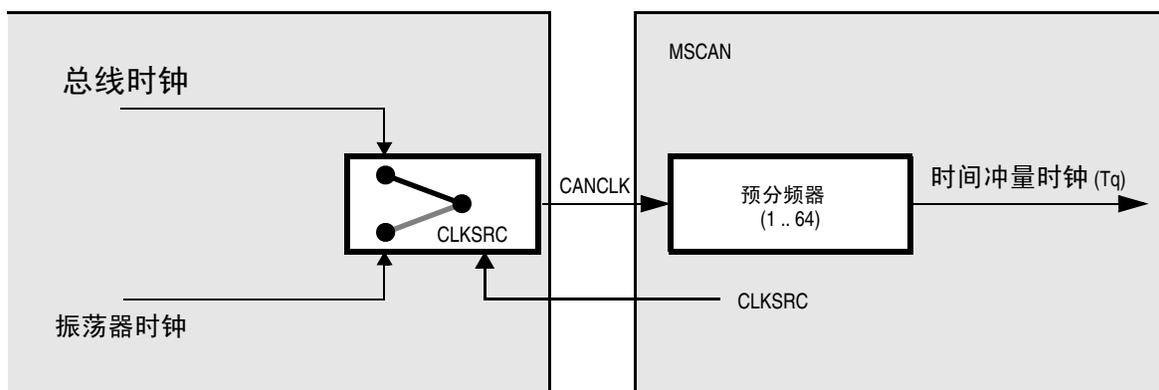


图 12-42. MSCAN 时钟机制

CANCTL1 寄存器 (12.3.2/-214) 中的时钟源位 (CLKSRC) 决定内部 CANCLK 是连接到晶体振荡器（振荡器时钟）输出还是连接到总线时钟。

必须选择能满足 CAN 协议的振荡器精度要求（高达 0.4%）的时钟源。此外，对于高 CAN 总线速率（1 Mbps）来说，要求 45%-55% 的时钟占空比。

如果总线时钟从 PLL 中生成，由于抖动，建议选择振荡器时钟而不是总线时钟，特别是以较快的 CAN 总线速率时。PLL 锁可能太宽，不能确保所需的时钟精度。

对于那些没有时钟和复位发生器 (CRG) 的微控制器，CANCLK 的驱动则来自晶体振荡器（振荡时钟）。

若 $CPHA = 1$ ，则当处于活跃低态时，辅器件开始驱动其 MISO 输出，但直到出现第一个 SPSCK 边沿时才定义数据。第一个 SPSCK 边沿将数据的第一位从移位器转移到主 SPI 器件的 MOSI 输出和辅 SPI 器件的 MISO 输出。第二个 SPSCK 边沿促使主 SPI 器件和辅 SPI 器件分别在它们的 MISO 和 MOSI 输入上进行数据位值采样。在第三个 SPSCK 边沿，SPI 移位器移动 1 个位位置，移到刚刚采样的位值中，将第二个数据位值移出移位器的另一端，分别移到主 SPI 器件和辅 SPI 器件的 MOSI 和 MISO 输出。若 $CPHA = 1$ ，不需要辅 SPI 器件的 SS 输入在两个传输之间进入非激活的高电平状态。

图 13-11 显示了 $CPHA = 0$ 时的时钟格式。在图的顶部，显示了 8 个位时间，作为参考。当选择辅时钟时（SS IN 进入低态），第一个位就开始，第八个位结束于最后一个 SPSCK 边沿。MSB First 和 LSB First 线根据 LSBFE 中的设置显示了 SPI 数据位的顺序。SPSCK 极性的两个变化都显示了出来，但这两个波形中只有一个适用于特定传输，具体哪一个取决于 CPOL 中的值。SAMPLE IN 波形适用于辅器件的 MOSI 输入或主器件的 MISO 输入。MOSI 波形适用于主器件的 MOSI 输出管脚，MISO 波形适用于辅器件的 MISO 输出。SS OUT 波形适用于主器件的辅选择输出（如果 MODFEN，SSOE = 1）。传输的第一位时间开始时，主器件的 SS 输出处于活跃低态，在传输的第 8 个位时间结束后的半个 SPSCK 周期时返回高态。SS IN 波形适用于辅器件的辅选择输入。

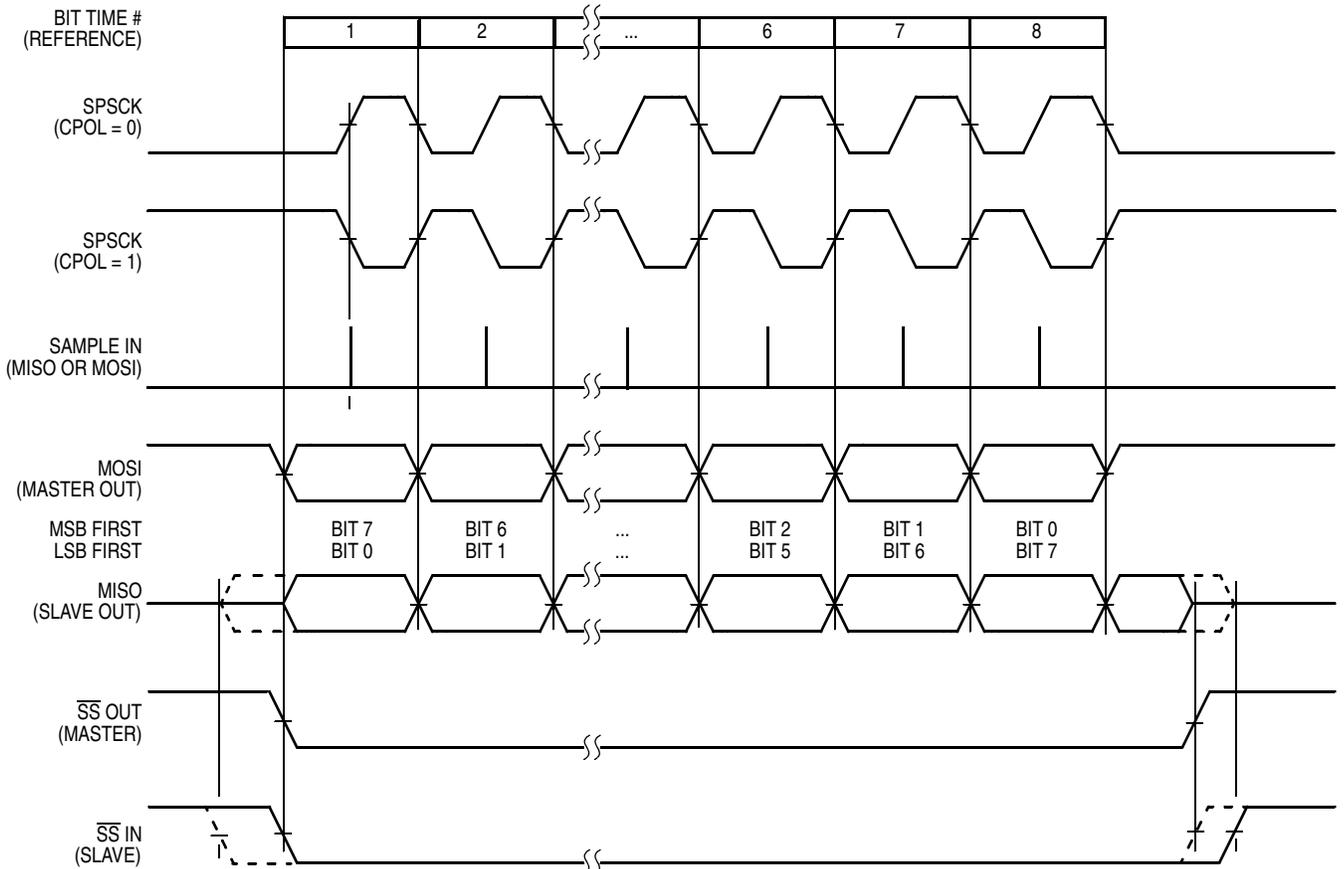


图 13-11. SPI 时钟格式 ($CPHA = 0$)

若 $CPHA = 0$ ，则当处于活跃低态时，辅器件开始用第一个数据位值（MSB 或 LSB，取决于 LSBFE）驱动其 MISO 输出。第一个 SPSCK 边沿促使主 SPI 器件和辅 SPI 器件分别在它们的 MISO 和 MOSI 输入管脚上进行数据位值采样。在第二个 SPSCK 边沿，SPI 移位器移动一个位位置，移到刚刚采样的位值，将第二个数据位值移出移位器的另一端，分别移动到主辅 SPI 器件的 MOSI 和 MISO 输出。若 $CPHA = 0$ ，辅 SPI 器件的 SS 输入在两个传输间必须进入非激活的高电平状态。

13.5.2 SPI 中断

有三个标记位、两个中断屏蔽位和一个与 SPI 系统有关的中断向量。SPI 中断使能位（SPIE）允许来自 SPI 接收器已满标记（SPRF）和模式故障标记（MODF）的中断发生。SPI 发送中断使能位（SPTIE）允许来自 SPI 发送缓冲器空标记（SPTEF）的中断发生。当设置了一个标记位且设置了相关中断使能位，硬件中断请求就被发送到 CPU。如果中断使能位被清除，软件可以轮询相关标记位，而不发生中断。SPI 中断服务程序（ISR）应检查标记位，确定引起中断的事件。在从 ISR（通常在 ISR 起点的附近）返回前，服务程序还应清除标记位。

13.5.3 模式故障检测

当主 SPI 器件在 SS 管脚上检测到错误时（假设 SS 管脚配置为模式故障输入信号），就会发生模式故障并设置模式故障标记（MODF）。当 $MSTR = 1$ ，设置模式故障位使能（ $MODFEN = 1$ ），辅助 SPI 选择输出使能位清零（ $SSOE = 0$ ）时，SS 管脚配置为模式故障输入信号。

模式故障检测功能可用于一个以上的 SPI 器件可能同时成为主要 SPI 的系统中。当主 SPI 的 SS 管脚低时检测到错误，就表明有其他 SPI 器件正尝试寻址该主 SPI，就好像它是从 SPI 器件一样。这可以显示出一个有害的输出驱动器冲突，因此当检测到这种错误时，模式故障逻辑被设计成能够禁止所有 SPI 输出驱动器。

当检测到模式故障时，设置 MODF 并清除 MSTR，以便把 SPI 配置变回辅模式。SPSCK、MOSI 和 MISO 上的输出驱动器（如果不是双向模式）被禁止。

当 $MODF=1$ 时读它可以清除 MODF，然后写入 SPI 控制寄存器 1（SPIC1）。用户软件应在把 SPI 变回主模式前，确认已经更正了错误。

14.2.6 SCI 控制寄存器 3 (SCIxC3)

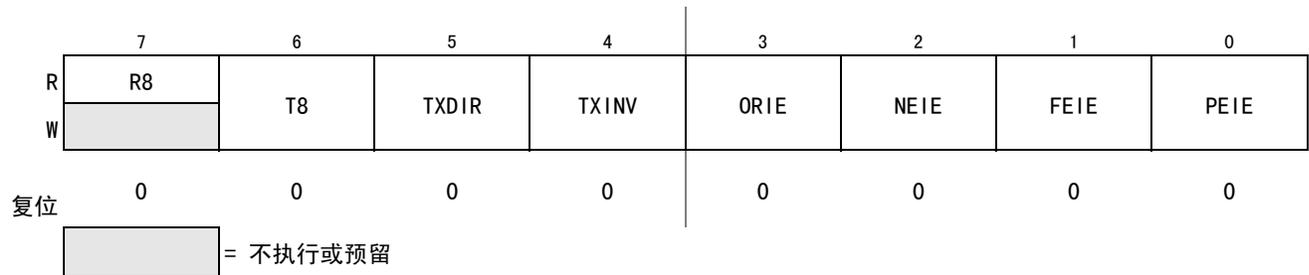


图 14-10. SCI 控制寄存器 3 (SCIxC3)

表 14-8. SCIxC3 字段描述

字段	描述
7 R8	接收器的第 9 个数据位 — 当 SCI 配置用于 9 位数据 (M = 1) 时, R8 可以视为 SCIxD 寄存器中缓冲数据的 MSB 左侧的第 9 个接收数据位。读 9 位数据时, 读 SCIxD 前读取 R8, 因为读 SCIxD 能够完成自动的标记清除顺序, 允许 R8 和 SCIxD 被新数据覆盖。
6 T8	9 个数据位发射器 — 当 SCI 配置用于 9 位数据 (M = 1) 时, T8 可以视为 SCIxD 寄存器中缓冲数据的 MSB 左侧的第 9 个接收数据位。写 9 位数据时, 整个 9 位值在 SCIxD 写入后被传输到 SCI 移位寄存器, 因此, T8 应在 SCIxD 写入前写入 (如果它需要从它的原来值中修改)。如果 T8 不需要在新值 (例如当它用于生成标记或空间奇偶效验) 中修改, 它就不需要在每次写 SCIxD 时写入。
5 TXDIR	单线模式中的 TxD 管脚方向 — 当 SCI 配置用于单线半双工运行 (LOOPS = RSRC = 1) 时, 该位决定 TxD 管脚上数据的方向。 0 TxD 管脚是单线模式中的输入。 1 TxD 管脚是单线模式中的输出。
4 TXINV ¹	发送数据反转 — 设置该位反转已发送数据输出的极性。 0 发送数据未被反转 1 发送数据被反转
3 ORIE	溢出中断使能 — 该位使能溢出标记 (OR) 以生成硬件中断请求。 0 OR 中断禁止 (使用轮询) 1 当 OR = 1 时允许硬件中断
2 NEIE	噪音错误中断使能 — 该位使能噪音标记 (NF) 以生成硬件中断请求。 0 NF 中断禁止 (使用轮询) 1 当 NF = 1 时允许硬件中断
1 FEIE	成帧错误中断使能 — 该位使能成帧错误标记 (FE) 以生成硬件中断请求。 0 FE 中断禁止 (使用轮询) 1 当 FE = 1 时允许硬件中断
0 PEIE	奇偶效验错误中断使能 — 该位使能奇偶错误标记 (PF) 以生成硬件中断请求。 0 PF 中断禁止 (使用轮询) 1 当 PF = 1 时允许硬件中断

¹ 设置 TXINV 会反转所有情况下的 TxD 输出: 数据位、起始位和停止位、中止符、闲置。

100%，因为占空比比较将不会发生。这意味着模数寄存器设置的可用范围周期为 0x0001 至 0x7FFE（如果不需要 100% 的占空比，则为 0x7FFF）。这不是一个重大的限制。所能产生的周期将远远长于正常应用所需的周期。

TPMxMODH:TPMxMODL=0x0000 是不用于中央对齐 PWM 模式的特例。当 CPWMS=0 时，这一情况与计数器从 0x0000 自由运行到 0xFFFF 的情况相对应，但当 CPWMS=1 时，计数器需要与 0x0000 以外的模数寄存器有效匹配，以便将方向从向上计数变为向下计数。

TPM 通道寄存器（2 倍）中的输出比较值决定 CPWM 信号的脉冲宽度（占空比）（图 16-16）。如果 ELSnA=0，当向上计数时发生数值比较会强制 CPWM 输出信号进入低态；当向下计数时发生数值比较会强制输出进入高态。计数器达到 TPMxMODH:TPMxMODL 中的模数设置后才开始向上计数；然后向下计数直到 0。这将周期设置为 TPMxMODH:TPMxMODL 的两倍。

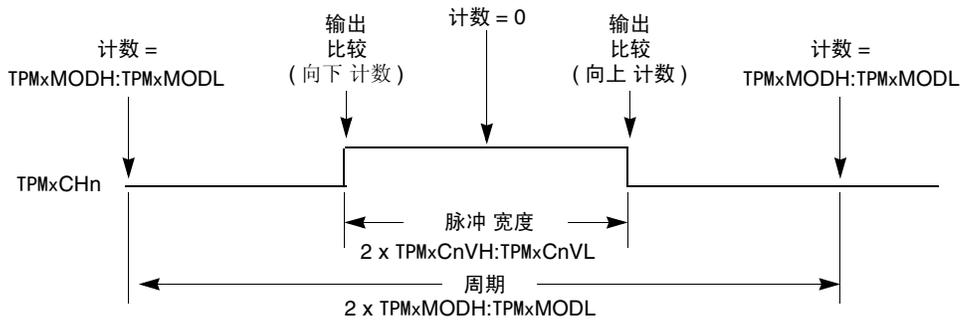


图 16-16. CPWM 周期和脉冲宽度 (ELSnA=0)

中央对齐 PWM 输出的噪音一般比边缘对齐 PWM 小，因为相同系统时钟边上的输入 / 输出管脚过渡更少。有些类型的电机需要这类 PWM 应用。

当计数器以向上 / 向下计数模式运行时，输入捕捉、输出比较和边缘对齐 PWM 功能没有意义。因此这意味着当 CPWMS=1 时，TPM 中的所有使能通道必须用于 CPWM 模式中。

TPM 可用在 8 位 MCU 中。定时器通道寄存器中的设置被缓冲，以确保连贯的 16 位更新并避免意外的 PWM 脉冲宽度。向任何寄存器 TPMxMODH、TPMxMODL、TPMxCnVH 和 TPMxCnVL 中写入实际上就是写入到缓冲器寄存器中。

在中央对齐 PWM 模式下，TPMxCnVH:L 寄存器根据 CLKSb:CLKSA 位的值通过写入缓冲器的值得到更新，因此：

- 如果 (clksb:clksa = 0:0)，寄存器在第二个字节被写入时更新。
- 如果 (clksb:clksa not = 0:0)，寄存器在两个字节都被写入，tpm 计数器从 (tpmxmodh:tpmxmodl - 1) 变为 (tpmxmodh:tpmxmodl) 后更新。如果 tpm 计数器为自由运行的计数器，那么更新在 tpm 计数器从 0xffff 变为 0x0000 时进行。

当 TPMxCnTH:TPMxCnTL=TPMxMODH:TPMxMODL 时，TPM 可选择生成 TOF 中断（在该计数结束时）。

写入 TPMxSC 的操作会取消写入到 TPMxMODH 和 / 或 TPMxMODL 中的任何值，并且复位模数寄存器的一致性机制。写入 TPMxCnSC 的操作会取消写入到通道值寄存器中的任何值，并且为 TPMxCnVH:TPMxCnVL 复位一致性机制。

当没有调试盒连接 6- 管脚的 BDM 接口连接器时，BKGD c 的内部上拉会选择正常的操作模式。当调试盒连接到 BKGD 时，可以在 MCU 复位后强制它进入激活背景调试模式。强制激活背景调试的具体条件取决于 HCS08 衍生产品（参见“开发支持”小节介绍）。不必复位目标 MCU 来通过背景调试接口来与之通信。

17.2.2 通信详细介绍

BDC 串行接口需要外部控制器来生成 BKGD 管脚上的下降沿，指示每个位时间的开始。无论数据是发送或接收，外部控制器都会提供这个下降边沿。

BKGD 是伪开漏管脚，可以被外部控制器或 MCU 来驱动。数据以 MSB 先发的形式且以每位 16 个 BDC 时钟周期的速率（标定速率）发送。如果来自主机的下降边沿之间产生 512 BDC 时钟周期，则该接口超时。如果出现超时，任何正在进行的 BDC 命令被中止，对目标 MCU 系统的存储器或操作模式没有影响。

定制串行协议要求调试盒知道目标 BDC 通信时钟速率。

BDC 状态和控制寄存器中的时钟开关 (CLKSW) 控制位允许用户选择 BDC 时钟源。BDC 时钟源可以是总线，或备用的 BDC 时钟源。

BKGD 管脚可以接收高或低电平，或发送高或低电平。下图显示了每种情况的时序。接口时序与目标 BDC 中的时钟同步，但是与外部主机异步。显示的内部 BDC 时钟信号是计数周期的参考。

图 17-2 显示了外部主机将逻辑 1 或 0 发送到目标 HCS08 MCU 的 BKGD 管脚。主机与目标异步，因此主机生成的 BKGD 下降边沿与目标所认为的位时间起始点有 0- 到 -1 周期的延迟。10 个目标 BDC 时钟周期后，目标获得 BKGD 管脚的电平。一般地，主机在主机到目标方向的传输过程中驱动 BKGD 管脚，以加快上升边沿。由于目标在主机至目标方向的传输周期中不驱动 BKGD 管脚，因此没有必要在此期间将线路作为开漏信号。

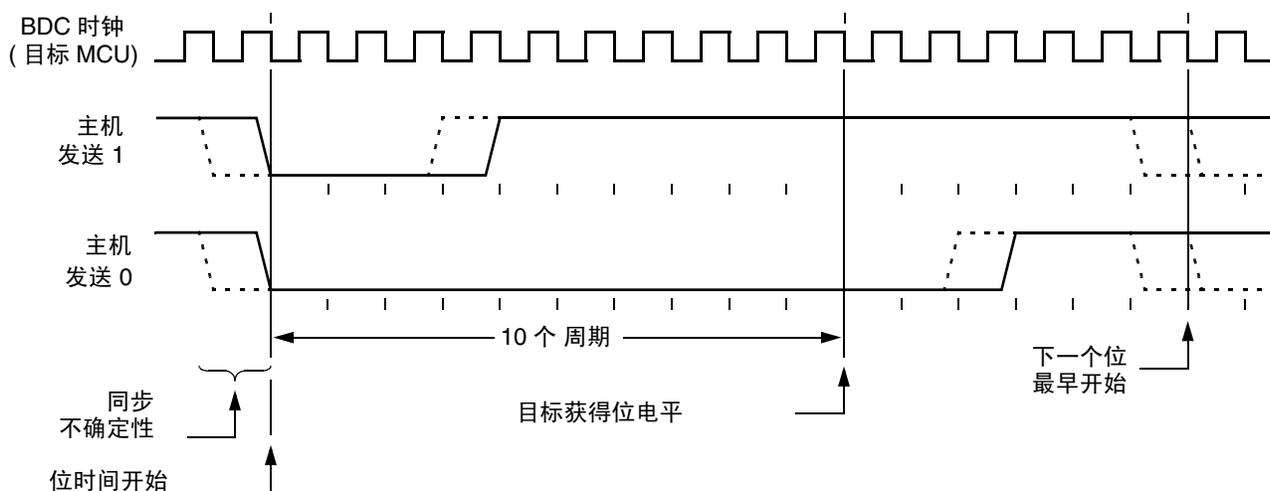


图 17-2. BDC 主机到目标方向串行位时序

17.3.5 触发模式

触发模式控制调试器运行的整体行为。DBGT 寄存器中的 4- 位 TRG 字段选择九个触发模块中的一个。当 DBGT 寄存器中的 TRGSEL = 1, 比较器的输出必须在触发 FIFO 操作前通过操作码跟踪电路传播。DBGT 中的 BEGIN 位选择当检测到合格的触发时 FIFO 是否开始存储数据（开始跟踪），或 FIFO 从其打开之时开始循环存储数据，直到检测到合格的触发（结束触发）。

将 1 写入到寄存器中的 ARM 位便可启动调试运行，它设置 DBGS 中的 ARMF 标记，并清除 AF 和 BF 标记及 CNT 位。开始跟踪调试运行当 FIFO 满时结束。结束跟踪运行则在所选触发事件发生时结束。任何调试运行均可通过将 0 写入到 DBGC 中的 ARM 或 DBGEN 位停止。

除纯事件模式外的所有触发模式中，FIFO 都存储流变化地址。在纯事件触发模式中，FIFO 将数据存储在 FIFO 的八低八位。

控制位在纯事件触发模式中被忽略，而且所有这样的调试运行都是开始类型跟踪。当 TRGSEL = 1 选择操作码获取触发器，没有必要在比较中使用 R/W，因为操作码标签只应用于操作码获取，而这一直都是读周期。在采用全模式触发器时，规定 TRGSEL = 1 也是不正常的，因为操作码的值通常在特定的地址可以知道。

下面的触发模式描述只说明了导致触发的主要比较器条件。比较器 A 或 B 通常都可以被 R/W 进一步鉴定，通过将 RWAEN (RWBEN) 和相应的 RWA (RWB) 值设置为与 R/W 相匹配。如果 BRKEN = 1, 来自比较器的带可选 R/W 鉴定的信号，用来请求 CPU 断点，TAG 决定 CPU 请求是标记请求还是强制请求。

只 A— 当地址匹配比较器 A 的值时触发

A 或 B— 当地址匹配比较器 A 或 B 的值时触发

A 然后 B— 当地址匹配比较器 B 但只能在另一个周期的地址匹配比较器 A 的值以后，触发。可能在 A 匹配后 B 匹配前有许多周期。

A 和 B 数据（全模式）— 这称为全模式，因为地址，数据和 R/W (可选) 必须在同一个总线周期内匹配，才能产生触发事件。比较器 A 检查地址，比较器的低阶字节检查数据，如果 RWAEN = 1, R/W 对照 RWA 进行检查。比较器 B 的高半部分没有使用。

在全触发模式中，规定标签类 CPU 断点 (BRKEN = TAG = 1) 没有用，但是如果你这样做了，就会忽略比较器 B 数据匹配，以例向 CPU 发送标签请求，当比较器 A 地址匹配时发送 CPU 断点。

A 但非 B 数据（全模式）— 地址必须匹配比较器 A, 数据必须不能匹配比较器 B 的低阶部分，如果 RWAEN = 1, R/W 必须匹配 RWA。所有三个条件必须在同一个总线周期中达到才能引起触发。

在全触发模式中，规定标签类 CPU 断点 (BRKEN = TAG = 1) 没有用，但是如果你这样做了，就会忽略比较器 B 数据匹配，以例向 CPU 发送标签请求，当比较器 A 地址匹配时发送 CPU 断点。

纯事件 B（存储数据）— 当地址每次匹配比较器 B 的值时，触发事件发生。触发事件导致数据被捕获到 FIFO 中。当 FIFO 满时调试运行结束。

A 然后纯事件 B（存储数据）— 当地址匹配比较器 A 中的值后，每次地址匹配比较器 B 中的值时，触发事件发生。触发事件导致数据被捕获到 FIFO 中。当 FIFO 满时调试运行结束。

表 A-5. ESD 和闭锁保护特性

编号	参数	符号	最小值	最大值	单位
1	人体模式 (HBM)	V_{HBM}	+/- 2000	-	V
2	充电器件模式 (CDM)	V_{CDM}	+/- 500	-	V
3	$T_A = 125^\circ\text{C}$ 时的闭锁电流	I_{LAT}	+/- 100	-	mA

A.6 DC 特性

本小节介绍了电源要求、I/O 管脚特性及各种操作模式中的电源电流信息。

表 A-6. DC 特性

编号	C	特性	符号	条件	最小值	典型值 ¹	最大值	单位	
1	—	操作电压	V_{DD}		2.7	—	5.5	V	
2	P	所有 I/O 管脚、低驱动强度	V_{OH}	5 V, $I_{Load} = -2\text{ mA}$	$V_{DD} - 1.5$	—	—	V	
	C			3 V, $I_{Load} = -0.6\text{ mA}$	$V_{DD} - 1.5$	—	—		
	C			高压输出	5 V, $I_{Load} = -0.4\text{ mA}$	$V_{DD} - 0.8$	—		—
	C			3 V, $I_{Load} = -0.24\text{ mA}$	$V_{DD} - 0.8$	—	—		
	P	所有 I/O 管脚、高驱动强度		5 V, $I_{Load} = -10\text{ mA}$	$V_{DD} - 1.5$	—	—		
	C			3 V, $I_{Load} = -3\text{ mA}$	$V_{DD} - 1.5$	—	—		
	C			5 V, $I_{Load} = -2\text{ mA}$	$V_{DD} - 0.8$	—	—		
	C			3 V, $I_{Load} = -0.4\text{ mA}$	$V_{DD} - 0.8$	—	—		
3	C	高电流输出 所有端口的最大总 I_{OH}	I_{OHT}	5 V	0	—	-100	mA	
				3 V	0	—	-60		
4	P	所有 I/O 管脚、低驱动强度	V_{OL}	5 V, $I_{Load} = 2\text{ mA}$	—	—	1.5	V	
	C			3 V, $I_{Load} = 0.6\text{ mA}$	—	—	1.5		
	C			低压输出	5 V, $I_{Load} = 0.4\text{ mA}$	—	—		0.8
	C			3 V, $I_{Load} = 0.24\text{ mA}$	—	—	0.8		
	P	所有 I/O 管脚、高驱动强度		5 V, $I_{Load} = 10\text{ mA}$	—	—	1.5		
	C			3 V, $I_{Load} = 3\text{ mA}$	—	—	1.5		
	C			5 V, $I_{Load} = 2\text{ mA}$	—	—	0.8		
	C			3 V, $I_{Load} = 0.4\text{ mA}$	—	—	0.8		
5	C	低电流输出 所有端口的最大总 I_{OL}	I_{OLT}	5 V	0	—	100	mA	
				3 V	0	—	60		
6	C	高压输入; 所有数字输入	V_{IH}	5V	$0.65 \times V_{DD}$	—	—	V	
7	C	低压输入; 所有数字输入	V_{IL}	5V	—	—	$0.35 \times V_{DD}$		
8	C	输入滞后	V_{hys}		$0.06 \times V_{DD}$			mV	
9	P	输入漏电流 (每管脚) 仅针对所有输入管脚	I_{In}	$V_{In} = V_{DD}$ or V_{SS}	—	0.1	1	μA	

表 A-6. DC 特性 (续)

编号	C	特性	符号	条件	最小值	典型值 ¹	最大值	单位	
10	P	Hi-Z (关态) 漏电流 (每管脚) 所有输入 / 输出	I_{IOZ}	$V_{IN} = V_{DD} \text{ or } V_{SS}$	—	0.1	1	μA	
11	P	上拉电阻 (或下拉电阻 ² , 如果启用的话)	R_{PU}, R_{PD}	5 V	20	45	65	k Ω	
	3 V			20	45	65			
12	T	输入电容、所有管脚	C_{In}		—	—	8	pF	
13	D	RAM 保持电压	V_{RAM}		0.9	1.4	2.0	V	
14	D	POR re-arm 电压 ³	V_{POR}		0.9	1.4	2.0	V	
15	D	POR re-arm 时间 ⁴	t_{POR}		10	—	—	μs	
16	P	低压探测阈值 — 高量程	V_{LVD1}		V_{DD} 下降	3.9	4.0	4.1	V
					V_{DD} 上升	4.0	4.1	4.2	
17	P	低压探测阈值 — 低量程	V_{LVD0}		V_{DD} 下降	2.48	2.56	2.64	V
					V_{DD} 上升	2.54	2.62	2.70	
18	C	低压报警阈值 — 高量程 1	V_{LVW3}		V_{DD} 下降	4.5	4.6	4.7	V
					V_{DD} 上升	4.6	4.7	4.8	
19	P	低压报警阈值 — 高量程 0	V_{LVW2}		V_{DD} 下降	4.2	4.3	4.4	V
					V_{DD} 上升	4.3	4.4	4.5	
20	P	低压报警阈值 低量程 1	V_{LVW1}		V_{DD} 下降	2.84	2.92	3.00	V
					V_{DD} 上升	2.90	2.98	3.06	
21	C	低压报警阈值 — 低量程 0	V_{LVW0}		V_{DD} 下降	2.66	2.74	2.82	V
					V_{DD} 上升	2.72	2.80	2.88	
22	T	低压禁止复位 / 恢复滞后	V_{hys}		5 V	—	100	—	mV
					3 V	—	60	—	
23	D	dc 注入电流 ^{5, 6, 7, 8} 单管脚限制	I_{IC}		$V_{IN} > V_{DD}$	0	—	2	mA
					$V_{IN} < V_{SS}$	0	—	-0.2	
		总 MCU 限制, 包括所有加应用的管脚			$V_{IN} > V_{DD}$	0	—	25	
					$V_{IN} < V_{SS}$	0	—	-5	

表 B-5. 模式、边和电平选择

CPWMS	MSnB:MSnA	ELSnB:ELSnA	模式	配置
X	XX	00		不用于 TPM 通道的管脚；作为 TPM 的外部时钟使用或恢复为通用输入 / 输出
0	00	01	输入捕获	仅在上升边捕获
		10		仅在下降边捕获
		11		在上升或下降边捕获
	01	00	输出对比	仅对比软件
		01		切换对比输出
		10		清除对比输出
		11		设置对比输出
	1X	10	边缘对齐 PWM	高保真脉冲（清除对比输出）
		X1		低保真脉冲（设置对比输出）
1	XX	10	中央对齐 PWM	高保真脉冲（清除向上对比输出）
		X1		低保真脉冲（设置向上对比输出）

如果相应的端口管脚在改变成输入捕获模式前至少在两个总线时钟周期内不稳定，系统可能会提供边沿触发器的意外指示。一般，在改变通道配置位之后和启动通道中断之前，程序会清除状态标记，或使用状态标记避免任何意外行为。。

B.5.5 TPM 通道值寄存器 (TPMxCnVH:TPMxCnVL)

这些读 / 写寄存器包含输入捕获功能捕获的 TPM 计数器值，或输出对比或 PWM 功能的输出对比值。通过复位可清除通道值寄存器。

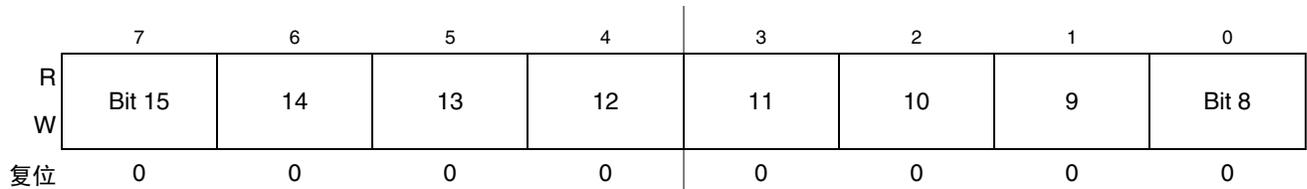


图 B-8. 定时器通道值寄存器高 (TPMxCnVH)

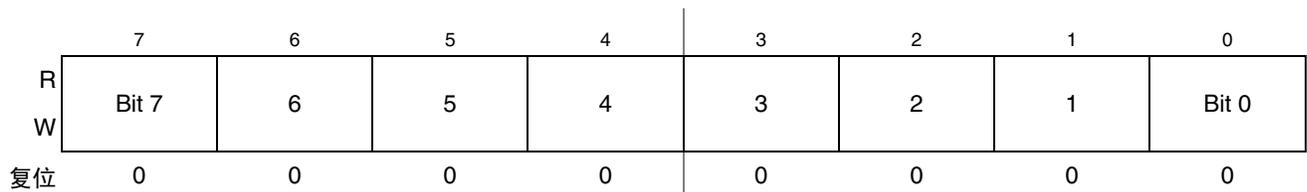


图 B-9. 定时器通道值寄存器低 (TPMxCnVL)

B.6.2.3 边缘对齐 PWM 模式

这类 PWM 输出使用定时器计数器的正常向上计数模式（CPWMS=0），而且可在相同 TPM 中的其他通道被配置为在输入捕获或输出对比时使用。这个 PWM 信号的周期由模数寄存器（TPMxMODH:TPMxMODL）中的设置确定。工作周期由定时器通道值（TPMxCnVH:TPMxCnVL）的设置确定。这个 PWM 信号的极性由 ELSnA 控制位的设置确定。0% 和 100% 工作周期都是可能的。

如图 B-10 所示，TPM 通道寄存器中的输出对比值决定 PWM 信号的脉冲宽度（工作周期）。模数溢出和输出对比之间的时间间隔就是脉冲宽度。如果 ELSnA=0，计数器溢出强制进入 PWM 信号高态；而输出对比强制进入 PWM 信号低态。如果 ELSnA=1，则计数器溢出强制进入 PWM 信号低态；而输出对比强制进入 PWM 信号高态。

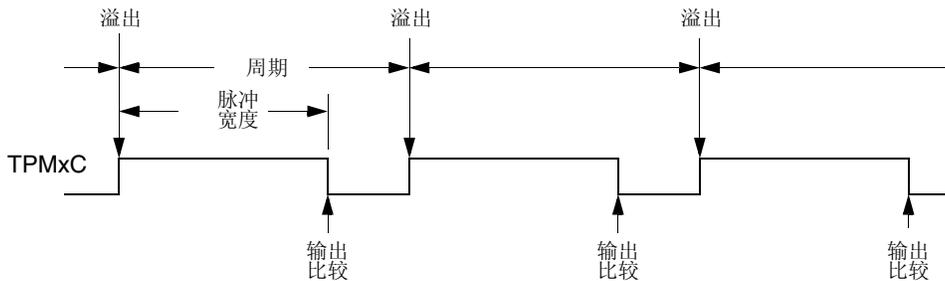


图 B-10. PWM 周期和脉冲宽度 (ELSnA = 0)

当通道值寄存器被设为 0x0000 时，工作周期为 0%。通过将定时器的通道值计数器（TPMxCnVH:TPMxCnVL）设为大于模数设置的值，可实现 100% 的工作周期。这意味着模数设置必须小于 0xFFFF 才能实现 100% 的工作周期。

HCS08 是一个 8 位 MCU 系列，定时器通道寄存器中的设置被缓冲，以确保连贯的 16 位更新并避免意外的 PWM 脉冲宽度。将值写入到任一寄存器（TPMxCnVH 或 TPMxCnVL）中也就是写入到缓冲器寄存器中。在边缘对齐 PWM 模式中，只有在 16 位寄存器的两个 8 位字节都被写入并且 TPMxCnTH:TPMxCnTL 计数器中的值为 0x0000 时，值才会被发送到相应定时器通道寄存器中。（新的工作周期直到下一个完全周期才生效）

B.6.3 中央对齐 PWM 模式

这类 PWM 输出使用定时器计数器的向上 / 向下计数模式（CPWMS = 1）。TPMxCnVH:TPMxCnVL 中的输出比较值决定 PWM 信号的脉冲带宽（工作周期），而周期是由 TPMxMODH:TPMxMODL 中的值决定的。TPMxMODH:TPMxMODL 应保持在 0x0001 至 0x7FFF 之间的范围内，因为这一范围以外的值可能会导致模糊结果。ELSnA 将决定 CPWM 输出的极性。

$$\text{脉冲宽度} = 2 \times (\text{TPMxCnVH}:\text{TPMxCnVL}) \quad \text{等式 17-1}$$

$$\begin{aligned} \text{周期} &= 2 \times (\text{TPMxMODH}:\text{TPMxMODL}); \\ \text{TPMxMODH}:\text{TPMxMODL} &= 0x0001\text{--}0x7FFF \end{aligned} \quad \text{等式 17-2}$$

B.7 TPM 中断

TPM 为主计数器溢出生成可选的中断，为每个通道生成一个中断。通道中断的意义取决于每个通道的运行模式。如果通道被配置用于输入捕获，所选的输入捕获边每次被识别时中断标记被设置。如果通道配置用于输出比较或 PWM 模式，中断标记会在每次主定时器计数器与 16 位通道值寄存器中的值匹配时被设置。参见复位、中断和系统配置一章了解绝对中断向量地址、优先级和本地中断掩码控制位。

对于 TPM 中的每个中断源，会在识别到中断条件（如定时器溢出、通道输入捕获或输出比较事件等）后设置标记位。这个标记可被软件读取（轮询）以确定操作已经发生，或者也可设置相关的启动位（TOIE 或 CHnIE）以启动硬件中断生成。中断启动位被设置时，相关中断标记等于 1 时会生成静态中断。从中断服务程序中返回前，用户软件必须执行一系列步骤来清除中断标记。

B.7.1 清除定时器中断标记

TPM 中断标记通过两个步骤来清除：标记位被设置（1）时被读取，然后是向该位中写入一个 0。如果在这两步间检测到新事件，序列被复位，并且在第二步后中断标记仍被设置以避免错过新事件的可能性。

B.7.2 定时器溢出中断描述

导致 TOF 被设置的条件取决于计数模式（向上或向上 / 向下）。在向上计数模式中，16 位定时器计数器从 0x0000 计数到 0xFFFF，然后在下一个计数时钟上溢出到 0x0000。在从 0xFFFF 过渡到 0x0000 时 TOF 被设置。设置了模数限制的情况下，TOF 标记会在从模数寄存器中设置的值过渡到 0x0000 时被设置。当计数器以向上 / 向下模式运行时，TOF 标记会在计数器从模数寄存器中设置的计数值和下一个更低计数值过渡而改变方向时被设置。这与 PWM 周期的结束对应（0x0000 计数值与周期中央对应）。

B.7.3 通道事件中断描述

通道中断的含义取决于通道的当前模式（输入捕获、输出比较、边缘对齐 PWM 或中央对齐 PWM）。

当通道被配置为输入捕获通道时，ELSnB:ELSnA 控制位选择上升边、下降边、任何边或无边（关）作为触发输入捕获事件的边。检测到选定的边之后，中断标记被设置。标记通过 B.7.1，“清除定时器中断标记”中所述的两步序列清除。

如果通道被配置为输出比较通道，每次主定时器计数器与通道值寄存器中的 16 位值匹配时会设置中断标记。标记通过 B.7.1，“清除定时器中断标记”中所述的两步序列清除。