

Welcome to E-XFL.COM

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	39
Program Memory Size	60KB (60K x 8)
Program Memory Type	FLASH
EEPROM Size	2K x 8
RAM Size	4K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 16x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	48-LQFP
Supplier Device Package	48-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/pro/item?MUrl=&PartUrl=s9s08dz60f1mlf

图 4-4 为接收及发送缓冲器（用于扩展的识别符映射）的结构。这些寄存器各有不同，具体取决于选择了标准映射还是扩展的映射。有关标准映射和扩展映射的更详尽信息请参见第 12 章，“飞思卡尔控制器局域网 (S08MSCANV1)”。

表 4-4. MSCAN 前台接收和发射缓冲器布局— 显示的为扩展映射

0x18A0	CANRIDR0	ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21
0x18A1	CANRIDR1	ID20	ID19	ID18	SRR ⁽¹⁾	IDE ⁽¹⁾	ID17	ID16	ID15
0x18A2	CANRIDR2	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
0x18A3	CANRIDR3	ID6	ID5	ID4	ID3	ID2	ID1	ID0	RTR ²
0x18A4 – 0x18AB	CANRDSR0 – CANRDSR7	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0x18AC	CANRDLR	—	—	—	—	DLC3	DLC2	DLC1	DLC0
0x18AD	预留	—	—	—	—	—	—	—	—
0x18AE	CANRTSRH	TSR15	TSR14	TSR13	TSR12	TSR11	TSR10	TSR9	TSR8
0x18AF	CANRTSRL	TSR7	TSR6	TSR5	TSR4	TSR3	TSR2	TSR1	TSR0
0x18B0	CANTIDR0	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3
0x18B1	CANTIDR1	ID2	ID1	ID0	RTR	IDE	—	—	—
0x18B2	CANTIDR2	—	—	—	—	—	—	—	—
0x18B3	CANTIDR3	—	—	—	—	—	—	—	—
0x18B4 – 0x18BB	CANTDSR0 – CANTDSR7	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0x18BC	CANTDLR	—	—	—	—	DLC3	DLC2	DLC1	DLC0
0x18BD	CANTBPR	PRI07	PRI06	PRI05	PRI04	PRI03	PRI02	PRI01	PRI00

¹ SRR 和 IDE 均为 1s。

² RTR 的位置在扩展识别符映射和标准识别符映射不同。

表 4-5 的非易失性 Flash 寄存器位于 Flash 中。这些寄存器包括 8 个字节的后门密钥 NVBACKKEY。该密钥可用于访问安全的内存资源。在复位过程中，Flash 中非易失性寄存器区域的 NVPROT 和 NVOPT 内容会被转移到高端页面寄存器中相应的 FPROT 和 FOPT 工作寄存器中，以控制安全性和块保护选项。

表 4-5. 非易失性寄存器总结

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0xFFAE	预留用于存储 FTRIM	0	0	0	0	0	0	0	FTRIM
0xFFAF	预留用于存储 MCGTRM	TRIM							
0xFFB0– 0xFFB7	NVBACKKEY	8 字节对比密钥							
0xFFB8– 0xFFBC	预留	—	—	—	—	—	—	—	—
0xFFBD	NVPROT	EPS			FPS				
0xFFBE	预留	—	—	—	—	—	—	—	—
0xFFBF	NVOPT	KEYEN	FNORED	EPGMOD	0	0	0	SEC	

第 6 章

并行输入 / 输出控制

本小节解释了与并行输入 / 输出和管脚控制相关的软件控制。MC9S08DZ60 系列有 7 个并行输入 / 输出端口，这 7 个端口总共包含 53 个输入 / 输出管脚和 1 个仅输入管脚。如需了解这些管脚的管脚分配和外部硬件注意事项的更多信息，请参见第 2 章，“管脚和连接”。

这些管脚中的很多都在片上外围设备中共用，如定时器系统、通信系统和管脚中断，如表 2-1 所示。外围设备模块的优先级把通用输入 / 输出功能的优先级高，因此当使能某个外围设备时，与该共用管脚相关的输入 / 输出功能被禁止。

复位后，共用外围设备功能被禁止，管脚被配置为输入（ $PTxDDn = 0$ ）。每个管脚的管脚控制功能都配置如下：斜率控制使能（ $PTxSEn = 1$ ）、低驱动强度选定（ $PTxDSn = 0$ ）、内部上拉被禁止（ $PTxPEN = 0$ ）。

注意

不是所有封装都提供通用输入 / 输出管脚。为了避免从输入引脚浮接抽取过多电流，应用程序中的用户复位初始化程序必须要么使能片上拉器件，要么将未连接管脚的方向更改为输出，使管脚不会浮接。

6.1 端口数据和数据方向

通过端口数据寄存器执行并行输入 / 输出读取 / 写入。不管是输入还是输出方向，都由端口数据方向寄存器控制。图 6-1 中的块状示意图介绍了单个管脚的并行输入 / 输出端口功能。

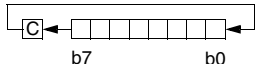
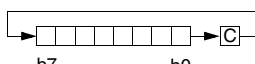
数据方向控制位（ $PTxDDn$ ）决定是否启动相关管脚使用的输出缓冲器，同时控制端口数据寄存器读取的源。相关管脚的输入缓冲器总是处于使能状态，除非管脚用作模拟功能或输出管脚。

当为管脚使能共用数字功能时，输出缓冲器由共用功能控制。但是，数据方向寄存器位将继续控制端口数据寄存器读取的源。

当为管脚使能共用模拟功能时，输出和输出缓冲器都被禁止。当该位为输入位（ $PTxDDn = 0$ ），输入缓冲器禁止时，任意端口数据位的读数均为 0。总体来说，每当数字功能和模拟功能共用一个管脚时，模拟功能都优先。因此数字和模拟功能同时使能时，管脚由模拟功能控制。

一个不错的编程习惯是在把端口管脚方向修改为输出前就写入端口数据寄存器，这确保不会用在端口数据寄存器内的旧数据值来临时驱动管脚。

表 7-2. 指令集小结 (第 6 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V I 1 H	I N Z C
MOV <i>opr8a,opr8a</i> MOV <i>opr8a,X+</i> MOV <i>#opr8i,opr8a</i> MOV <i>,X+,opr8a</i>	移动 (M) _{destination} ← (M) _{source} 在 IX+/DIR 和 DIR/IX+ 模式, H:X ← (H:X) + \$0001	DIR/DIR DIR/IX+ IMM/DIR IX+/DIR	4E dd dd 5E dd 6E ii dd 7E dd	5 5 4 5	rfwpp rfwpp pwpp rfwpp	0 1 1 -	- ↓ ↓ -
MUL	不带符号的乘法 X:A ← (X) × (A)	INH	42	5	ffffp	- 1 1 0	- - - - 0
NEG <i>opr8a</i> NEGA NEGX NEG <i>opr8,X</i> NEG <i>,X</i> NEG <i>opr8,SP</i>	否定 (2 的补数) M ← (M) = \$00 - (M) A ← (A) = \$00 - (A) X ← (X) = \$00 - (X) M ← (M) = \$00 - (M) M ← (M) = \$00 - (M) M ← (M) = \$00 - (M)	DIR INH INH IX1 IX SP1	30 dd 40 50 60 ff 70 9E 60 ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↓ 1 1 -	- ↓ ↓ ↓
NOP	无操作 — 使用 1 总线周期	INH	9D	1	p	- 1 1 -	- - - - -
NSA	半字节交换累加器 A ← (A[3:0]:A[7:4])	INH	62	1	p	- 1 1 -	- - - - -
ORA <i>#opr8i</i> ORA <i>opr8a</i> ORA <i>opr16a</i> ORA <i>opr8,X</i> ORA <i>opr8,X</i> ORA <i>,X</i> ORA <i>opr16,SP</i> ORA <i>opr8,SP</i>	累加器或存储器 " 兼或 " A ← (A) (M)	IMM DIR EXT IX2 IX1 IX SP2 SP1	AA ii BA dd CA hh ll DA ee ff EA ff FA 9E DA ee ff 9E EA ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	- ↓ ↓ -
PSHA	将累加器推送到堆栈 推 (A); SP ← (SP) - \$0001	INH	87	2	sp	- 1 1 -	- - - - -
PSHH	将 H (索引寄存器高) 推送到堆栈上 推 (H); SP ← (SP) - \$0001	INH	8B	2	sp	- 1 1 -	- - - - -
PSHX	将 X (索引寄存器低) 推送到堆栈上 推 (X); SP ← (SP) - \$0001	INH	89	2	sp	- 1 1 -	- - - - -
PULA	从堆栈拉累加器 SP ← (SP + \$0001); 拉 (A)	INH	86	3	ufp	- 1 1 -	- - - - -
PULH	从堆栈拉 H (索引寄存器高) SP ← (SP + \$0001); Pull (H)	INH	8A	3	ufp	- 1 1 -	- - - - -
PULX	从堆栈拉 X (索引寄存器低) SP ← (SP + \$0001); 拉 (X)	INH	88	3	ufp	- 1 1 -	- - - - -
ROL <i>opr8a</i> ROLA ROLX ROL <i>opr8,X</i> ROL <i>,X</i> ROL <i>opr8,SP</i>	通过进位左旋转 	DIR INH INH IX1 IX SP1	39 dd 49 59 69 ff 79 9E 69 ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↓ 1 1 -	- ↓ ↓ ↓
ROR <i>opr8a</i> RORA RORX ROR <i>opr8,X</i> ROR <i>,X</i> ROR <i>opr8,SP</i>	通过进位右旋转 	DIR INH INH IX1 IX SP1	36 dd 46 56 66 ff 76 9E 66 ff	5 1 1 5 4 6	rfwpp p p rfwpp rfwp prfwpp	↓ 1 1 -	- ↓ ↓ ↓

8.4.4 MCG 状态和控制寄存器 (MCGSC)

	7	6	5	4	3	2	1	0
R	LOLS	LOCK	PLLST	IREFST	CLKST		OSCINIT	FTRIM
W								
POR:	0	0	0	1	0	0	0	0
复位:	0	0	0	1	0	0	0	U

图 8-6. MCG 状态和控制寄存器 (MCGSC)

表 8-4. MCG 状态和控制寄存器字段描述

字段	描述
7 LOLS	<p>锁定状态丢失 — 该位是 FLL 或 PLL 锁定状态的标志。当锁定检测使能时，并且时钟已经锁定所定时，就设置 LOLS。锁定后，PLL 或 PLL 输出频率超出未锁定频率容限 Dunl 的范围。当 LOLIE 置位时，它决定是否在设置了 LOLS 时发送中断请求。当设置了 LOLS 时，可以通过复位或向 LOLS 写入逻辑 1 的方式清除 LOLS。向 LOLS 写入逻辑 0 不会产生影响。</p> <p>0 自从上次清除 LOLS 以来，FLL 或 PLL 没有丢失锁定。</p> <p>1 自从上次清除 LOLS 以来，FLL 或 PLL 丢失锁定。</p>
6 LOCK	<p>锁定状态 — 显示 FLL 或 PLL 是否已获得锁定。当 PLL 和 FLL 都被禁止时，锁定检测也被禁止。如果设置了锁定状态位，那么修改 IREFS、PLLS、RDIV[2:0]、TRIM[7:0]（如果为 FEI 或 FBI 模式）或 VDIV[3:0]（如果为 PBE 或 PEE 模式）中的任何一个值都可能造成锁定状态位清除，并在 FLL 或 PLL 重新获得锁定之前一直保持清除状态。进入停止模式也会造成锁定状态位清除，并在 FLL 或 PLL 重新获得锁定之前一直保持清除状态。进入 BLPI 或 BLPE 模式也会造成锁定状态位清除，并在 MCG 退出这些模式前一直保持清除状态，直到 FLL 或 PLL 重新获得锁定。</p> <p>0 FLL 或目前未被锁定。</p> <p>1 FLL 或目前被锁定。</p>
5 PLLST	<p>选择状态 — PLLST 位显示 PLLS 时钟的当前源。由于时钟域间的内部同步，在向 PLLS 位进行写入后，PLLST 位不会立即更新。</p> <p>0 PLLS 时钟源是 FLL 时钟</p> <p>1 PLLS 时钟源是 PLL 时钟</p>
4 IREFST	<p>内部参考状态 — IREFST 位显示当前参考时钟的源。由于时钟域间的内部同步，在向 IREFST 位进行写入后，IREFS 位不会立即更新。</p> <p>0 参考时钟源是外部参考时钟（振荡器或外部时钟源由 MCGC2 寄存器中的 EREFS 位决定）</p> <p>1 参考时钟源是内部参考时钟</p>
3:2 CLKST	<p>时钟模式状态 — CLKST 位显示当前时钟模式。由于时钟域间的内部同步，在向 CLKST 位进行写入后，CLKS 位不会立即更新。</p> <p>00 Encoding 0 — 选择 FLL 输出</p> <p>01 Encoding 1 — 选择内部参考时钟</p> <p>10 Encoding 2 — 选择外部参考时钟</p> <p>11 Encoding 3 — 选择 PLL 输出</p>
1 OSCINIT	<p>OCS 初始化 — 如果 ERCLKEN 选择了外部参考时钟源或者 MCG 正处于 FEE、FBE、PEE、PBE 或 BLPE 模式，并且设置了 EREFS，那么在完成了外部振荡器时钟的初始化周期后就要设置该位。只有当 EREFS 被清除或者 MCG 处于 FEI、FBI 或 BLPI 模式且 ERCLKEN 被清除时，这个位才被清除。</p>
0 FTRIM	<p>MCG 微调 — 控制内部参考时钟频率最细微的调节。设置 FTRIM 会以最小的幅度延长该时段，清除 FTRIM 会以最小的幅度缩短该时段。</p> <p>如果保存在非易失性存储器中 FTRIM 值被使用，用户有责任将这个值从非易失性存储器位置复制到该寄存器的 FTRIM 位上。</p>

8.5.1.1 FLL Engaged Internal (FEI)

FLL Engaged Internal (FEI) 是默认运行模式并且当满足下列条件时就进入该模式：

- CLKS 位写入 00
- IREFS 位写入 1
- PLLS 位写入 0
- RDIV 位写入 000。因为内部参考时钟频率在修正后应介于 31.25 kHz- 39.0625 kHz 之间，所以不需要进一步分频。

在 FLL Engaged Internal 模式中，MCGOUT 时钟源自 FLL 时钟，由内部参考时钟控制。FLL 时钟频率是由 RDIV 位选择的参考频率的 1024 倍。MCGLCLK 来自 FLL，PLL 被禁止并处于低功率状态。

8.5.1.2 FLL Engaged External (FEE)

当满足下列条件时就进入 FLL engaged External (FEE) 模式：

- CLKS 位写入 00
- IREFS 位写入 0
- PLLS 位写入 0
- RDIV 位写入介于 31.25 kHz- 39.0625 kHz 频率范围内的分频参考时钟。

在 FLL Engaged External 模式中，MCGOUT 时钟来自 FLL 时钟，由外部参考时钟控制。使能的外部参考时钟可以是外部晶体 / 谐振器，也可以是另外一个外部时钟源。FLL 时钟频率是由 RDIV 位选择的参考频率的 1024 倍。MCGLCLK 来自 FLL，PLL 被禁止并处于低功率状态。

8.5.1.3 FLL Bypassed Internal (FBI)

在 FLL Bypassed Internal (FBI) 模式中，MCGOUT 时钟来自内部参考时钟，FLL 处于运行状态但其输出时钟未使用。该模式对允许 FLL 获得目标频率非常有用，同时 MCGOUT 时钟由内部参考时钟驱动。

当满足以下条件时就进入 FLL Bypassed Internal 模式：

- CLKS 位写入 01
- IREFS 位写入 1
- PLLS 位写入 0
- RDIV 位写入 000。由于内部参考时钟频率在修正后应已经介于 31.25 kHz- 39.0625 kHz 之间，所以不需要进一步的分频。
- LP 位写入 0

在 FLL Bypassed Internal 模式中，MCGOUT 时钟源自内部参考时钟。FLL 时钟由内部参考时钟控制。FLL 时钟频率是由 RDIV 位选择的参考频率的 1024 倍。MCGLCLK 来自 FLL，PLL 被禁止并处于低功率状态。

8.5.1.4 FLL Bypassed External (FBE)

在 FLL Bypassed External (FBE) 模式中，MCGOUT 时钟来自外部参考时钟，FLL 处于运行状态但其输出时钟未使用。该模式对允许 FLL 获得目标频率非常有用，同时 MCGOUT 时钟由内部参考时钟驱动。

当满足以下条件时就进入 FLL Bypassed External 模式：

- CLKS 位写入 10
- IREFS 位写入 0
- PLLS 位写入 0
- 位写入介于 31.25 kHz- 39.0625 kHz 频率范围内的分频参考时钟。
- LP 位写入 0

在 FLL Bypassed External 模式中，MCGOUT 时钟源自 FLL 时钟。使能的外部参考时钟可以是外部晶体 / 谐振器，也可以是另外一个外部时钟源。FLL 时钟由外部参考时钟控制，FLL 时钟频率是由 RDIV 位选择的参考频率的 1024 倍。MCGLCLK 来自 FLL，PLL 被禁止处于低功率状态。

注意

可以用大于指定最大频率的 FLL 参考时钟频率在 FBE 模式中短时间运行。这在使用频率大于 5 MHz 的外部晶体运行于 PEE 模式中是必需的。如需了解详细的示例信息，请参见 8.6.2.4，“示例 4: 从 FEI 转换到 PEE 模式：外部晶体 = 8 MHz、总线频率 = 8 MHz”。

8.5.1.5 PLL Engaged External (PEE)

当满足以下条件时就进入 PLL Engaged External (PEE) 模式：

- CLKS 位写入 00
- IREFS 位写入 0
- PLLS 位写入 1
- RDIV 位写入介于 1 MHz - 2 MHz 频率范围内的分频参考时钟。

在 PLL Engaged External 模式中，MCGOUT 时钟源自 PLL 时钟，由外部参考时钟控制。使能的外部参考时钟可以是外部晶体 / 谐振器，也可以是另外一个外部时钟源。PLL 时钟频率是参考频率 (RDIV 位所选) 和倍频因子 (VDIV 位所选) 乘积。如果使能 BDM，MCGLCLK 值就是 DCO 除以 2 (开放环路模式) 的得数。如果禁止 BDM，那么 FLL 被禁止且处于低功率状态。

8.5.1.6 PLL Bypassed External (PBE)

在 PLL Bypassed External (PBE) 模式中，MCGOUT 时钟源自外部参考时钟，PLL 处于运行状态但其输出时钟未使用。该模式对允许 PLL 获得目标频率非常有用，同时 MCGOUT 时钟由内部参考时钟驱动。

第 9 章

模拟比较器 (S08ACMPV3)

9.1 介绍

模拟比较器模块（ACMP）提供用来比较两个模拟输入电压，或者一个输入电压和一个内部参考电压的电路。比较器电路能够在整个电源电压范围内操作（轨到轨操作）。

MC9S08DZ60 系列的所有 MCU 都能在 64 管脚的封装中提供两个全功能 ACMP。48 管脚封装的 MCU 有两个 ACMP，但 ACMP2 的输出管脚没有引出。32 管脚封装的 MCU 只有一个全功能 ACMP。

NOTE

MC9S08DZ60 系列器件的工作电压范围较高（2.7 V --5.5 V），不支持 STOP1 模式。请忽略 STOP1 的参考。

9.1.1 ACMP 配置报文

当使用带死区参考电压为 ACMP+ 输入时，用户必须通过在 SPMSC1 中设置 BGBE =1，使能死区缓冲，详细内容 5.8.7，“系统电源管理状态和控制寄存器 1 (SPMSC1)”。如需了解死区电压参考报文 A.6，“DC 特性”。

9.3 存储器映射 / 寄存器定义

ACMP 包括一个寄存器:

- 一个 8 位状态和控制寄存器

如需了解 ACMP 寄存器的绝对地址分配, 请参见本文档的存储器节“直接页面寄存器概述”。本节仅按寄存器和控制位的名称及相关地址偏移进行参考。

有些 MCU 的 ACMP 可能不止一个, 因此寄存器名称包括占位符 (x), 以明确正在参考哪个 ACMP。

表 9-2. ACMP 寄存器摘要

名称		7	6	5	4	3	2	1	0
ACMPxSC	R	ACME	ACBGS	ACF	ACIE	ACO	ACOPE	ACMOD	
	W								

9.3.1 ACMPx 状态和控制寄存器 (ACMPxSC)

ACMPxSC 包括状态标记和使能和配置 ACMP 所需的控制位。

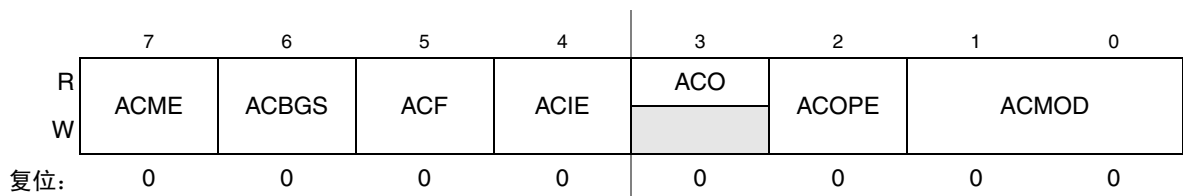


图 9-3. ACMPx 状态和控制寄存器 (ACMPxSC)

表 9-3. ACMPxSC 字段描述

字段	描述
7 ACME	模拟比较器模块使能。使能 ACMP 模块。 0 ACMP 关闭 1 ACMP 使能
6 ACBGS	模拟比较器死区选择。选择带死区参考电压或 ACMPx+ 管脚作为模拟比较器同相输入的输入。 0 外部管脚 ACMPx+ 选择为比较器的同相输入 1 内部参考选择为比较器的同相输入
5 ACF	模拟比较器标记。每次发生比较事件时都设置 ACF。比较事件由 ACMOD 定义。通过在 ACF 上写入 1 来清除 ACF。 0 未发生比较事件。 1 已发生比较事件。
4 ACIE	模拟比较器中断使能。从 ACMP 那里使能中断。设置了 ACIE 后, 在 ACF 置位时中断被触发。 0 中断禁止 1 中断使能
3 ACO	模拟比较器输出。ACO 读数返回模拟比较器输出的当前值。ACO 复位为 0, 在 ACMP 禁止时 (ACME = 0) 读数为 0。

10.7.2.6 代码抖动、非单调性和丢码

数模转换器容易受三种特殊形式的错误影响，它们是代码抖动、非单一性和丢码。

代码抖动是把某些点的给定输入电压在重复采样时的转换出两个值。在理想情况下，当输入电压低于转换电压时，转换器会产生更低代码（反之亦然）。但是，对于转换电压附近的一系列输入电压来说，即使非常小的系统噪音也可能造成转换器的抖动（两个代码之间）。在 8 位或 10 位模式中，这个范围通常是 $1/2 \text{ lsb}$ ；在 12 位模式中，这个范围通常是 2 lsb ，并会随着噪音的提高而提高。

通过重复进行输入采样和算术平均，这个错误可能会减小。此外，11.6.2.3 节中也讨论了一些减小这一错误的技巧。

非单调性的定义是转换器将高的输入电压转换到低的代码（代码抖动除外）。丢码是那些没有任何输入值进行转换的值。

在 8 位或 10 位模式中，ADC 保证具有单调性，并且没有丢码。

表 12-2. 寄存器字段描述

字段	描述
1 SLPAK	睡眠模式确认— 该标记显示 MSCAN 模块是否已经进入睡眠模式 (参见 12.5.5.4, “MSCAN 睡眠模式”)。它用作 SLPRQ 睡眠模式请求的握手标志。 当 SLPRQ = 1、SLPAK = 1 时, 睡眠模式是有效的。根据 WUPE 设置, 如果在处于睡眠模式检测到 CAN 总线有信号, MSCAN 将清除该标志。CPU 清除 SLPRQ 位也将复位 SLPK 位。 0 正在运行—MSCAN 正常运行 1 睡眠模式使能— MSCAN 已经进入睡眠模式
0 INITAK	初始化模式确认— 该标志显示 MSCAN 模块是否处于初始化模式 (参见 12.5.5.5, “MSCAN I 初始化模式”)。它用作 INITRQ 初始化模式请求的握手标志。当 INITRQ = 1, INITAK = 1 时, 初始化模式被使能。当 MSCAN 处于初始化模式时, 寄存器 CANCTL1、CANBTR0、CANBTR1、CANIDAC、CANIDAR0 - CANIDAR7 和 CANIDMR0 - CANIDMR7 只能通过 CPU 写入 0 正在运行—MSCAN 正常运行 1 初始化模式使能— MSCAN 处于初始化模式

12.3.3 MSCAN 总线计时寄存 0 (CANBTR0)

CANBTR0 寄存器配置 MSCAN 模块的各种 CAN 总线计时参数。

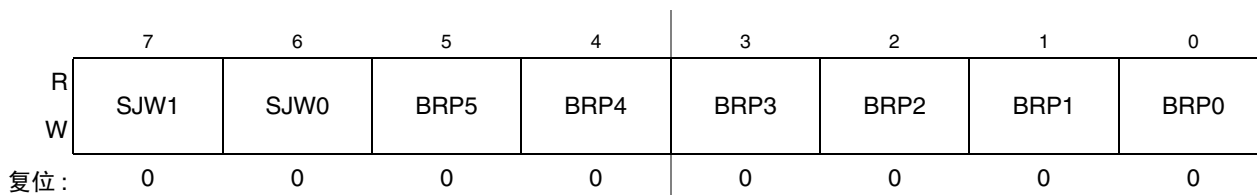


图 12-6. MSCAN 总线计时寄存器 0(CANBTR0)

读取: 任何时间

写入: 处于初始化模式 (INITRQ = 1, INITAK = 1) 的任何时间

表 12-3. CANBTR0 寄存器字段描述

字段	描述
7:6 SJW[1:0]	同步跳转宽度—同步跳转宽度决定要实现 CAN 总线上的数据传输重新同步, 一个位可以缩短或延长的时间冲量 (Tq) 的最大值 (参见表 12-4).
5:0 BRP[5:0]	波特率预分频器—该位确定用来构建位计时的时间冲量 (Tq) 时钟 (参见表 12-5).

表 12-10. CANRIER 寄存器字段描述

字段	描述
7 WUPIE ¹	唤醒中断使能 0 无中断请求从该事件中产生。 1 唤醒事件引起唤醒中断请求。
6 CSCIE	CAN 状态变化中断使能 0 无中断请求从该事件中产生。 1 CAN 状态变化事件引起错误中断请求。
5:4 RSTATE[1:0]	接收器状态变化使能—这些 RSTAT 使能位控制接收器状态变化而引起 CSCIF 中断的电平状态。独立于所选电平状态，RSTAT 标志继续显示实际接收器状态，且只有在没有 CSCIF 中断产生时才会更新。 00 未生成由于接收器状态变化而引起的任何 CSCIF 中断。 01 只有当接收器进入或离开“总线脱离”状态时才会生成 CSCIF 中断。为生成 CSCIF 中断丢弃其他接收器状态变化。 10 只有当接收器进入或离开“RxErr”或“总线脱离” ² 状态时才会生成 CSCIF 中断。为生成 CSCIF 中断丢弃其他接收器状态变化。 11 所有状态变化都生成 CSCIF 中断。
3:2 TSTATE[1:0]	T 发送器状态变化使能 —这些 TSTAT 使能位控制发送器状态变化而引起 CSCIF 中断的电平状态。独立于所选电平状态，TSTAT 标志继续显示实际发送器状态，且只有在没有 CSCIF 中断产生时才会更新。 00 未生成由于接收器状态变化而引起的任何 CSCIF 中断。 01 只有当发送器进入或离开“总线脱离”状态时才会生成 CSCIF 中断。为生成 CSCIF 中断丢弃其他接收器状态变化。 10 只有当发送器进入或离开“总线脱离”状态时才会生成 CSCIF 中断。为生成 CSCIF 中断丢弃其他接收器状态变化。 11 所有状态变化都生成 CSCIF 中断。
1 OVRIE	溢出中断使能 0 无中断请求从该事件中生成。 1 溢出事件引起错误中断请求。
0 RXFIE	接收器已满中断使能 0 无中断请求从该事件中生成。 1 接收缓冲器已满（成功报文接收）事件引起接收器中断请求。

¹ 如果需要从停止或等待模式中进行恢复的机制，必须同时使能 WUPIE 和 WUPE(参见 12.3.1, “MSCAN 控制寄存器 0 (CANCTL0)”)。

12.3.6 MSCAN 发送器标志寄存器 (CANTFLG)

每个发送缓冲器空标志在 CANTIER 寄存器中都有相关的中断使能位。r.

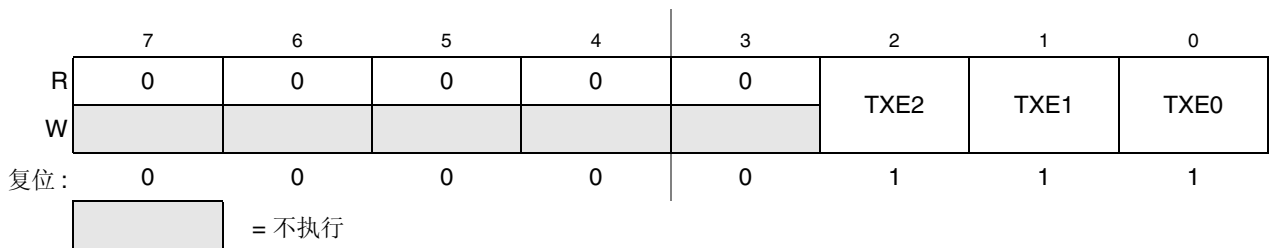


图 12-10. MSCAN 发送器标志寄存器 (CANTFLG)

12.3.15 MSCAN 标识符接收寄存器 (CANIDAR0-7)

一旦接受，每条报文将写入后台接收缓冲器。只有当报文通过了标识符接收和标识符掩码寄存器中的滤波，CPU 才被告知读取报文（接受），否则报文会被下一条报文覆盖（丢弃）。

MSCAN 的接收寄存器采用逐位方式（参见 12.5.3，“标识符接收滤波器”），应用于 IDR0 - IDR3 寄存器（参见 12.4.1，“标识符寄存器 (IDR0 至 DR3)”）of incoming messages in a bit by bit manner（参见 12.5.3，“标识符接收滤波器”）。

对于扩展标识符，要应用所有四个接收和掩码寄存器。对于标准标识符，只应用前两个（CANIDAR0/1、CANIDMR0/1）。

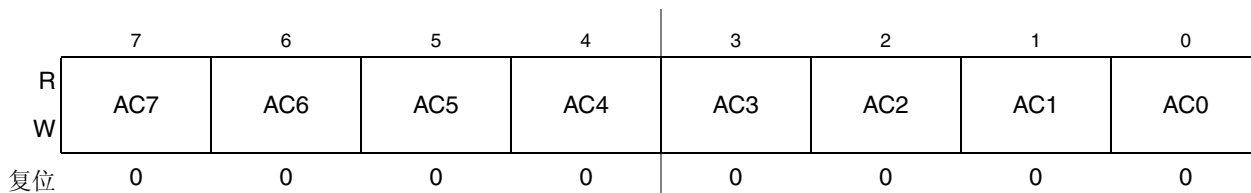


图 12-19. MSCAN 标识符接收寄存器（第一页）— CANIDAR0-CANIDAR3

读取：任何时间

写入：处于初始化模式的任何时间 (INITRQ = 1 and INITAK = 1)

表 12-20. CANIDAR0-CANIDAR3 寄存器字段描述

字段	描述
7:0 AC[7:0]	接收码位— AC[7:0] 由用户定义的位顺序组成，通过这种方式，接收报文缓冲器的相关标识符寄存器（IDRn）的相应位进行比较。比较结果然后用相应标识符掩码寄存器进行掩码屏蔽 r.

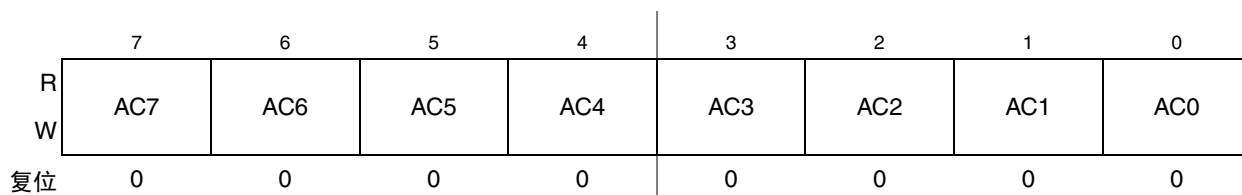


图 12-20. MSCAN 标识符接收标识符（第二页）— CANIDAR4-CANIDAR7

读取：任何时间

写入：处于初始化模式的任何时间 (INITRQ = 1 and INITAK = 1)

表 12-21. CANIDAR4-CANIDAR7 寄存器字段描述

字段	描述
7:0 AC[7:0]	接收码位— AC[7:0] 由用户定义的位顺序组成，通过这种方式，接收报文缓冲器的相关标识符寄存器（IDRn）的相应位进行比较。比较结果然后用相应标识符掩码寄存器进行掩码屏蔽。

表 13-1. SPIC1 字段描述 (continued)

字段	描述
1 SSOE	辅选择输出使能 — 该位的使用结合 SPCR2 中的模式故障使能 (MODFEN) 位和主从 (MSTR) 控制位, 以确定 SS 管脚的功能, 如表 13-2 所示。
0 LSBFE	LSB 先发 (移位器方向) 0 SPI 串行数据传输始于最高位 1 SPI 串行数据传输始于最低位

表 13-2. SS 管脚功能

MODFEN	SSOE	主模式	辅模式
0	0	通用 I/O (非 SPI)	从选择输入
0	1	通用 I/O (非 SPI)	从选择输入
1	0	模式故障的 SS 输入	从选择输入
1	1	自动 SS 输出	从选择输入

注意

确保在位更改为 CPHA 位的同时 SPI 不得禁止 (SPE=0)。这些更改应作为独立操作执行, 否则可能发生意外。

13.4.2 SPI 控制寄存器 2 (SPIC2)

该读 / 写寄存器用来控制 SPI 系统的可选功能。位 7、6、5 和 2 不执行, 始终读为 0。

	7	6	5	4	3	2	1	0
R	0	0	0	MODFEN	BIDIROE	0	SPISWAI	SPC0
W								
复位:	0	0	0	0	0	0	0	0


 = 不执行或预留

图 13-6. SPI 控制寄存器 2 (SPIC2)

表 13-3. SPIC2 寄存器字段描述

字段	描述
4 MODFEN	主模式故障功能使能 — 当为辅模式配置 SPI 时, 该位没有意义或影响 (SS 管脚是从选择输入)。在主模式中, 该位决定 SS 管脚的使用方式 (如需了解更多信息, 参见表 13-2)。 0 模式故障功能禁止, 主 SS 管脚恢复为不受 SPI 控制的通用 I/O。 1 模式故障功能使能, 主 SS 管脚用作模式故障输入或辅选择输出
3 BIDIROE	双向模式输出使能 — 双向模式由 SPI 管脚控制 0 (SPC0 = 1) 使能时, BIDIROE 决定 SPI 数据输出驱动器是否被使能为单个双向 SPI I/O 管脚。根据 SPI 是配置为主 SPI 还是从 SPI, 它将 MOSI (MOMI) 或 MISO (SISO) 管脚分别用作单个 SPI 数据 I/O 管脚, 当 SPC0 = 0, BIDIROE 没有意义或影响。 0 输出驱动器禁止, 因此 SPI 数据 I/O 管脚作为输入 1 SPI I/O 管脚作为输出使能

14.2.7 SCI 数据寄存器 (SCIxD)

该寄存器实际上是两个独立寄存器。读返回只读接收数据缓冲器的内容，写进入只写发送数据缓冲器。该寄存器的读写还涉及 SCI 状态标记的自动标记清除机制。

	7	6	5	4	3	2	1	0
R	R7	R6	R5	R4	R3	R2	R1	R0
W	T7	T6	T5	T4	T3	T2	T1	T0
复位	0	0	0	0	0	0	0	0

图 14-11. SCI 数据寄存器 (SCIxD)

14.3 功能描述

SCI 允许在 MCU 和远程器件（包括其他 MCU）间进行全双工、异步、NRZ 串行通信。SCI 由波特率发生器、发射器和接收时钟组成。发射器和接收器独立运行，尽管它们使用同一波特率发生器。在正常运行期间，MCU 监控 SCI 的状态，写将要发送的数据，处理已接收的数据。下面就简要地介绍一下 SCI 的每个块。

14.3.1 波特率生成

如图 14-12 所示，SCI 波特率发生器的时钟源是总线速率时钟。

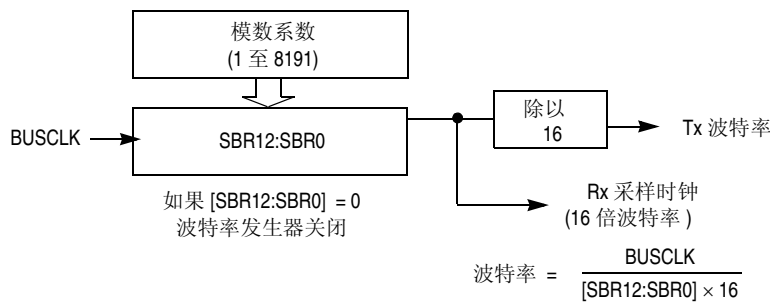


图 14-12. SCI 波特率生成

SCI 通信要求发射器和接收器（一般情况下从独立时钟源中获取波特率）使用相同的波特率。该波特频率的允许容限取决于接收器与起始位的前沿以及位采样执行的具体情况。

每次从高态转换到低态时，MCU 都重新同步位边界，但在最坏的情况下，整个 10 或 11 位时间字符帧中没有这种转换，所以波特率中的任何不匹配都累积到整个字符时间。对于总线频率由晶振驱动的非思卡尔半导体 SCI 系统，允许的波特率不匹配对 8 位数据格式来说大约为 4.5%、对 9 位数据格式来说大约 4%。尽管波特率模数除数设置不会永远生成与标准速率严格匹配的波特率，但一般情况下都在一个很小的百分比内，是可靠通信可以接受的。

外部时钟信号与通道输入 / 输出管脚共享相同的管脚，因此选择为外部时钟源时通道管脚不能用于通道输入 / 输出功能。用户应负责避免这种设置。如果这个管脚被用作外部时钟源 (CLKSB:CLKSA = 1:1)，通道仍可作为软件定时器 (ELSnB:ELSnA = 0:0) 用于输出比较模式。

16.2.1.2 TPMxCHn — 通道 n 输入 / 输出管脚

每个 TPM 通道都与 MCU 上的一个输入 / 输出管脚相关联。这个管脚的功能取决于通道配置。TPM 管脚与通用输入 / 输出管脚共享，其中每个管脚都有一个端口数据寄存器位和一个数据方向控制位，而且端口有可选的被动上拉器件。该上拉器件可在端口管脚作为输入设备时使能。

当 (ELSnB:ELSnA = 0:0) 或 (CLKSB:CLKSA = 0:0) 时，TPM 通道不会控制输入 / 输出管脚，因此通常恢复到由通用输入 / 输出控制的状态。当 CPWMS = 1 (and ELSnB:ELSnA not = 0:0) 时，TPM 中的所有通道被配置用于中央对齐 PWM，而 TPMxCHn 管脚全部由 TPM 系统控制。当 CPWMS=0 时，MSnB:MSnA 控制位决定通道配置用于输入捕捉、输出比较还是边缘对齐 PWM。

当通道被配置用于输入捕捉 (CPWMS=0, MSnB:MSnA = 0:0 and ELSnB:ELSnA not = 0:0) 时，TPMxCHn 管脚被强制用作 TPM 的对边缘敏感的输入。ELSnB:ELSnA 控制位决定哪个或哪些极性边将触发输入捕捉事件。一个基于总线时钟的同步器用于同步输入边和总线时钟。这意味着输入捕捉管脚上可以可靠检测的最小脉冲宽度是 4 个总线时钟周期 (可检测尽可能靠近 2 个总线时钟的最佳时钟脉冲)。TPM 使用该管脚作为输入捕捉输入，为相同管脚改写端口数据和数据方向控制。

当通道被配置用于输出比较 (CPWMS=0, MSnB:MSnA = 0:1 and ELSnB:ELSnA not = 0:0) 时，相关数据方向控制被改写；TPMxCHn 管脚被看作是由 TPM 控制的输出，ELSnB:ELSnA 控制位决定如何控制管脚。ELSnB:ELSnA 的其余三个组合决定在每次 16 位通道值寄存器与定时器计数器匹配时是否切换、清除或者设置 TPMxCHn 管脚。

刚完成选择输出比较切换模式时，管脚上的以前的值一直被驱动，直到发生下一个输出比较事件，然后管脚被切换。

表 17-6. DBGS 寄存器字段描述

字段	描述
7 AF	触发匹配 A 标记 — 在调试运行开始时清除 AF，指示武装后是否满足触发匹配 A 条件。 0 比较器 A 未匹配 1 比较器 A 匹配
6 BF	触发匹配 B 标记 — 在调试运行开始时清除 BF，指示武装后是否满足触发匹配 B 条件。 0 比较器 B 未匹配 1 比较器 B 匹配
5 ARMF	打开标记 — 当 DBGEN=1 时，这个位为 DBGIC 中 ARM 的只读镜像。将 DBGIC 中的 ARM 控制位写为 1（当 DBGEN = 1）可设置该位，在调试运行结束时自动清除它。当 FIFO 为满时（始起跟踪），或当探测到触发事件时（结束跟踪），调度运行完成。将 DBGIC 中的 ARM 或 DBGEN 写为 0，可以人工停止调试运行。 0 调试器没有打开 1 调试器被打开
3:0 CNT[3:0]	FIFO 有效计数 — 这些位在调试运行开始时清除，指示调试运行结束时 FIFO 中的有效数据的字数。当数据大 FIFO 中读出时，CNT 中的值不减少。当信息从 FIFO 中读出时，外部调试主机负责计数的跟踪。 0000 FIFO 中的有效字数 = 无有效数据 0001 FIFO 中的有效字数 = 1 0010 FIFO 中的有效字数 = 2 0011 FIFO 中的有效字数 = 3 0100 FIFO 中的有效字数 = 4 0101 FIFO 中的有效字数 = 5 0110 FIFO 中的有效字数 = 6 0111 FIFO 中的有效字数 = 7 1000 FIFO 中的有效字数 = 8

