



Welcome to [E-XFL.COM](https://www.e-xfl.com)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	53
Program Memory Size	60KB (60K x 8)
Program Memory Type	FLASH
EEPROM Size	2K x 8
RAM Size	4K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 24x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	64-LQFP
Supplier Device Package	64-LQFP (10x10)
Purchase URL	https://www.e-xfl.com/pro/item?MUrl=&PartUrl=s9s08dz60f1mlh

目录

章节号	标题	页码
第 1 章		
器件概述		
1.1	MC9S08DZ60 系列器件.....	19
1.2	MCU 结构图.....	20
1.3	系统时钟分配.....	23
第 2 章		
管脚和连接		
2.1	器件管脚分配.....	25
2.2	推荐的系统连接.....	28
2.2.1	电源	29
2.2.2	振荡器	29
2.2.3	RESET（复位）	29
2.2.4	后台调试和模式选择	30
2.2.5	ADC 参考管脚 (V_{REFH} , V_{REFL})	30
2.2.6	通用 I/O 和外围设备端口	30
第 3 章		
操作模式		
3.1	简介.....	33
3.2	特性.....	33
3.3	运行模式.....	33
3.4	主动后台模式.....	33
3.5	等待模式.....	34
3.6	停止模式.....	34
3.6.1	Stop3 模式	35
3.6.2	Stop2 模式	36
3.6.3	停止模式中的片上外围模块	36
第 4 章		
存储器		
4.1	MC9S08DZ60 系列产品存储器映射.....	39
4.2	复位和中断向量分配.....	40
4.3	寄存器地址和位分配.....	41
4.4	RAM.....	49
4.5	Flash 和 EEPROM.....	49
4.5.1	特性	49

表 4-2. 直接页面寄存器总结 (第 1 页, 共 3 页)

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0x0052	SPIBR	0	SPPR2	SPPR1	SPPR0	0	SPR2	SPR1	SPR0
0x0053	SPIS	SPRF	0	SPTEF	MODF	0	0	0	0
0x0054	预留	0	0	0	0	0	0	0	0
0x0055	SPID	Bit 7	6	5	4	3	2	1	Bit 0
0x0056– 0x0057	预留	— —	— —	— —	— —	— —	— —	— —	— —
0x0058	IICA	AD7	AD6	AD5	AD4	AD3	AD2	AD1	0
0x0059	IICF	MULT		ICR					
0x005A	IICC1	IICEN	IICIE	MST	TX	TXAK	RSTA	0	0
0x005B	IICS	TCF	IAAS	BUSY	ARBL	0	SRW	IICIF	RXAK
0x005C	IICD	DATA							
0x005D	IICC2	GCAEN	ADEXT	0	0	0	AD10	AD9	AD8
0x005E– 0x005F	预留	— —	— —	— —	— —	— —	— —	— —	— —
0x0060	TPM2SC	TOF	TOIE	CPWMS	CLKSB	CLKSA	PS2	PS1	PS0
0x0061	TPM2CNTH	Bit 15	14	13	12	11	10	9	Bit 8
0x0062	TPM2CNTL	Bit 7	6	5	4	3	2	1	Bit 0
0x0063	TPM2MODH	Bit 15	14	13	12	11	10	9	Bit 8
0x0064	TPM2MODL	Bit 7	6	5	4	3	2	1	Bit 0
0x0065	TPM2C0SC	CH0F	CH0IE	MS0B	MS0A	ELS0B	ELS0A	0	0
0x0066	TPM2C0VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0067	TPM2C0VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0068	TPM2C1SC	CH1F	CH1IE	MS1B	MS1A	ELS1B	ELS1A	0	0
0x0069	TPM2C1VH	Bit 15	14	13	12	11	10	9	Bit 8
0x006A	TPM2C1VL	Bit 7	6	5	4	3	2	1	Bit 0
0x006B	预留	—	—	—	—	—	—	—	—
0x006C	RTCSC	RTIF	RTCLKS		RTIE	RTCPS			
0x006D	RTCCNT	RTCCNT							
0x006E	RTCMOD	RTCMOD							
0x006F	预留	—	—	—	—	—	—	—	—
0x0070– 0x007F	预留	— —	— —	— —	— —	— —	— —	— —	— —

6.5.1.1 A 端口数据寄存器 (PTAD)

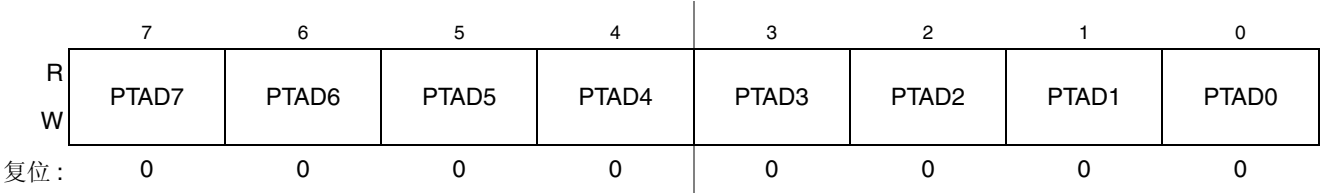


图 6-3. A 端口数据寄存器 (PTAD)

表 6-1. PTAD 寄存器字段描述

字段	描述
7:0 PTAD[7:0]	A 端口数据寄存器位 — 对于配置为输入的 A 端口管脚，读数返回管脚上的逻辑电平。对于配置为输出的 A 端口管脚，读数返回写入寄存器的最后一个值。 写入值被锁定在本寄存器的所有位中。对于配置为输出的 A 端口管脚，逻辑电平驱动相应的 MCU 管脚。 复位强制 PTAD 都为 0，但是这些 0 未被驱出相应的管脚，因为复位还会将所有端口管脚配置为上拉 / 下拉被禁止的高阻抗输入。

6.5.1.2 A 端口数据方向寄存器 (PTADD)

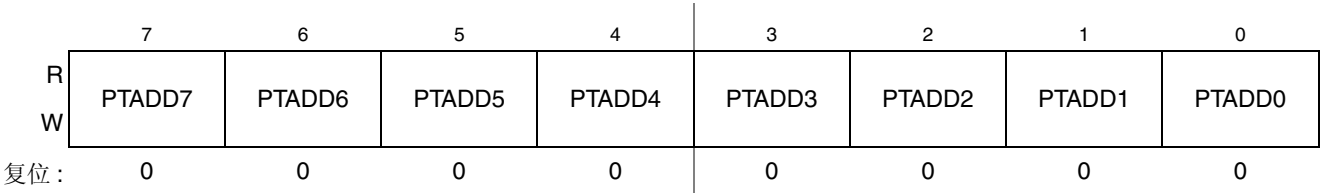


图 6-4. 端口数据方向寄存器 (PTADD)

表 6-2. PTADD 寄存器字段描述

字段	描述
7:0 PTADD[7:0]	A 端口位的数据方向 — 这些读 / 写位控制着 A 端口管脚的方向以及为 PTAD 读数读取的内容。 0 输入（输出驱动被禁止），读数返回管脚值。 1 A 端口位 - 输出驱动使能，PTAD 读数返回 PTADn 内容。

6.5.1.3 A 端口上拉使能寄存器 (PTAPE)

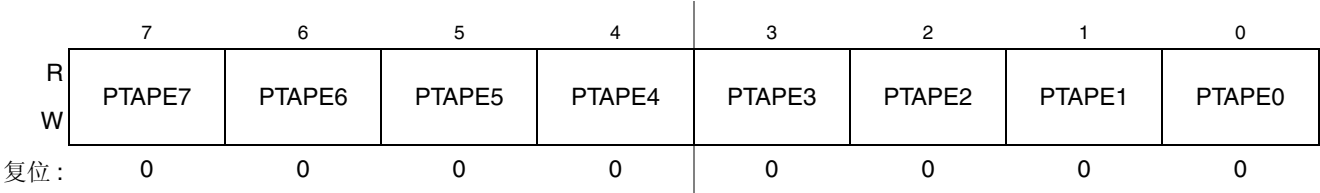


图 6-5. A 端口寄存器的内部上拉使能 (PTAPE)

表 6-3. PTAPE 寄存器字段描述

字段	描述
7:0 PTAPE[7:0]	A 端口内部上拉使能位 — 对于 PTA 管脚，这些控制位决定着为相关 PTA 管脚使能内部上拉还是使能下拉器件。对于配置为输出的 A 端口管脚，这些位不会产生影响，同时内部上拉器件被禁止。 0 A 端口位 - 内部上拉 / 下拉器件被禁止。 1 A 端口位 - 内部上拉 / 下拉器件使能。

注意

只有当使用管脚中断功能且配置了相应的边沿选择和管脚选择功能时，才能使用下拉器件。

6.5.1.4 A 端口斜率使能寄存器 (PTASE)

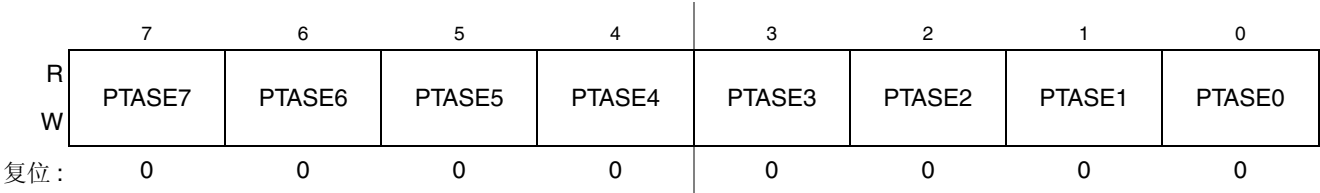


图 6-6. A 端口寄存器的斜率使能 (PTASE)

表 6-4. PTASE 寄存器字段描述

字段	描述
7:0 PTASE[7:0]	A 端口位输出斜率使能 — 这些控制位决定着是否为相关 PTA 管脚使能输出斜率控制。对于配置为输入的 A 端口管脚，这些位不会产生任何影响。 0 A 端口位 - 输出斜率控制被禁止。 1 A 端口位 - 输出斜率控制使能。

注意：工程样品和最终成品的斜率复位默认值可能不同。一定要将斜率控制初始化为所需的值，以确保正确的操作。

7.3 寻址模式

寻址模式定义 CPU 访问操作数和数据的方式。在 HCS08 中，所有存储器、状态和控制寄存器、输入 / 输出 (I/O) 端口共用一个 64Kb 线性地址空间，因此 16 位二进制地址能够识别任意存储器位置。这种安排意味着，访问 RAM 中变量的相同指令还可以用来访问 I/O 和控制寄存器或非易失性程序空间。

有些指令使用一个以上的寻址模式。例如，移动指令用一种寻址模式来指定源操作数，用另外一种寻址模式来指定目的地地址。而诸如 BRCLR、BRSET、CBEQ 和 DBNZ 这样的指令则使用一种寻址模式来指定测试用操作数的位置，当测试条件成立时，又使用相关寻址模式来指定分支目的地地址。对于 BRCLR、BRSET、CBEQ 和 DBNZ 而言，指令集表里列出的寻址模式是访问将要测试的操作数所需的寻址模式，而相关寻址模式则意味着分支地址寻址模式。

7.3.1 固有寻址模式 (INH)

在这种寻址模式中，完成指令（如果有的话）所需的操作数位于 CPU 寄存器上，因此 CPU 不需要访问存储器以获得任何操作数。

7.3.2 关联寻址模式 (REL)

关联寻址模式用来指定分支指令的目的地址。一个带符号的 8 位偏移值位于紧接操作码的存储器位置。在执行期间，如果分支条件成立，带符号的偏移被符号扩展为 16 位值，并被添加到程序计数器的当前内容中，造成在分支目的地地址上继续执行程序。

7.3.3 立即寻址模式 (IMM)

在立即寻址模式中，完成指令所需的操作数包含在紧跟存储器的指令操作码的目标码中。如果是 16 位直接操作数，高阶字节位于操作码后的下一个存储器位置，低阶字节位于高阶存储器后的下一个存储器位置。

7.3.4 直接寻址模式 (DIR)

在直接寻址模式中，指令包括直接页面 (0x0000 - 0x00FF) 地址的低阶 8 位。在执行过程中，16 位地址的高 8 位部分隐含为 0x00，低 8 位地址从指令中直接获得，以此构成 16 位地址指向指令所需的操作数。这比为操作数指定整个 16 位地址更快、存储器也更有效。

7.3.5 扩展寻址模式 (EXT)

在扩展寻址模式中，操作数的整个 16 位地址都位于紧接操作码后的程序存储器的两个字节上（高阶字节优先）。

7.3.6 索引寻址模式

索引寻址模式带有 7 个变种，5 个使用 16 位 H:X 索引寄存器对和两个使用堆栈指针作为基本参考。

表 7-3. 操作码映射 (第 1 页, 共 2 页)

Bit-Manipulation			Branch		Read-Modify-Write										Control			Register/Memory													
00	5	10	5	20	3	30	5	40	1	50	1	60	5	70	4	80	9	90	3	A0	2	B0	3	C0	4	D0	4	E0	3	F0	3
BRSET0	3	DIR	2	BSET0	DIR	BRA	REL	NEG	DIR	NEGA	INH	NEGX	1	NEG	IX1	RTI	INH	BGE	REL	SUB	IMM	SUB	DIR	SUB	EXT	SUB	IX2	SUB	IX1	SUB	IX
01	5	11	5	21	3	31	5	41	4	51	4	61	5	71	5	81	6	91	3	A1	2	B1	3	C1	4	D1	4	E1	3	F1	3
BRCLR0	3	DIR	2	BCLR0	DIR	BRN	REL	CBEQ	DIR	CBEQA	IMM	CBEQX	3	CBEQ	IX1+	RTS	INH	BLT	REL	CMP	IMM	CMP	DIR	CMP	EXT	CMP	IX2	CMP	IX1	CMP	IX
02	5	12	5	22	3	32	5	42	5	52	6	62	1	72	1	82	5+	92	3	A2	2	B2	3	C2	4	D2	4	E2	3	F2	3
BRSET1	3	DIR	2	BSET1	DIR	BHI	REL	LDHX	EXT	MUL	INH	DIV	INH	NSA	INH	DAA	INH	BGND	INH	BGT	REL	SBC	IMM	SBC	DIR	SBC	EXT	SBC	IX1	SBC	IX
03	5	13	5	23	3	33	5	43	1	53	1	63	5	73	4	83	11	93	3	A3	2	B3	3	C3	4	D3	4	E3	3	F3	3
BRCLR1	3	DIR	2	BCLR1	DIR	BLS	REL	COM	DIR	COMA	INH	COMX	1	COM	IX1	SWI	INH	BLE	REL	CPX	IMM	CPX	DIR	CPX	EXT	CPX	IX2	CPX	IX1	CPX	IX
04	5	14	5	24	3	34	5	44	1	54	1	64	5	74	4	84	1	94	2	A4	2	B4	3	C4	4	D4	4	E4	3	F4	3
BRSET2	3	DIR	2	BSET2	DIR	BCC	REL	LSR	DIR	LSRA	INH	LSRX	1	LSR	IX1	TAP	INH	TXS	INH	AND	IMM	AND	DIR	AND	EXT	AND	IX2	AND	IX1	AND	IX
05	5	15	5	25	3	35	4	45	3	55	4	65	3	75	5	85	1	95	2	A5	2	B5	3	C5	4	D5	4	E5	3	F5	3
BRCLR2	3	DIR	2	BCLR2	DIR	BCS	REL	STHX	DIR	LDHX	IMM	LDHX	2	CPHX	IMM	TPA	INH	TSX	INH	BIT	IMM	BIT	DIR	BIT	EXT	BIT	IX2	BIT	IX1	BIT	IX
06	5	16	5	26	3	36	5	46	1	56	1	66	5	76	4	86	3	96	5	A6	2	B6	3	C6	4	D6	4	E6	3	F6	3
BRSET3	3	DIR	2	BSET3	DIR	BNE	REL	ROR	DIR	RORA	INH	RORX	1	ROR	IX1	PULA	INH	STHX	EXT	LDA	IMM	LDA	DIR	LDA	EXT	LDA	IX2	LDA	IX1	LDA	IX
07	5	17	5	27	3	37	5	47	1	57	1	67	5	77	4	87	2	97	1	A7	2	B7	3	C7	4	D7	4	E7	3	F7	2
BRCLR3	3	DIR	2	BCLR3	DIR	BEQ	REL	ASR	DIR	ASRA	INH	ASRX	1	ASR	IX1	PSHA	INH	TAX	INH	AIS	IMM	STA	DIR	STA	EXT	STA	IX2	STA	IX1	STA	IX
08	5	18	5	28	3	38	5	48	1	58	1	68	5	78	4	88	3	98	1	A8	2	B8	3	C8	4	D8	4	E8	3	F8	3
BRSET4	3	DIR	2	BSET4	DIR	BHCC	REL	LSL	DIR	LSLA	INH	LSLX	1	LSL	IX1	PULX	INH	CLC	INH	EOR	IMM	EOR	DIR	EOR	EXT	EOR	IX2	EOR	IX1	EOR	IX
09	5	19	5	29	3	39	5	49	1	59	1	69	5	79	4	89	2	99	1	A9	2	B9	3	C9	4	D9	4	E9	3	F9	3
BRCLR4	3	DIR	2	BCLR4	DIR	BHCS	REL	ROL	DIR	ROLA	INH	ROLX	1	ROL	IX1	PSHX	INH	SEC	INH	ADC	IMM	ADC	DIR	ADC	EXT	ADC	IX2	ADC	IX1	ADC	IX
0A	5	1A	5	2A	3	3A	5	4A	1	5A	1	6A	5	7A	4	8A	3	9A	1	AA	2	BA	3	CA	4	DA	4	EA	3	FA	3
BRSET5	3	DIR	2	BSET5	DIR	BPL	REL	DEC	DIR	DECA	INH	DECX	1	DEC	IX1	PULH	INH	CLI	INH	ORA	IMM	ORA	DIR	ORA	EXT	ORA	IX2	ORA	IX1	ORA	IX
0B	5	1B	5	2B	3	3B	7	4B	4	5B	4	6B	7	7B	6	8B	2	9B	1	AB	2	BB	3	CB	4	DB	4	EB	3	FB	3
BRCLR5	3	DIR	2	BCLR5	DIR	BMI	REL	DBNZ	DIR	DBNZA	INH	DBNZX	3	DBNZ	IX1	PSHH	INH	SEI	INH	ADD	IMM	ADD	DIR	ADD	EXT	ADD	IX2	ADD	IX1	ADD	IX
0C	5	1C	5	2C	3	3C	5	4C	1	5C	1	6C	5	7C	4	8C	1	9C	1	AC	2	BC	3	CC	4	DC	4	EC	3	FC	3
BRSET6	3	DIR	2	BSET6	DIR	BMC	REL	INC	DIR	INCA	INH	INCX	1	INC	IX1	CLRH	INH	RSP	INH	JMP	IMM	JMP	DIR	JMP	EXT	JMP	IX2	JMP	IX1	JMP	IX
0D	5	1D	5	2D	3	3D	4	4D	1	5D	1	6D	4	7D	3			9D	1	AD	5	BD	5	CD	6	DD	6	ED	5	FD	5
BRCLR6	3	DIR	2	BCLR6	DIR	BMS	REL	TST	DIR	TSTA	INH	TSTX	1	TST	IX1					BSR	REL	JSR	DIR	JSR	EXT	JSR	IX2	JSR	IX1	JSR	IX
0E	5	1E	5	2E	3	3E	6	4E	5	5E	5	6E	4	7E	5	8E	2+	9E	Page 2	AE	2	BE	3	CE	4	DE	4	EE	3	FE	3
BRSET7	3	DIR	2	BSET7	DIR	BIL	REL	CPHX	EXT	MOV	DD	MOV	2	MOV	IXD	STOP	INH			LDX	IMM	LDX	DIR	LDX	EXT	LDX	IX2	LDX	IX1	LDX	IX
0F	5	1F	5	2F	3	3F	5	4F	1	5F	1	6F	5	7F	4	8F	2+	9F	1	AF	2	BF	3	CF	4	DF	4	EF	3	FF	2
BRCLR7	3	DIR	2	BCLR7	DIR	BIH	REL	CLR	DIR	CLRA	INH	CLR	1	CLR	IX1	WAIT	INH	TXA	INH	AIX	IMM	STX	DIR	STX	EXT	STX	IX2	STX	IX1	STX	IX

INH 固有
IMM 立即
DIR 直接
EXT 扩展
DD DIR 至 DIR
IMD IMM 至 DIR
IX+D IX+ 至 DIR

REL 相关
IX 索引、无偏移
IX1 索引、8 位偏移
IX2 索引、16 位偏移
IMD IMM 至 DIR
DIX+ DIR 至 IX+

SP1 堆栈指针, 8 位偏移
SP2 堆栈指针, 16 位偏移
IX+ 有索引、无偏移、
带后增量
IX1+ 有索引、1 字节偏移、
带后增量

十六进制操作码 字节数

F0	3
SUB	
1	IX

HCS08 周期
指令助记符
寻址模式

8.5 特性描述

8.5.1 运行模式

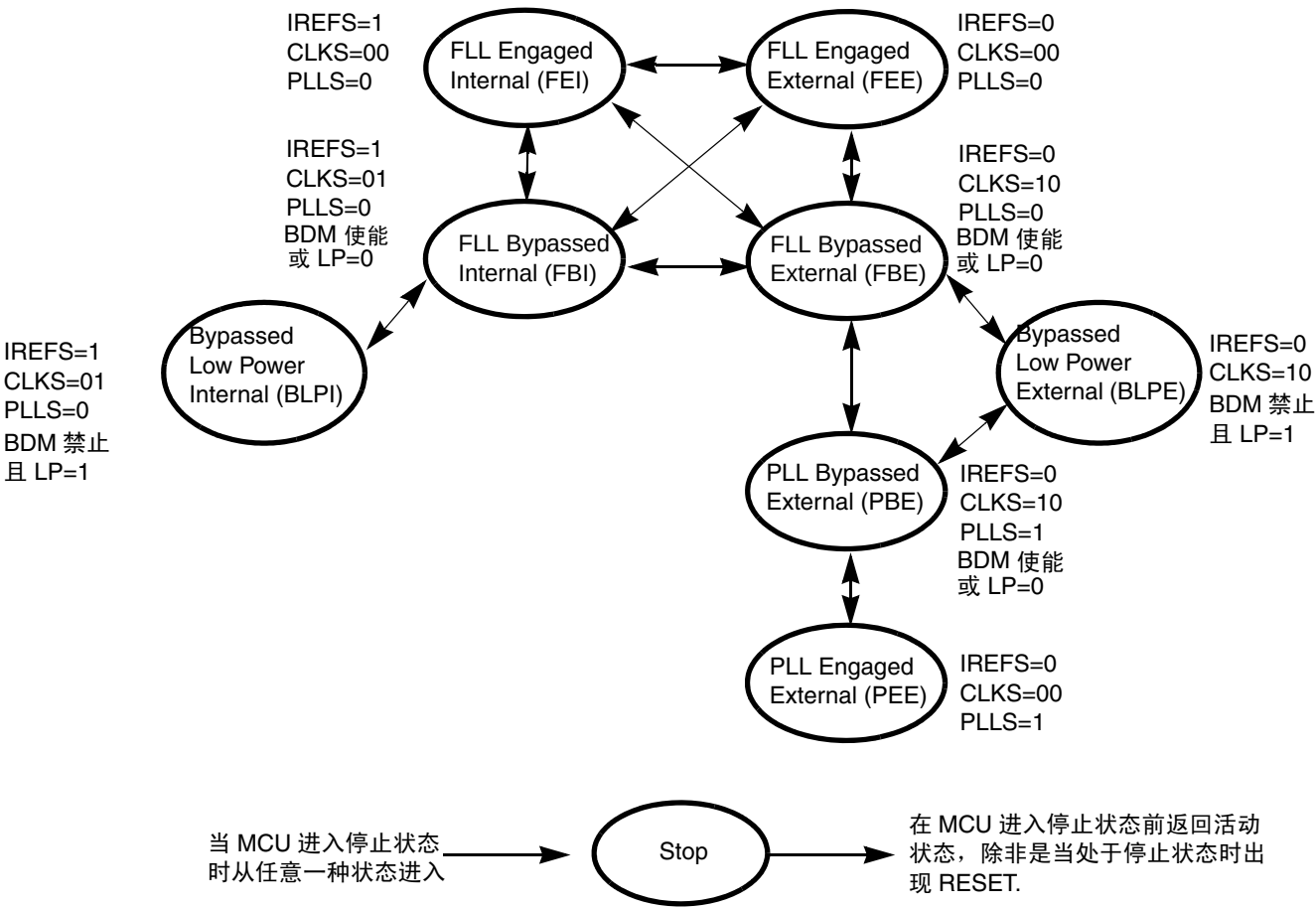


图 8-8. 时钟切换模式

MCG 的 9 种状态如状态示意图所示，并在下面做了详细地介绍。箭头显示状态间的允许移动方向。

8.5.1.1 FLL Engaged Internal (FEI)

FLL Engaged Internal (FEI) 是默认运行模式并且当满足下列条件时就进入该模式：

- CLKS 位写入 00
- IREFS 位写入 1
- PLLS 位写入 0
- RDIV 位写入 000。因为内部参考时钟频率在修正后应介于 31.25 kHz- 39.0625 kHz 之间，所以不需要进一步分频。

在 FLL Engaged Internal 模式中，MCGOUT 时钟源自 FLL 时钟，由内部参考时钟控制。FLL 时钟频率是由 RDIV 位选择的参考频率的 1024 倍。MCGLCLK 来自 FLL，PLL 被禁止并处于低功率状态。

8.5.1.2 FLL Engaged External (FEE)

当满足下列条件时就进入 FLL engaged External (FEE) 模式：

- CLKS 位写入 00
- IREFS 位写入 0
- PLLS 位写入 0
- RDIV 位写入介于 31.25 kHz- 39.0625 kHz 频率范围内的分频参考时钟。

在 FLL Engaged External 模式中，MCGOUT 时钟来自 FLL 时钟，由外部参考时钟控制。使能的外部参考时钟可以是外部晶体 / 谐振器，也可以是另外一个外部时钟源。FLL 时钟频率是由 RDIV 位选择的参考频率的 1024 倍。MCGLCLK 来自 FLL，PLL 被禁止并处于低功率状态。

8.5.1.3 FLL Bypassed Internal (FBI)

在 FLL Bypassed Internal (FBI) 模式中，MCGOUT 时钟来自内部参考时钟，FLL 处于运行状态但其输出时钟未使用。该模式对允许 FLL 获得目标频率非常有用，同时 MCGOUT 时钟由内部参考时钟驱动。

当满足以下条件时就进入 FLL Bypassed Internal 模式：

- CLKS 位写入 01
- IREFS 位写入 1
- PLLS 位写入 0
- RDIV 位写入 000。由于内部参考时钟频率在修正后应已经介于 31.25 kHz- 39.0625 kHz 之间，所以不需要进一步的分频。
- LP 位写入 0

在 FLL Bypassed Internal 模式中，MCGOUT 时钟源自内部参考时钟。FLL 时钟由内部参考时钟控制。FLL 时钟频率是由 RDIV 位选择的参考频率的 1024 倍。MCGLCLK 来自 FLL，PLL 被禁止并处于低功率状态。

表 10-1. ADC 通道分配

ADCH	通道	输入	ADCH	通道	输入
00000	AD0	PTA0/ADP0/MCLK	01111	AD15	PTB7/ADP15
00001	AD1	PTA1/ADP1/ACMP1+	10000	AD16	PTC0/ADP16
00010	AD2	PTA2/ADP2/ACMP1P-	10001	AD17	PTC1/ADP17
00011	AD3	PTA3/ADP3/ACMP1O	10010	AD18	PTC2/ADP18
00100	AD4	PTA4/ADP4	10011	AD19	PTC3/ADP19
00101	AD5	PTA5/ADP5	10100	AD20	PTC4/ADP20
00110	AD6	PTA6/ADP6	10101	AD21	PTC5/ADP21
00111	AD7	PTA7/ADP7	10110	AD22	PTC6/ADP22
01000	AD8	PTB0/ADP8	10111	AD23	PTC7/ADP23
01001	AD9	PTB1/ADP9	11000– 11001	AD24 through AD25	预留
01010	AD10	PTB2/ADP10	11010	AD26	温度传感器 ¹
01011	AD11	PTB3/ADP11	11011	AD27	内部隙带 ²
01100	AD12	PTB4/ADP12	11100	预留	预留
01101	AD13	PTB5/ADP13	11101	V _{REFH}	V _{REFH}
01110	AD14	PTB6/ADP14	11110	V _{REFL}	V _{REFL}

10.1.3 替代时钟

ADC 模块的时钟源可以是 MCU 总线时钟，总线时钟二分频，模块内的本地异步时钟（ADACK）或替代时钟 ALTCLK。MC9S08DZ60 系列 MCU 器件的替代时钟是外部参考时钟（MCGERCLK）。

所选的时钟源必须运行在一定的频率范围内，这样 ADC 转换时钟 (ADCK) 就可以通过 ADIV 位的设置，在从 ALTCLK 分频后，运行在指定的频率范围 (f_{ADCK}) 内。

当 MCU 处于等待模式时，ALTCLK 是使能的 (满足以上条件)。这使得当 MCU 处于等待模式时，ALTCLK 可以用作 ADC 的工作时钟源。

当 MCU 处于 STOP2 或 STOP3 时，ALTCLK 不能用作 ADC 工作时钟源。

表 12-1. CANCTL0 寄存器字段描述 (continued)

字段	描述
1 SLPRQ ⁴	睡眠模式请求—该位请求 MSCAN 进入睡眠模式，这是一个内部节电模式（参见 12.5.5.4，“MSCAN 睡眠模式”）。当 CAN 总线空闲时，也就是说该模块不接收任何报文且所有发送缓冲器空，睡眠模式请求被受理。通过设置 SLPK = 1（参见 12.3.2，“控制寄存器 1 (CANCTL1)”），表示该模块进入睡眠模式。当设置了 WUPIF 标记时（参见 12.3.4.1，“MSCAN 接收器标志寄存器 (CANRFLG)”），不能设置 SLPRQ。睡眠模式维持有效，直到 SLPRQ 被 CPU 清除或者根据 WUPE 的设置，MSCAN 检测到 CAN 总线上有有效并自行清除。 0 运行中 — MSCAN 正常工作 1 睡眠模式请求— 当 CAN 总线空闲时 MSCAN 进入睡眠模式
0 INITRQ ^{5,6}	INITRQ6、7 初始化模式请求— 当 CPU 设置该位时，MSCAN 切换至初始化模式（参见 12.5.5.5，“MSCAN I 初始化模式”）。任何正在进行的发送或接收都将被中止，与 CAN 总线的同步也丢失。通过设置 INITAK = 1（见 12.3.2 小节“MSCAN 控制寄存器 1 (CANCTL1)”），表示该模块进入初始化模式。 以下寄存器进入其硬复位状态并恢复它们的默认值：CANCTL08、CANRFLG9、CANRIER10、CANTFLG、CANTIER、CANTARQ、CANTAARQ 和 CANTBSEL。 μ 肱 SCAN 处于初始化模式（INITRQ = 1，INITAK = 1）时，寄存器 CANCTL1、CANBTR0、CANBTR1、CANIDAC、CANIDAR0-7 和 CANIDMR0-7 只能通过 CPU 写入。错误计数器的值不受初始化模式的影响。 当该位通过 CPU 清除时，MSCAN 重启，然后试图与 CAN 总线同步。如果 MSCAN 未处于总线脱离状态，它在 CAN 总线上出现 11 个连续隐性位后同步。如果 MSCAN 处于总线脱离状态，它将继续等待 11 个连续隐性位重复出现 128 次。 只有当退出初始化模式后，才可以在 CANCTL0、CANRFLG、CANRIER、CANTFLG 或 CANTIER 中写入其他位，这时 INITRQ = 0，INITAK = 0。 0 正常运行 1 MSCAN 处于初始化模式

¹ 要设置该位，MSCAN 必须处于正常模式。² 如需了解发送器和接收器状态的详细定义，（参见 12.5.5.2，“等待模式中的操作”和 12.5.5.3，“停止模式中的操作”）。³ 为了防止意外违反 CAN 协议，当 CPU 进入等待（CSWAI = 1）或停止模式（参见 12.3.5，“MSCAN 接收器中断使能寄存器 (CANRIER)”），立即强制 TXCAN 管脚进入隐性状态。⁴ 如果需从停止或等待模式中进行恢复的机制，CPU 必须确保 WUPE 位和 WUPIE 唤醒中断使能位（参见 12.3.5，“MSCAN 接收器中断使能寄存器 (CANRIER)”）（CANRIER）被使能。⁵ 在 MSCAN 进入睡眠模式（SLPRQ = 1，SLPAK = 1）前，CPU 不能清除 SLPRQ。⁶ 在 MSCAN 进入初始化模式（INITRQ = 1，INITAK = 1）前，CPU 不能清除 INITRQ。

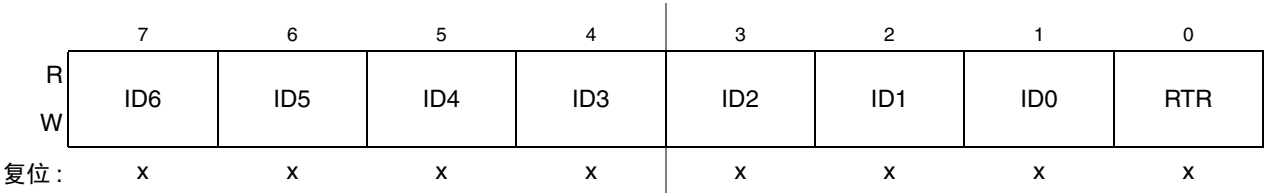


图 12-28. 标识符寄存器 3（IDR3）— 扩展标识符映射

表 12-28. 标识符寄存器 0 — 标准映射

字段	描述
7:1 ID[6:0]	扩展格式标识符 — 该标识符由 29 个扩展格式位（ID[28:0]）组成。ID28 是最高的位，仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。
0 RTR	远程发送请求 — 该标志反应 CAN 帧中远程发送请求的状态。在接收缓冲器中，它显示已接收帧的状态，并在软件中支持应答帧的发送。在发送缓冲器中，该标志定义将要发送的 RTR 位的设置。 0 数据帧 1 远程帧

12.4.2 标准标识符映射的 IDR0 – IDR3

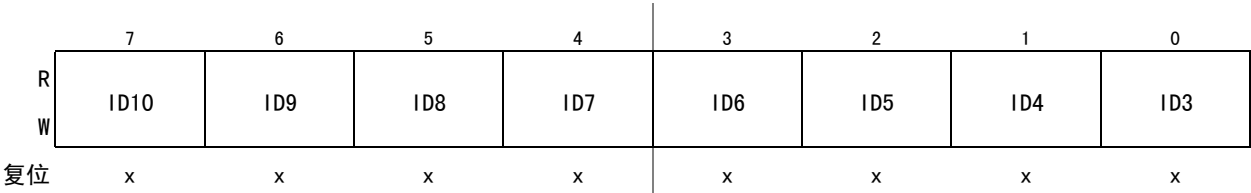


图 12-29. 标识符寄存器 0 — 标准映射

表 12-29. IDR0 寄存器字段描述 — 标准

字段	描述
7:0 ID[10:3]	标准格式标识符 — 该标识符由 11 个扩展格式位（ID[10:0]）组成。ID10 是最高位，仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。也可参见表 12-30 中的 ID 位。

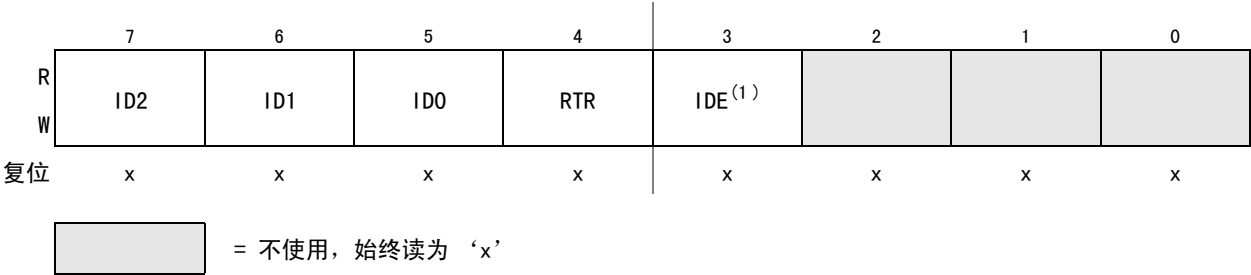


图 12-30. 标识符寄存器 1 — 标准映射

¹ IDE 为 0.

当 CAN 总线赢得仲裁时，如果有一个以上的缓冲器等待发送，MSCAN 则使用三个缓冲器的本地优先级设置来决定优先顺序。因此，每个发送缓冲器都有 8 位本地优先级字段（PRIO）。当报文建立时，应用软件就编辑该字段。本地优先级反应了在从该节点发送的有关报文之间的优先顺序。具有最低二进制代码的 PRIO 字段占最高优先级。每当 MSCAN 为 CAN 总线进行仲裁时，就会引发内部调度程序。当出现发送错误时也会如此。

当应用软件安排了高优先级报文时，可能有必要中止三个发送缓冲器的某一个低优先级报文。由于正发送的报文不能中止，因此用户必须通过设置相应中止请求位（ABTRQ）请求中止（参见 12.3.8，“MSCAN Transmitter 发送器报文中止请求寄存器（CANTARQ）”）。可能的话，MSCAN 通过以下方式同意该请求：

1. 在 CANTAACK 寄存器中设置相应的中止确认标志（ABTAK）。
2. 设置相关的 TXE 标志来释放缓冲器。
3. 生成发送中断。发送中断处理程序软件能够根据 ABTAK 标志的设置确定是报文中止（ABTAK = 1）还是已发送（ABTAK = 0）。

12.5.2.3 接收结构

收到的报文保存在 5 级输入 FIFO 中。5 个报文缓冲器被交替映射到单个存储器区域（参见图 12-38）。后台接收缓冲器（RxBG）只与 MSCAN 相关，但前景接收缓冲器可以通过 CPU 寻址（参见图 12-38）。这种机制简化了处理程序软件，因为接收流程只需访问一个地址。

如使能的话，所有接收缓冲器都有 15 字节大小空间来保存 CAN 控制位、标识符（标准或扩展）、数据内容（参见 12.4，“报文存储模式”）。

接收器已满标志（RXF）（参见 12.3.4.1，“MSCAN 接收器标志寄存器（CANRFLG）”）显示前景接收缓冲器的状态。当缓冲器包含带有匹配标识符的正确接收报文时，设置该标志。

接收时，检查每条报文，看看它是否通过滤波器（参见 12.5.3，“标识符接收滤波器”），同时被写入有效 RxBG。成功接收到有效报文后，MSCAN 将 RxBG 的内容转移到接收器 FIFO2，设置 RXF 标志并向 CPU3 生成一个接收中断（参见 12.5.7.3，“接收中断”）。用户的接收处理程序必须从 RxFG 读取收到的报文，然后复位 RXF 标志，确认中断、释放前景缓冲器。在某些情况下，紧跟 CAN 帧的 IFS 字段后的新报文，将被接收到下一个可用 RxBG 中。如果 MSCAN 在其 RxBG 中接收到无效报文（错误标识符、发送错误等），缓冲器的实际内容将被下一条报文覆盖。缓冲器随后不会转移到 FIFO。

当 MSCAN 模块正在发送报文时，MSCAN 把其自己发送的报文接收到后台接收缓冲器 RxBG，但不会将它转移到接收器 FIFO，生成接收中断或在 CAN 总线上响应其自己的报文。这一规则的例外是在环回模式（参见 12.3.2，“控制寄存器 1（CANCTL1）”）中，这时 MSCAN 会完全按照同所有其他报文一样的方式处理其自己的报文。当仲裁丢失时，MSCAN 接收其自己发送的报文。如果仲裁丢失，MSCAN 必须做好成为接收器的准备。

当 FIFO 中的所有接收报文缓冲器充满了带有已接收标识符的正确接收报文，且从 CAN 总线中正确接收到另外一条带有已接收标识符的报文时，就会出现溢出。后面这一条报文被丢弃，并生成带有溢出标志的错误中断（参见 12.5.7.5，“错误中断”）。当接收器 FIFO 已满时，MSCAN 仍能发送报文，但所有进入报文会被丢弃。一旦 FIFO 中的接收缓冲器重新可用，就能接收新的有效报文。

第 13 章

串行外围器件接口 (S08SPIV3)

13.1 介绍

串行外围器件接口（SPI）模块提供 MCU 和外围器件间的全双工、同步和串行通信。这些外围器件可以包括其他微控制器、模数移位器、移位寄存器、传感器和存储器等。

SPI 运行在主模式中最高可运行在总线时钟除以 2 的波特率上，在辅模式中最高可运行在总线时钟除以 4 的波特率上。

MC9S08DZ60 系列 MCU 中的所有器件包含一个 SPI 模块，如下面的结构图所示。

注意

在位更改为 CPHA 位的同时，确保 SPI 不得被禁止（SPE=0）。这些更改应作为独立操作执行，否则就可能发生意外。

表 13-1. SPIC1 字段描述 (continued)

字段	描述
1 SSOE	辅选择输出使能 — 该位的使用结合 SPCR2 中的模式故障使能 (MODFEN) 位和主从 (MSTR) 控制位，以确定 SS 管脚的功能，如表 13-2 所示。
0 LSBFE	LSB 先发 (移位器方向) 0 SPI 串行数据传输始于最高位 1 SPI 串行数据传输始于最低位

表 13-2. SS 管脚功能

MODFEN	SSOE	主模式	辅模式
0	0	通用 I/O (非 SPI)	从选择输入
0	1	通用 I/O (非 SPI)	从选择输入
1	0	模式故障的 SS 输入	从选择输入
1	1	自动 SS 输出	从选择输入

注意

确保在位更改为 CPHA 位的同时 SPI 不得禁止 (SPE=0)。这些更改应作为独立操作执行，否则可能发生意外。

13.4.2 SPI 控制寄存器 2 (SPIC2)

该读 / 写寄存器用来控制 SPI 系统的可选功能。位 7、6、5 和 2 不执行，始终读为 0。

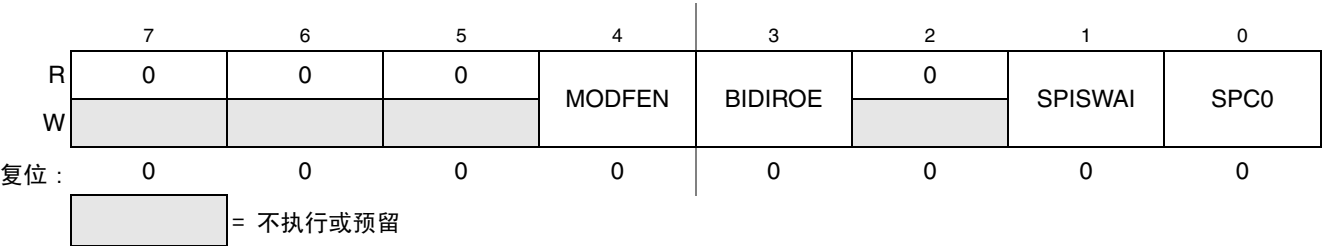


图 13-6. SPI 控制寄存器 2 (SPIC2)

表 13-3. SPIC2 寄存器字段描述

字段	描述
4 MODFEN	主模式故障功能使能 — 当为辅模式配置 SPI 时，该位没有意义或影响 (SS 管脚是从选择输入)。在主模式中，该位决定 SS 管脚的使用方式 (如需了解更多信息，参见表 13-2)。 0 模式故障功能禁止，主 SS 管脚恢复为不受 SPI 控制的通用 I/O。 1 模式故障功能使能，主 SS 管脚用作模式故障输入或辅选择输出
3 BIDIROE	双向模式输出使能 — 双向模式由 SPI 管脚控制 0 (SPC0 = 1) 使能时，BIDIROE 决定 SPI 数据输出驱动器是否被使能为单个双向 SPI I/O 管脚。根据 SPI 是配置为主 SPI 还是从 SPI，它将 MOSI (MOMI) 或 MISO (SISO) 管脚分别用作单个 SPI 数据 I/O 管脚，当 SPC0 = 0，BIDIROE 没有意义或影响。 0 输出驱动器禁止，因此 SPI 数据 I/O 管脚作为输入 1 SPI I/O 管脚作为输出使能

表 14-6. SCIS1 字段描述

字段	描述
5 RDRF	接收数据寄存器已满标记 — 当字符从接收移位器传输到接收数据寄存器（SCID）时，设置 RDRF。要清除 RDRF，当 RDRF = 1 时读 SCIS1，然后读 SCI 数据寄存器（SCID）。 0 接收数据寄存器空。 1 接收数据寄存器已满。
4 IDLE	闲置线路标记 — 在一段时间的活动后，当 SCI 接收线路已经闲置了一个全字符时间时，就设置 IDLE。当 ILT = 0，接收器在起始位后开始计数闲置位时间。因此，如果接收字符都为 1，这些位时间和停止位时间计数入接收器用于探测一个闲置线路所需逻辑高态（10 或 11 个位时间，取决于 M 控制位）的全字符时间。当 ILT = 1，接收器直到停止位后才开始计数闲置位时间。因此，停止位和前一字符末端的任何逻辑高态位时间不会计数入接收器用于探测一个闲置线路所需逻辑高态的全字符时间。 要清除 IDLE，当 IDLE = 1 时读取 SCIS1，然后读取 SCI 数据寄存器（SCID）。清除 IDLE 后，不能再次进行设置，直到接收到新字符且已设置了 RDRF。IDLE 只设置一次，即便接收线路闲置了很长一段时间。 0 没有检测到闲置线路 1 检测到闲置线路
3 OR	接收器溢出标记 — 当新的串行字符做好了传输到接收数据寄存器（缓冲器）的准备时，但原来接收的字符还没有从 SCID 读取，设置 OR。在这种情况下，新字符（和所有相关错误信息）丢失，因为没有空间将它们移到 SCID。要清除 OR，当 OR = 1 时读 SCIS1，然后读 SCI 数据寄存器（SCID）。 0 没有溢出 1 接收溢出（新 SCI 数据丢失）
2 NF	噪音标记 — 接收器中采用的先进的采样技术在起始位中提取 7 个样本，在每个数据位和停止位中提取 3 个样本。如果这些样本中任何一个样本与帧中任何位时间内的其余样本不一致，就要在 RDRF 为这个字符而置 1 的同时设置标记 NF。要清除 NF，读 SCIS1，然后读 SCI 数据寄存器（SCID）。 0 没有检测到噪音 1 SCID 中的已接收字符中检测到噪音
1 FE	成帧错误标记 — 当接收器在应该是停止位的时候检测到逻辑 0 时，同时设置 FE 和 RDRF。这表示接收器与字符帧没有完全统一。要清除 FE，当 FE = 1 时读 SCIS1，然后读 SCI 数据寄存器（SCID）。 0 未检测到成帧错误，这不能保证成帧正确。 1 成帧错误。
0 PF	奇偶效验错误标记 — 当奇偶效验使能（PE = 1）且已接收字符中的奇偶校验位与预期奇偶效验值不一致时，同时设置 PF 和 RDRF。要清除 PF，读 SCIS1，然后读 SCI 数据寄存器（SCID）。 0 没有奇偶效验错误 1 奇偶效验错误

14.2.5 SCI 状态寄存器 2 (SCIS2)

该寄存器有一个只读状态标记。

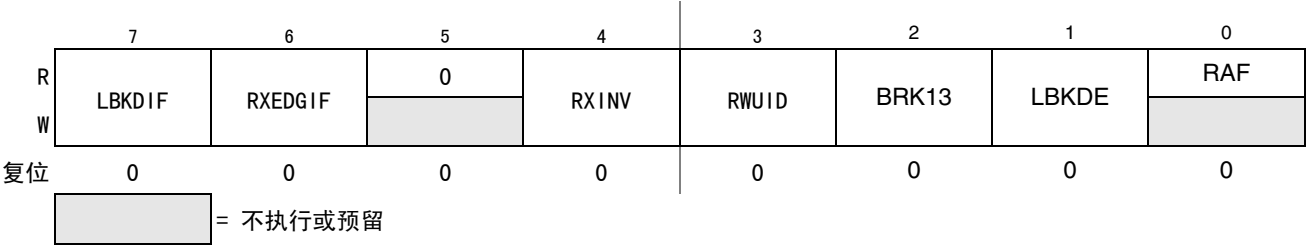


图 14-9. SCI 状态寄存器 2 (SCIS2)

- 中央对齐 pwm 模式

16 位模数寄存器值的两倍设置 PWM 输出周期，而通道值寄存器设置一半占空比持续时间。定时器计数器向上计数，直到达到模数值，然后向下计数直到达到 0。向下计数的情况下，计数与通道值寄存器匹配时，PWM 输出进入活动状态。向上计数的情况下，计数与通道值寄存器匹配时，PWM 输出进入非活动状态。这类 PWM 信号被称为中央对齐，因为所有通道的活动占空比的中心与计数值 0 对齐。用于小型设备中的发动机类型需要这类 PWM 应用。

这只是一个简要介绍。运行模式的详细介绍请参见后面的各小节。

16.1.3 结构图

TPM 为每个通道使用一个输入 / 输出 (I/O) 管脚，即 TPMxCHn (定时器通道 n)，其中 n 为通道编号 (1-8)。TPM 与通用 I/O 端口管脚分享其 I/O 管脚 (请参考全芯片规范中的输入 / 输出管脚描述，了解如何完成具体芯片执行)。

图 16-2 显示了 TPM 结构。TPM 的中心组件是 16 位计数器。该计数器既可作为自由运行的计数器运行，又可作为模数向上 / 向下计数器运行。TPM 计数器 (以正常的向上计数模式运行时) 为输入捕捉、输出比较和边缘对齐 PWM 功能提供定时参考。定时器计数器模数寄存器 TPMxMODH:TPMxMODL 控制计数器的模数值 (0x0000 或 0xFFFF 值有效地使计数器自由运行)。软件可随时读取计数器值而不影响计数序列。向 TPMxCNT 计数器的任何一半写入任何数据值都会复位计数器。

表 16-5. TPMxCnSC 字段描述 (continued)

字段	描述
4 MSnA	TPM 通道 n 的模式 A 选择位。当 CPWMS=0，MSnB=0 时，MSnA 为输入捕捉模式或输出比较模式配置 TPM 通道 n。请参见 表 16-6 中关于通道模式和设置控制的总结。 注意： 如果相关端口管脚在变为输入捕捉模式前至少 2 个总线时钟周期内是不稳定的，则可能获得一个边缘触发的意外指示。
3-2 ELSnB ELSnA	边沿 / 电平选择位。根据 CPWMS:MSnB:MSnA 设置、表 16-6, 中所示的定时器通道的运行模式，这些位选择触发输入捕捉事件的输入边的极性，选择满足输出比较匹配后将驱动的电平，或选择 PWM 输出的极性。 将 ELSnA 设置为 0:0 可将关联的定时器管脚配置为与任何定时器功能无关的通用输入 / 输出管脚。当关联的定时器通道被设置为不请求使用管脚的软件定时器时，本功能常用于临时关闭输入捕捉通道或使定时器管脚可用作通用输入 / 输出管脚。

表 16-6. 模式、边沿和电平选择

CPWMS	MSnB:MSnA	ELSnB:ELSnA	模式	配置
X	XX	00	不用于 TPM 的管脚 - 恢复为通用输入 / 输出或其他外围设备控制	
0	00	01	输入捕捉	仅在上升边沿捕捉
		10		仅在下降边沿捕捉
		11		在上升或下降边沿捕捉
	01	01	输出比较	切换比较输出
		10		清除比较输出
		11		设置比较输出
	1X	10	边缘对齐 PWM	High-true p 脉冲（清除比较输出）
		X1		Low-true p 脉冲（设置比较输出）
1	XX	10	中央对齐 PWM	High-true 脉冲（清除向上比较输出）
		X1		Low-true 脉冲（设置向上比较输出）

16.3.5 TPM 通道值寄存器（TPMxCnVH:TPMxCnVL）

这些读 / 写寄存器包含输入捕捉功能捕捉的 TPM 计数器值，或输出比较或 PWM 功能的输出比较值。该通道寄存器可通过复位清除。

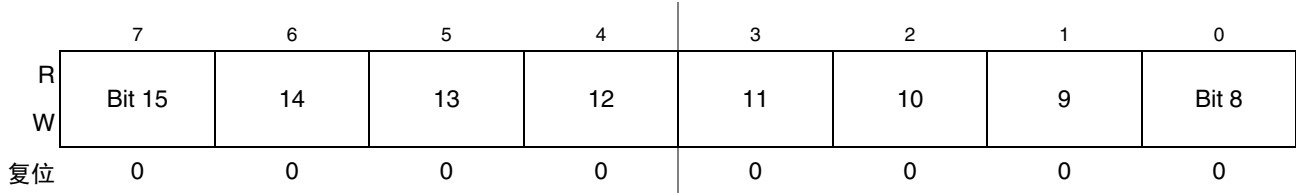


图 16-13. TPM 道值寄存器高字节（TPMxCnVH）

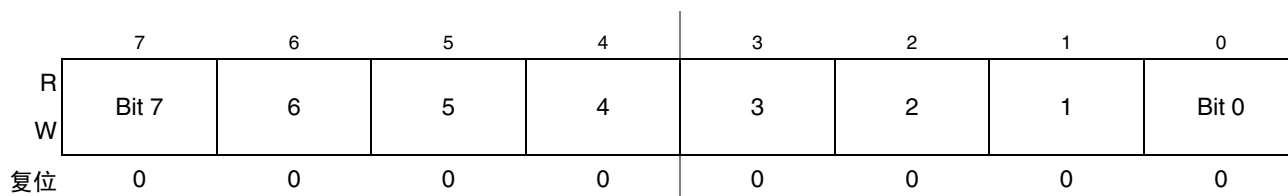


图 16-14. TPM 通道值寄存器低字节 (TPMxCnVL)

在输入捕捉模式下，读取任何一个字节（无论是 TPMxCnVH 还是 TPMxCnVL）都会使两个字节的內容锁入到缓冲器中。这些内容一直锁定在那里，直到另一半被读取。当 TPMxCnSC 寄存器被写入时（不管 BDM 模式是否使能），锁存机制可复位（为未锁定状态）。向通道寄存器的任何写入操作在输入捕捉模式下将被忽视。

BDM 处于有效状态时，一致性机制是冻结的（除非通过写入 TPMxCnSC 寄存器复位），这样缓冲器中锁定的内容将一直保持 BDM 处于有效状态时的锁定状态，即使通道寄存器的一半或两个一半都在 BDM 处于有效状态时被读取。这确保了如果 BDM w 处于有效状态时用户正在读取 16 位寄存器，那么在返回正常运行后它将从 16 位值的另一半中读取适当的值。在 BDM 模式下从 TPMxCnVH 和 TPMxCnVL 寄存器中读取的值是这些寄存器的值而不是它们的读取缓冲器的值。

在输出比较或 PWM 模式下，写入任何一个字节（无论是 TPMxCnVH 还是 TPMxCnVL）都会将该值锁入到缓冲器中。两个字节都被写入后，他们根据 CLKSb:CLKSA 位的值和所选模式作为连贯的 16 位值发送到定时器通道寄存器中，因此：

- 如果 (clksb:clksa = 0:0)，那么寄存器在第二个字节被写入时更新。
- 如果 (clksb:clksa not = 0:0 而且在 epwm 或 cpwm 模式下)，那么寄存器在第二个字节被写入后和 tpm 计数器下次发生变化（预分频器计数结束）时更新。
- 如果 (clksb:clksa not = 0:0 而且在 epwm 或 cpwm 模式下)，寄存器在两个字节被写入后以及 tpm 计数器从 (tpmxmodh:tpmxmodl - 1) 变为 (tpmxmodh:tpmxmodl) 时更新。如果 tpm 计数器为自由运行的计数器，那么更新在 tpm 计数器从 0xffff 变为 0x0000 时进行。

锁存机制可通过写入 TPMxCnSC 寄存器（不管 BDM 是否处于活动状态）来手动复位。这种锁定机制允许按从小到大或从大到小的顺序进行连贯的 16 位写入，这对各种编译器的编译都非常友好。

当 BDM 处于有效状态时，一致性机制被冻结，这样缓冲器中锁定的内容仍可保持 BDM 处于有效状态时的锁定状态，即使通道寄存器的一半或两个一半都在 BDM 处于有效状态时被写入。当处于有效状态时，向通道寄存器的任何写入操作都会绕过缓冲器锁定并直接写入到通道寄存器中。一旦恢复正常运行，BDM 处于有效状态时写入到通道寄存器的值用于 PWM 和输出比较操作。处于有效状态时，通道寄存器写入不会干扰一致性序列的部分完成。一致性机制全部运行完毕后，可通过用户写入的缓冲值（BDM 未处于活动状态时）更新通道寄存器。

第 17 章 开发支持

17.1 介绍

HCS08 中的开发支持系统包括背景调试控制器 (BDC) 和片上调试模块 (DBG)。BDC 提供单线调试接口，与目标连接，通过这个接口可以方便地进行片上闪存和其它非易失性存储器的编程。BDC 也是开发用的主要调试接口，允许以非侵入式方式存取存储器数据和传统调试功能，如 CPU 寄存器修改、断点和单指令跟踪命令等。

在 HCS08 产品系列中，外部管脚不包括地址和数据总线信号（即使在测试模式也不包括）。调试的执行是通过单线背景调试接口向目标 MCU 传输命令来实现的。调试模块提供了一种有选择性地触发和捕获总线信息的方式，这样外部开发系统可以对 MCU 内发生的事件按周期进行重现，而不需要从外部存取 MCU 的地址和数据信号。

17.1.1 强制激活背景调试

强制激活背景调试模式的方式取决于具体的 HCS08 衍生产品。对，你可以在上电复位后强制激活背景调试，即当器件退出复位时保持 BKGD 引脚为低。你还可以通过将 SBDPR 寄存器的 BDFR 位置 1 的串行背景调试命令之后拉低 BKGD 管脚从而强制激活背景调试中的 BKGD 管脚后立即使低。如果没有调试盒连接到 BKGD 管脚，MCU 将总是复位到正常操作模式。

B.7.4 PWM 占空比结束事件

对于配置用于 PWM 运行的通道，有两种可能性：

- 当通道配置用于边缘对齐 PWM 时，定时器计数器与标志活动工作周期结束的通道值寄存器匹配时，通道标记被设置。
- 当通道配置用于中央对齐 PWM 时，定时器计数与每个 PWM 周期的通道值寄存器的两倍相匹配。在这种 CPWM 情况下，通道标记会在定时器计数器与通道值寄存器匹配时，即在活动工作周期开始和结束时被设置。

这种标记通过 B.7.1，“清除定时器中断标记”中所述的两步序列清除。