



Welcome to [E-XFL.COM](#)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Obsolete
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	53
Program Memory Size	60KB (60K x 8)
Program Memory Type	FLASH
EEPROM Size	2K x 8
RAM Size	4K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 24x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 105°C (TA)
Mounting Type	Surface Mount
Package / Case	64-LQFP
Supplier Device Package	64-LQFP (10x10)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/s9s08dz60f1vlh

表 4-2. 直接页面寄存器总结 (第 1 页, 共 3 页)

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0x0052	SPIBR	0	SPPR2	SPPR1	SPPR0	0	SPR2	SPR1	SPR0
0x0053	SPIS	SPRF	0	SPTEF	MODF	0	0	0	0
0x0054	预留	0	0	0	0	0	0	0	0
0x0055	SPID	Bit 7	6	5	4	3	2	1	Bit 0
0x0056– 0x0057	预留	— —	— —	— —	— —	— —	— —	— —	— —
0x0058	IICA	AD7	AD6	AD5	AD4	AD3	AD2	AD1	0
0x0059	IICF	MULT		ICR					
0x005A	IICC1	IICEN	IICIE	MST	TX	TXAK	RSTA	0	0
0x005B	IICS	TCF	IAAS	BUSY	ARBL	0	SRW	IICIF	RXAK
0x005C	IICD	DATA							
0x005D	IICC2	GCAEN	ADEXT	0	0	0	AD10	AD9	AD8
0x005E– 0x005F	预留	— —	— —	— —	— —	— —	— —	— —	— —
0x0060	TPM2SC	TOF	TOIE	CPWMS	CLKSB	CLKSA	PS2	PS1	PS0
0x0061	TPM2CNTH	Bit 15	14	13	12	11	10	9	Bit 8
0x0062	TPM2CNTL	Bit 7	6	5	4	3	2	1	Bit 0
0x0063	TPM2MODH	Bit 15	14	13	12	11	10	9	Bit 8
0x0064	TPM2MODL	Bit 7	6	5	4	3	2	1	Bit 0
0x0065	TPM2C0SC	CH0F	CH0IE	MS0B	MS0A	ELS0B	ELS0A	0	0
0x0066	TPM2C0VH	Bit 15	14	13	12	11	10	9	Bit 8
0x0067	TPM2C0VL	Bit 7	6	5	4	3	2	1	Bit 0
0x0068	TPM2C1SC	CH1F	CH1IE	MS1B	MS1A	ELS1B	ELS1A	0	0
0x0069	TPM2C1VH	Bit 15	14	13	12	11	10	9	Bit 8
0x006A	TPM2C1VL	Bit 7	6	5	4	3	2	1	Bit 0
0x006B	预留	—	—	—	—	—	—	—	—
0x006C	RTCSC	RTIF	RTCLKS		RTIE	RTCPS			
0x006D	RTCCNT	RTCCNT							
0x006E	RTCMOD	RTCMOD							
0x006F	预留	—	—	—	—	—	—	—	—
0x0070– 0x007F	预留	— —	— —	— —	— —	— —	— —	— —	— —

表 4-3. 高端页面寄存器总结 (第 1 页, 共 3 页)

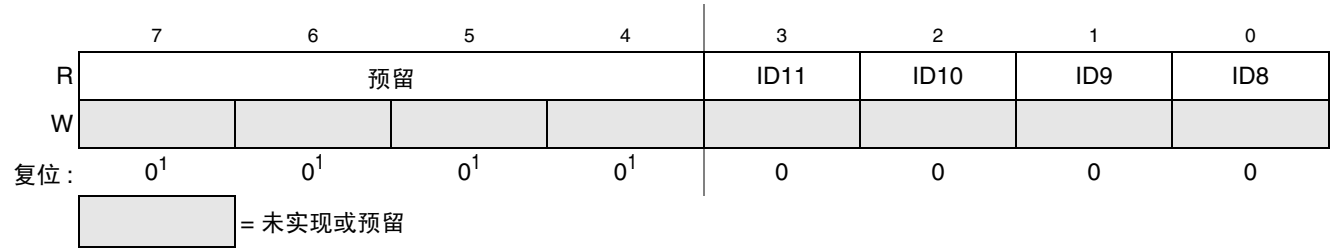
地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0x1845	PTAPS	PTAPS7	PTAPS6	PTAPS5	PTAPS4	PTAPS3	PTAPS2	PTAPS1	PTAPS0
0x1846	PTAES	PTAES7	PTAES6	PTAES5	PTAES4	PTAES3	PTAES2	PTAES1	PTAES0
0x1847	预留	—	—	—	—	—	—	—	—
0x1848	PTBPE	PTBPE7	PTBPE6	PTBPE5	PTBPE4	PTBPE3	PTBPE2	PTBPE1	PTBPE0
0x1849	PTBSE	PTBSE7	PTBSE6	PTBSE5	PTBSE4	PTBSE3	PTBSE2	PTBSE1	PTBSE0
0x184A	PTBDS	PTBDS7	PTBDS6	PTBDS5	PTBDS4	PTBDS3	PTBDS2	PTBDS1	PTBDS0
0x184B	预留	—	—	—	—	—	—	—	—
0x184C	PTBSC	0	0	0	0	PTBIF	PTBACK	PTBIE	PTBMOD
0x184D	PTBPS	PTBPS7	PTBPS6	PTBPS5	PTBPS4	PTBPS3	PTBPS2	PTBPS1	PTBPS0
0x184E	PTBES	PTBES7	PTBES6	PTBES5	PTBES4	PTBES3	PTBES2	PTBES1	PTBES0
0x184F	预留	—	—	—	—	—	—	—	—
0x1850	PTCPE	PTCPE7	PTCPE6	PTCPE5	PTCPE4	PTCPE3	PTCPE2	PTCPE1	PTCPE0
0x1851	PTCSE	PTCSE7	PTCSE6	PTCSE5	PTCSE4	PTCSE3	PTCSE2	PTCSE1	PTCSE0
0x1852	PTCDS	PTCDS7	PTCDS6	PTCDS5	PTCDS4	PTCDS3	PTCDS2	PTCDS1	PTCDS0
0x1853– 0x1857	预留	—	—	—	—	—	—	—	—
0x1858	PTDPE	PTDPE7	PTDPE6	PTDPE5	PTDPE4	PTDPE3	PTDPE2	PTDPE1	PTDPE0
0x1859	PTDSE	PTDSE7	PTDSE6	PTDSE5	PTDSE4	PTDSE3	PTDSE2	PTDSE1	PTDSE0
0x185A	PTDDS	PTDDS7	PTDDS6	PTDDS5	PTDDS4	PTDDS3	PTDDS2	PTDDS1	PTDDS0
0x185B	预留	—	—	—	—	—	—	—	—
0x185C	PTDSC	0	0	0	0	PTDIF	PTDACK	PTDIE	PTDMOD
0x185D	PTDPS	PTDPS7	PTDPS6	PTDPS5	PTDPS4	PTDPS3	PTDPS2	PTDPS1	PTDPS0
0x185E	PTDES	PTDES7	PTDES6	PTDES5	PTDES4	PTDES3	PTDES2	PTDES1	PTDES0
0x185F	预留	—	—	—	—	—	—	—	—
0x1860	PTEPE	PTEPE7	PTEPE6	PTEPE5	PTEPE4	PTEPE3	PTEPE2	PTEPE1	PTEPE0
0x1861	PTESE	PTESE7	PTESE6	PTESE5	PTESE4	PTESE3	PTESE2	PTESE1	PTESE0
0x1862	PTEDS	PTEDS7	PTEDS6	PTEDS5	PTEDS4	PTEDS3	PTEDS2	PTEDS1	PTEDS0
0x1863– 0x1867	预留	—	—	—	—	—	—	—	—
0x1868	PTFPE	PTFPE7	PTFPE6	PTFPE5	PTFPE4	PTFPE3	PTFPE2	PTFPE1	PTFPE0
0x1869	PTFSE	PTFSE7	PTFSE6	PTFSE5	PTFSE4	PTFSE3	PTFSE2	PTFSE1	PTFSE0
0x186A	PTFDS	PTFDS7	PTFDS6	PTFDS5	PTFDS4	PTFDS3	PTFDS2	PTFDS1	PTFDS0
0x186B– 0x186F	预留	—	—	—	—	—	—	—	—
0x1870	PTGPE	0	0	PTGPE5	PTGPE4	PTGPE3	PTGPE2	PTGPE1	PTGPE0
0x1871	PTGSE	0	0	PTGSE5	PTGSE4	PTGSE3	PTGSE2	PTGSE1	PTGSE0
0x1872	PTGDS	0	0	PTGDS5	PTGDS4	PTGDS3	PTGDS2	PTGDS1	PTGDS0
0x1873– 0x187F	预留	—	—	—	—	—	—	—	—
0x1880	CANCTL0	RXFRM	RXACT	CSWAI	SYNCH	TIME	WUPE	SLPRQ	INITRQ

表 5-7. SOPT2 寄存器字段描述

字段	描述
7 COPCLKS	COP 看门狗时钟选择 — 这个单次写入有效的位选择 COP 看门狗时钟源。如需了解详细信息，请参见表 5-6。 0 内部 1-kHz 时钟是 COP 源。 1 总线时钟是 COP 源。
6 COPW	COP Window — 窗口—这个单次写入有效的位选择 COP 运行模式。设置时，向 SRS 寄存器的 0x55-0xAA 写入顺序必须出现在所选时段的后 25% 时间内，所选时段前 75% 时间内出现的任何 SRS 寄存器写入都将复位 MCU。 0 常规 COP 操作。 1 窗口式 COP 操作。
4 ADHTS	ADC 硬件触发选择 — 这个位选择决定使能 ADC 硬件触发（ADCSC2 寄存器设置了 ADCTRG）时由哪个硬件触发初始化数模转换器的转换操作。 0 实时计数器 (RTC) 溢出。 1 外部中断请求 (IRQ) 管脚。
2:0 MCSEL	MCLK 分频选择 — 这些位在 PTA0 管脚上 MCLK 输出使能，并根据下面的公式选择当 MCSEL 位不全部等于 0 时 MCLK 输出的分频比率。如果 MCSEL 位都等于 0，MCLK 输出禁止。 $MCLK \text{ 频率} = \text{总线时钟频率}^3 (2 * MCSEL)$

5.8.6 系统器件识别寄存器 (SDIDH, SDIDL)

这些高页只读寄存器也包括在内，这样主机开发系统就能够识别 HCS08 衍生和修定编号。这使得开发软件能够识别特定的存储器块、寄存器和控制位在目标 MCU 的什么位置。



¹ 硬编码到这些位的修订编号反应当前的芯片修订水平。

图 5-7. 系统器件识别寄存器 — 高 (SDIDH)

表 5-8. SDIDH 寄存器字段描述

字段	描述
3:0 ID[11:8]	部件识别编号 — MC9S08DZ60 μ C- MCU 被硬编码为值 0x00E。也请参见表 5-9 里的 ID 位。

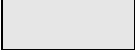
表 5-10. SPMSC1 寄存器字段描述

字段	描述
4 LVDRE	低压检测复位使能 — 这个 write-once 位支持 LVD 事件生成硬件复位（假设 LVDE = 1）。 0 LVD 事件不生成硬件复位。 1 当发生使能的低压检测事件时，强制实行 MCU 复位。
3 LVDSE	低压检测停止使能 — 假设 LVDE = 1，这个读 / 写位决定当 MCU 处于停止模式时是否操作低压检测功能。 0 停止模式期间低压检测禁止。 1 停止模式期间低压检测使能。
2 LVDE	低压检测使能 — 这个 write-once 位支持低压检测逻辑，并且限定该寄存器中的其他位的操作。 0 LVD 逻辑禁止。 1 LVD 逻辑使能。
0 BGBE	带隙缓冲器使能 — 这个位支持内部缓冲器，提供带隙电压参考，可供任何一个内部通道上的 ADC 和 ACMP 模块使用。 0 带隙缓冲器禁止。 1 带隙缓冲器使能。

5.8.8 系统电源管理状态和控制寄存器 2 (SPMSC2)

该寄存器用来报告低压警告功能状态，配置 MCU 的停止模式行为。该寄存器应在用户复位初始化程序期间写入，以设置期望的控制，即便期望的设置与复位设置相同。

	7	6	5	4	3	2	1	0
R	0	0	LVDV ¹	LVWV	PPDF	0	0	PPDC ²
W						PPDACK		
加电复位：	0	0	0	0	0	0	0	0
LVD 复位：	0	0	u	u	0	0	0	0
其他复位：	0	0	u	u	0	0	0	0

 = 未实现或预留

u = 未受复位影响

¹ 加电复位后，这个位只能写入一次。其他写入被忽略。

² 复位后这个字节只能写入一次。其他写入被忽略。

图 5-10. 系统电源管理状态和控制寄存器 2 (SPMSC2)

表 5-11. SPMSC2 寄存器字段描述

字段	描述
5 LVDV	低压检测电压选择 — 这个单次写入有效的位选择低压检测（LVD）跳变点设置。它还选择警告电压范围。参见表 5-12。
4 LVWV	低压警告电压选择 — 这个位选择低压警告（LVW）跳变点电压。参见表 5-12。
3 PPDF	局部断电标志 — 这个只读状态位显示 MCU 已经从 STOP2 模式中恢复。 0 MCU 还没有从 STOP2 模式中恢复。 1 MCU 已经从 STOP2 模式中恢复。

6.5.2.5 B 端口驱动强度选择寄存器 (PTBDS)

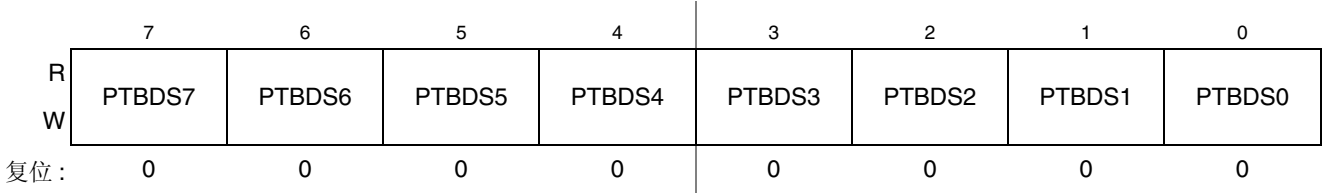


图 6-15. B 端口寄存器驱动强度选择 (PTBDS)

表 6-13. PTBDS 寄存器字段描述

字段	描述
7:0 PTBDS[7:0]	B 端口位的输出驱动强度选择 — 这些控制位为相关 PTB 管脚选择低输出驱动和高输出驱动。对于配置为输入的 B 端口管脚，这些位不会产生任何影响。 0 B 端口位 - 选择的低输出驱动强度。 1 B 端口位 - 选择的高输出驱动强度。

6.5.2.6 B 端口中断状态和控制寄存器 (PTBSC)

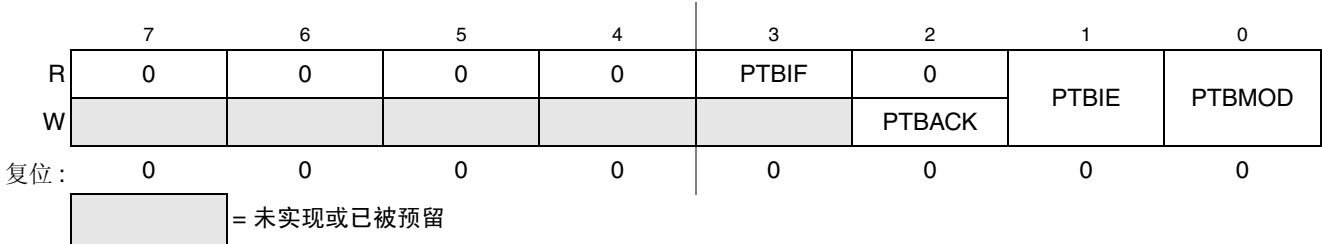


图 6-16. B 端口中断状态和控制寄存器 (PTBSC)

表 6-14. PTBSC 寄存器字段描述

字段	描述
3 PTBIF	B 端口中断标志 — PTBIF 显示是否检测到 B 端口中断。写入对 PTBIF 没有任何影响。 0 未检测到 B 端口中断。 1 检测到 B 端口中断。
2 PTBACK	B 端口中断确认 — 向 PTBACK 写入 1 是标记清除机制的一部分。PTBACK 的读数总为 0。
1 PTBIE	B 端口中断使能 — PTBIE 决定是否请求 B 端口中断。 0 B 端口中断请求禁止。 1 B 端口中断请求使能。
0 PTBMOD	B 端口检测模式 — PTBMOD (同 PTBES 位一起) 控制着 B 端口中断管脚的检测模式。 0 B 端口管脚只检测边沿。 1 B 端口管脚同时检测边沿和电平。

7.3.6.1 有索引、无偏移 (IX)

这个索引寻址变种将 H:X 索引寄存器对的 16 位地址作为完成指令所需的操作数地址。

7.3.6.2 有索引、无带后增量的偏移 (IX+)

这个索引寻址变种将 H:X 索引寄存器对的 16 位值作为完成指令所需的操作数地址。在获得操作数后，索引寄存器对然后被增加 ($H:X = H:X + 0x0001$)。这种寻址模式只用于 MOV 和 CBEQ 指令。

7.3.6.3 有索引、8 位偏移 (IX1)

这个索引寻址变种将 H:X 索引寄存器对和指令中不带符号的 8 位偏移作为完成指令所需的操作数地址。

7.3.6.4 有索引、带后增量的 8 位偏移 (IX1+)

这个索引寻址变种将 H:X 索引寄存器对和指令中不带符号的 8 位偏移作为完成指令所需的操作数地址。在获得操作数后，索引寄存器对然后被增加 ($H:X = H:X + 0x0001$)。这种寻址模式只用于 CBEQ 指令。

7.3.6.5 有索引、16 位偏移 (IX2)

这个索引寻址变种将 H:X 索引寄存器对和指令中的 16 位偏移作为完成指令所需的操作数地址。

7.3.6.6 SP 相关、8 位偏移 (SP1)

这个索引寻址变种将堆栈指针 (SP) 和指令中不带符号的 8 位偏移作为完成指令所需的操作数地址。

7.3.6.7 SP 相关、16 位偏移 (SP2)

这个索引寻址变种将堆栈指针 (SP) 和指令中的 16 位偏移作为完成指令所需的操作数地址。

表 7-2. 指令集小结（第 9 页，共 9 页）

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V I 1 H	I N Z C
TXS	将索引寄存器转移到 SP SP ← (H:X) - \$0001	INH	94	2	fp	- 1 1 -	- - - -
WAIT	使能中断；等待中断 I 位 = 0; 暂停 CPU	INH	8F	2+	fp...	- 1 1 -	0 - - -

源形式：“源形式”栏中的所有内容（斜体字符除外）都是文字报文，必须严格按照栏中显示的那样出现在汇编源文件中。开始的 3 到 5 个字母助记符和字符（#，（）和+）通常是文字字符。

n 任何值为 0-7 间的一个整数的标签或表达
opr8i 任何值为 8 位立即值的标签或表达
opr16i 任何值为 16 位立即值的标签或表达
opr8a 任何值为 8 位直接页面地址（\$00xx）的标签或表达
opr16a 任何值为 16 位地址的标签或表达
opr8 任何值为不带符号的 8 位值（用于索引寻址）的标签或表达
opr16 任何值为 16 位值（用于索引寻址）的标签或表达
rel 任何从下一个指令开始，参考 - 128 至 +127 位置内地址的标签或表达

运算符：

A 累加器
CCR 条件码寄存器
H 索引寄存器高字节
M 存储器位置
n 任意位
opr 操作数（1 个或 2 个字节）
PC 程序计数器
PCH 程序计数器高字节
PCL 程序计数器低字节
rel 相关程序计数器偏移字节
SP 堆栈指针
SPL 堆栈指针低字节
X 索引寄存器低字节
& 和
| 或
^ 异或
() 内容
+ 加
- 减，否（2 的补数）
¥ 乘
/ 除
立即值
.. 加载
: 级联

CCR 位：

V 溢出位
H 半进位
I 中断屏蔽
N 负数位
Z 0 位
C 进位 / 借位

寻址模式：

DIR 直接寻址模式
EXT 扩展寻址模式
IMM 立即寻址模式
INH 固有寻址模式
IX 有索引、无偏移寻址模式
IX1 有索引、8 位偏移寻址模式
IX2 有索引、16 位偏移寻址模式
IX+ 有索引、无偏移、后增量寻址模式
IX1+ 有索引、8 位偏移、后增量寻址模式
REL 相关寻址模式
SP1 堆栈指针、8 位偏移寻址模式
SP2 堆栈指针、16 位偏移寻址模式

逐周期代码：

f 空闲周期。这表示 CPU 不需要使用系统总线的周期。
f 周期通常是系统总线时钟的一个周期，且总是读取周期。
程序获取，从程序内存的下一个连续位置读取
p 程序获取，从程序内存的下一个连续位置读取
r 读取 8 位操作数
s 推送（写入）1 个字节到堆栈
u 从堆栈上弹出（读）一个字节
v 从 \$FFxx 中读取向量（高字节优先）
w 写 8 位操作数

CCR 影响：

↑ 设置或清除
- 无影响
U 未定义

8.5.1.4 FLL Bypassed External (FBE)

在 FLL Bypassed External (FBE) 模式中, MCGOUT 时钟来自外部参考时钟, FLL 处于运行状态但其输出时钟未使用。该模式对允许 FLL 获得目标频率非常有用, 同时 MCGOUT 时钟由内部参考时钟驱动。

当满足以下条件时就进入 FLL Bypassed External 模式:

- CLKS 位写入 10
- IREFS 位写入 0
- PLLS 位写入 0
- 位写入介于 31.25 kHz- 39.0625 kHz 频率范围内的分频参考时钟。
- LP 位写入 0

在 FLL Bypassed External 模式中, MCGOUT 时钟源自 FLL 时钟。使能的外部参考时钟可以是外部晶体 / 谐振器, 也可以是另外一个外部时钟源。FLL 时钟由外部参考时钟控制, FLL 时钟频率是由 RDIV 位选择的参考频率的 1024 倍。MCGCLK 来自 FLL, PLL 被禁止处于低功率状态。

注意

可以用大于指定最大频率的 FLL 参考时钟频率在 FBE 模式中短时间运行。这在使用频率大于 5 MHz 的外部晶体运行于 PEE 模式中是必需的。如需了解详细的示例信息, 请参见 8.6.2.4, “示例 4: 从 FEI 转换到 PEE 模式: 外部晶体 = 8 MHz、总线频率 = 8 MHz”。

8.5.1.5 PLL Engaged External (PEE)

当满足以下条件时就进入 PLL Engaged External (PEE) 模式:

- CLKS 位写入 00
- IREFS 位写入 0
- PLLS 位写入 1
- RDIV 位写入介于 1 MHz - 2 MHz 频率范围内的分频参考时钟。

在 PLL Engaged External 模式中, MCGOUT 时钟源自 PLL 时钟, 由外部参考时钟控制。使能的外部参考时钟可以是外部晶体 / 谐振器, 也可以是另外一个外部时钟源。PLL 时钟频率是参考频率 (RDIV 位所选) 和倍频因子 (VDIV 位所选) 乘积。如果使能 BDM, MCGCLK 值就是 DCO 除以 2 (开放环路模式) 的得数。如果禁止 BDM, 那么 FLL 被禁止且处于低功率状态。

8.5.1.6 PLL Bypassed External (PBE)

在 PLL Bypassed External (PBE) 模式中, MCGOUT 时钟源自外部参考时钟, PLL 处于运行状态但其输出时钟未使用。该模式对允许 PLL 获得目标频率非常有用, 同时 MCGOUT 时钟由内部参考时钟驱动。

10.5.4.4 功率控制

ADC 模块在转换发起前一直保持空闲状态。如果 ADACK 被选为转换时钟源，ADACK 时钟发生器也会被使能。

可以通过设置 ADLPC 降低运行功耗。这也会降低 fADCK 的最大值（参见电气规范）。

10.5.4.5 采样时间和总转换时间

总转换时间取决于采样时间（由 ADLSMP 决定）、MCU 总线频率、转换模式（8 位、10 位或 12 位）和转换时钟的频率（fADCK）。模块使能后，输入采样开始。ADLSMP 用来选择短（3.5 ADCK 周期）和长（23.5 ADCK 周期）采样时间。采样完成时，转换器与输入通道隔离，实施逐次逼近算法来决定模拟信号的数字值。一旦转换算法结束，转换结果就传输到 ADCRH 和 ADCRL。

如果总线频率小于 fADCK 频率，在使能短采样时间（ADLSMP=0）时，不能保证连续转换模式下采样时间的准确性。如果总线频率小于 fADCK 频率的 1/11，在使能长采样时间（ADLSMP=1）时，不能保证连续转换模式下采样时间的准确性。

表 10-12 概括介绍了不同条件下的最长总转换时间。

表 10-12. 总转换时间与控制条件之比较

转换类型	ADICLK	ADLSMP	最长总转换时间
单次转换或连续转换的第一次 8 位	0x, 10	0	20 个 ADCK 周期 + 5 个总线时钟周期
单次转换或连续转换的第一次 10 位或 12 位	0x, 10	0	23 个 ADCK 周期 + 5 个总线时钟周期
单次转换或连续转换的第一次 8 位	0x, 10	1	40 个 ADCK 周期 + 5 个总线时钟周期
单次转换或连续转换的第一次 10 位或 12 位	0x, 10	1	43 个 ADCK 周期 + 5 个总线时钟周期
单次转换或连续转换的第一次 8 位	11	0	5ms + 20 ADCK + 5 个总线时钟周期
单次转换或连续转换的第一次 10 位或 12 位	11	0	5ms + 23 ADCK + 5 个总线时钟周期
单次转换或连续转换的第一次 8 位	11	1	5ms + 40 ADCK + 5 个总线时钟周期
单次转换或连续转换的第一次 10 位或 12 位	11	1	5ms + 43 ADCK + 5 个总线时钟周期
后续连续转换 8 位； $f_{\text{BUS}} \geq f_{\text{ADCK}}$	xx	0	17 ADCK 周期
后续连续转换 10 位或 12 位； $f_{\text{BUS}} \geq f_{\text{ADCK}}$	xx	0	20 ADCK 周期
后续连续转换 8 位； $f_{\text{BUS}} \geq f_{\text{ADCK}}/11$	xx	1	37 ADCK 周期
后续连续转换 10 位或 12 位； $f_{\text{BUS}} \geq f_{\text{ADCK}}/11$	xx	1	40 ADCK 周期

最长总转换时间由所选的时钟源和分频率决定。时钟源可以由 ADICLK 位选择，分频率由 ADIV 位指定。例如，在 10 位模式中，总线时钟选为输入时钟源、输入时钟分频率选为除以 1、总线频率为 8 MHz，那么单转换的转换时间为：

$$\text{转换时间} = \frac{23 \text{ ADCK Cyc}}{8 \text{ MHz}/1} + \frac{5 \text{ bus Cyc}}{8 \text{ MHz}} = 3.5 \text{ ms}$$

$$\text{总线周期数} = 3.5 \text{ ms} \times 8 \text{ MHz} = 28 \text{ 周期}$$

注意

ADCK 频率必须介于 fADCK 最小值和最大值之间才符合 ADC 技术规范

10.5.5 自动比较功能

可以配置比较功能来检查上限或下限。在进行完输入采样并转换后，结果与比较值（ADCCVH 和 ADCCVL）补数相加。比较上限（ACFGT = 1）时，如果结果大于或等于比较值，就设置 COCO。比较下限（ACFGT = 0）时，如果结果小于比较值，就设置 COCO。转换结果和比较值的补数相加得到的值被传输到 ADCRH 和 ADCRL 中。

当转换完成而比较功能使能时，如果比较条件不成立，就不设置 COCO，且没有数据传输到结果寄存器。如果使能了 ADC 中断（AIEN = 1），那么当设置 COCO 时就会生成 ADC 中断。

注意

这个比较功能可以用来监控通道的电压，这时 MCU 可能处于等待模式或 STOP3 模式。在满足比较条件时，ADC 中断会唤醒 MCU。

10.5.6 MCU 等待模式运行

WAIT 指令使 MCU 处于更低功耗的待机模式，待机模式的恢复非常快，因为时钟源保持有效状态。如果正在进行转换时 MCU 进入等待模式，那么转换会继续，直到完成。在 MCU 处于等待模式时，通过硬件触发或使能连续转换，可以发起转换。

在等待模式中，总线时钟、总线时钟除以 2 和 ADACK 都可以作为转换时钟源。在等待模式中，是否将 ALTCLK 作为时钟源取决于该 MCU 对 ALTCLK 的定义。有关该 MCU 的特定 ALTCLK 的更多信息，请参阅本章概述。

如果 ADC 中断使能（AIEN = 1），转换完成事件就会设置 COCO，生成 ADC 中断，把 MCU 从等待模式中唤醒。

10.5.7 MCU STOP3 模式运行

STOP 指令使 MCU 进入低功耗待机模式，在该模式中，MCU 上的大多数甚至所有时钟源都被禁止。

12.3.16 MSCAN 标识符掩码寄存器 (CANIDMR0-CANIDMR7)

标识符掩码寄存器指定标识符接收寄存器中的哪些相应位与接收过滤比较。为了在 32 位滤波器模式中接收标准标识符，需要把掩码寄存器 CANIDMR1 和 CANIDMR5 中最后三个位（AM[2:0]）编程为“不比较”。为了在 16 位滤波器模式中接收标准标识符，需要把掩码寄存器 CANIDMR1、CANIDMR3、CANIDMR5 和 CANIDMR7 中的最后三个位（AM[2:0]）编程为“不比较”。

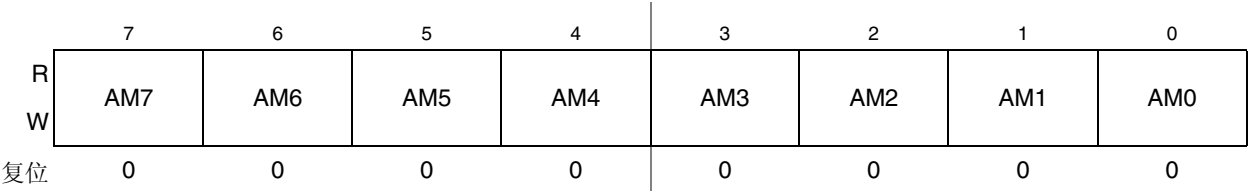


图 12-21. MSCAN 标识符掩码寄存器（第一页）— CANIDMR0-CANIDMR3

读取：任何时间
写入：处于初始化模式的任何时间 (INITRQ = 1 and INITAK = 1)

表 12-22. CANIDMR0-CANIDMR3 寄存器字段描述

字段	描述
7:0 AM[7:0]	接收掩码位— 如果该寄存器中的某位被清除，这表示检测到匹配前，标识符接收寄存器中的相应位必须和它的标识符位相同。如果所有类似位均匹配，报文被接受，如果此位置 1，这表示标识符接收寄存器中的相应位的状态不会影响报文是否被接受。 0 匹配相应接收码寄存器和标识符位 1 忽略相应接收码寄存器位（不比较）

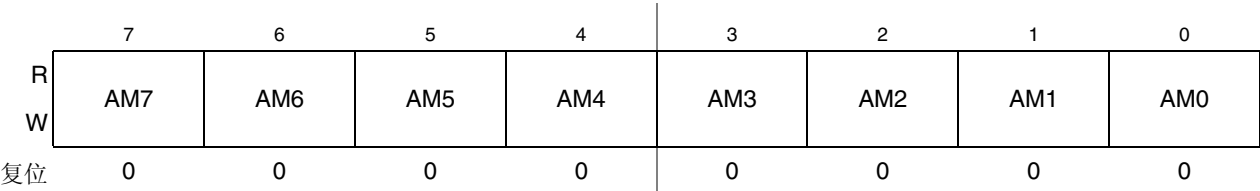


图 12-22. MSCAN 标识符掩码寄存器（第二页）— CANIDMR4-CANIDMR7

读取：任何时间
写入：处于初始化模式的任何时间 (INITRQ = 1 and INITAK = 1)

表 12-23. CANIDMR4-CANIDMR7 寄存器字段描述

字段	描述
7:0 AM[7:0]	接收掩码位—如果该寄存器中的某位被清除，这表示检测到匹配前，标识符接收寄存器中的相应位必须和它的标识符位相同。如果所有类似位均匹配，报文被接受，如果此位置 1，这表示标识符接收寄存器中的相应位的状态不会影响报文是否被接受。 0 匹配相应接收码寄存器和标识符位 1 忽略相应接收码寄存器位（不比较）

表 12-30. IDR1 寄存器字段描述

字段	描述
7:5 ID[2:0]	标准格式标识符 — 标准格式标识符 — 该标识符由 11 个扩展格式位（ID[10:0]）组成。ID10 是最高位，仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。也可参见表 12-29 中的 ID 位。
4 RTR	远程发送请求 — 该标志反应 CAN 帧中远程发送请求的状态。在接收缓冲器中，它显示已接收帧的状态，并在软件中支持应答帧的发送。在发送缓冲器中，该标志定义将要发送的 RTR 位的设置。 0 数据帧 1 远程帧
3 IDE	ID 扩展 — 该标志显示扩展或标准标识符格式是否应用于该缓冲器。在接收缓冲器中，该标志设置为已接收，并向 CPU 显示如何处理缓冲器标识符寄存器。在发送缓冲器中，该标志向 MSCAN 显示将发送的标识符类型。 0 标准格式 （11 位） 1 扩展格式 （29 位）

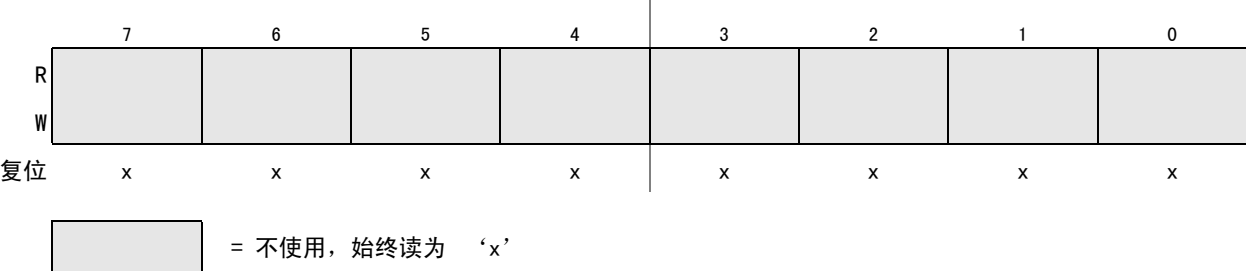


图 12-31. 标识符寄存器 2 —标准映射

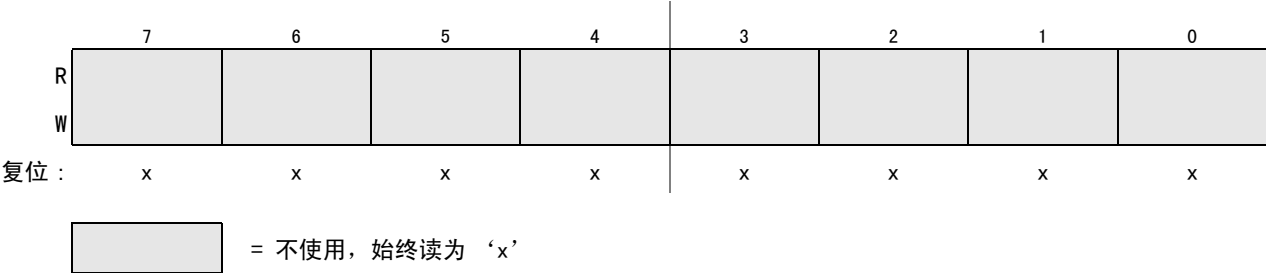


图 12-32. 标识符寄存器 3 —标准映射

12.4.3 数据段寄存器 (DSR0-7)

8 个数据段寄存器（每个都带有位 DB[7:0]）包含将要发送或接收的数据。将要发送或接收的字节数由相应 DLR 寄存器中的数据长度代码决定。

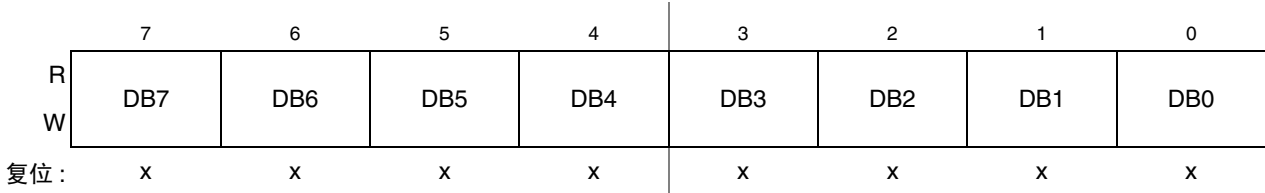


图 12-33. 数据段寄存器 （DSR0 - DSR7）— 扩展标识符映射

适当位位置来决定将比较的滤波器位；最后，寄存器 CANIDAR0/1/2/3 决定 CANIDMR0/1/2/3 所决定的位的值。

例如，当滤波器值为：

0001x1001x0

The CANIDMR0/1/2/3 寄存器将被配置为：

00001000010

因此，所有报文标识符位（除位 1 和位 6）会与 CANIDAR0/1/2/3 寄存器进行比较。这些寄存器将配置为：

00010100100

在这种情况下，位 1 和 6 设置为 ‘0’，但由于它们被忽略，因此效力等同于把它们设置为 ‘1’。

12.5.3.1 标识符接收滤波器示例

正如上面所描述的那样，滤波器是通过与 CAN 报文标识符字段中的个别位的比较进行工作的。滤波器将检查标准 CAN 报文标识符的 11 位的每个位。假设滤波器值为 0001x1001x0。在这个简单示例中，只可能有三种 CAN 报文。

滤波器值：0001x1001x0

报文 1: 00011100110

报文 2: 00110100110

报文 3: 00010100100

由于第三高位不是 ‘0’ - 001，报文 2 被拒绝。滤波器只是提供了 CPU 需要接收的报文组的便捷方式。对于扩展 CAN 报文标识符的全部 29 位，滤波器能辨认两组报文：一组是它接收的报文，一组是它拒绝的报文。此外，滤波器可以一分为二。这允许 MSCAN 只检查报文标识符的前 16 位，但允许让两个独立滤波器执行检查。见下面的示例：

滤波器值 A: 0001x1001x0

滤波器值 B: 00x101x01x0

报文 1: 00011100110

报文 2: 00110100110

报文 3: 00010100100

MSCAN 会接受所有三条报文。滤波器 A 像以前一样将接受报文 1 和 3，滤波器 B 接受报文 2。实践中，哪个滤波器接受报文并不重要，任意一个滤波器接受的报文都将放入输入缓冲器。一条报文可由多个滤波器接受。

12.5.3.2 协议违反保护

MSCAN 能够防止用户由于编程错误而意外违反 CAN 协议。保护逻辑实施以下功能：

- 接收和发送错误计数器不能写入或以别的方式操作。
- 当 MSCAN 在线时，控制 MSCAN 的配置的所有寄存器均不能被修改。MSCAN 必须处于初始化模式。CANCTL0/CANCTL1 寄存器中的相应 INITRQ/INITAK 握手位（参见 12.3.1，“MSCAN 控制寄存器 0 (CANCTL0)”）作为一个锁来保护以下寄存器：
 - MSCAN 控制 1 寄存器 (CANCTL1)
 - MSCAN 总线定时寄存器 0 和 1 (CANBTR0, CANBTR1)
 - MSCAN 标识符接收控制寄存器 (CANIDAC)
 - MSCAN 标识符接收寄存器 (CANIDAR0 - CANIDAR7)
 - MSCAN 标识符掩码寄存器 (CANIDMR0 - CANIDMR7)
- 当 MSCAN 进入节电模式或初始化模式时，TXCAN 管脚立即被强制进入隐性状态（参见 12.5.5.6，“MSCAN 断电模式”和 12.5.5.5，“MSCAN I 初始化模式”）。
- MSCAN 使能位 (CANE) 在正常系统操作模式下只能写入一次，从而为意外禁止 MSCAN 提供了进一步保护。

12.5.3.3 时钟系统

图 12-42 显示 MSCAN 时钟发生电路的结构。

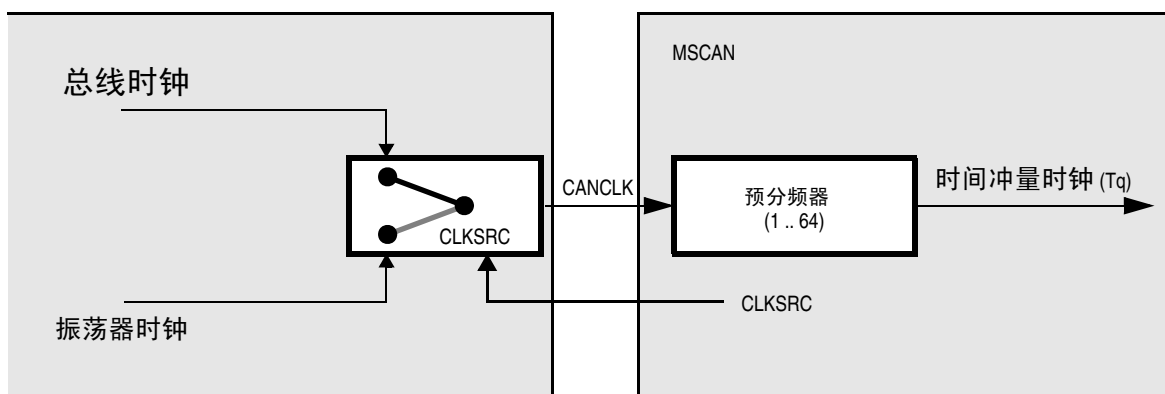


图 12-42. MSCAN 时钟机制

CANCTL1 寄存器 (12.3.2/-214) 中的时钟源位 (CLKSRC) 决定内部 CANCLK 是连接到晶体振荡器（振荡器时钟）输出还是连接到总线时钟。

必须选择能满足 CAN 协议的振荡器精度要求（高达 0.4%）的时钟源。此外，对于高 CAN 总线速率（1 Mbps）来说，要求 45%-55% 的时钟占空比。

如果总线时钟从 PLL 中生成，由于抖动，建议选择振荡器时钟而不是总线时钟，特别是以较快的 CAN 总线速率时。PLL 锁可能太宽，不能确保所需的时钟精度。

对于那些没有时钟和复位发生器（CRG）的微控制器，CANCLK 的驱动则来自晶体振荡器（振荡时钟）。

只有当出现以下情形时，MSCAN 才能够退出睡眠模式（唤醒）：

- 出现 CAN 总线有效和 $WUPE = 1$
- 或
- CPU 清除 SLPRQ 位

注意

在使能睡眠模式（SLPRQ = 1，SLPAK = 1）前，CPU 不能清除 SLPRQ 位。

唤醒之后，MSCAN 等待 11 个连续隐性位与 CAN 总线同步。因此，如果 MSCAN 被 CAN 帧唤醒，就不会收到该帧。

如果在进入睡眠模式前已经收到报文，接收报文缓冲器（RxFG 和 RxBG）就包含该报文。所有挂起操作在唤醒后执行，复制 RxBG 至 RxFG，报文中止和报文发送。如果在退出睡眠模式后 MSCAN 仍处于总线脱离状态，它将继续计数 128 次 11 个连续隐性位的出现。

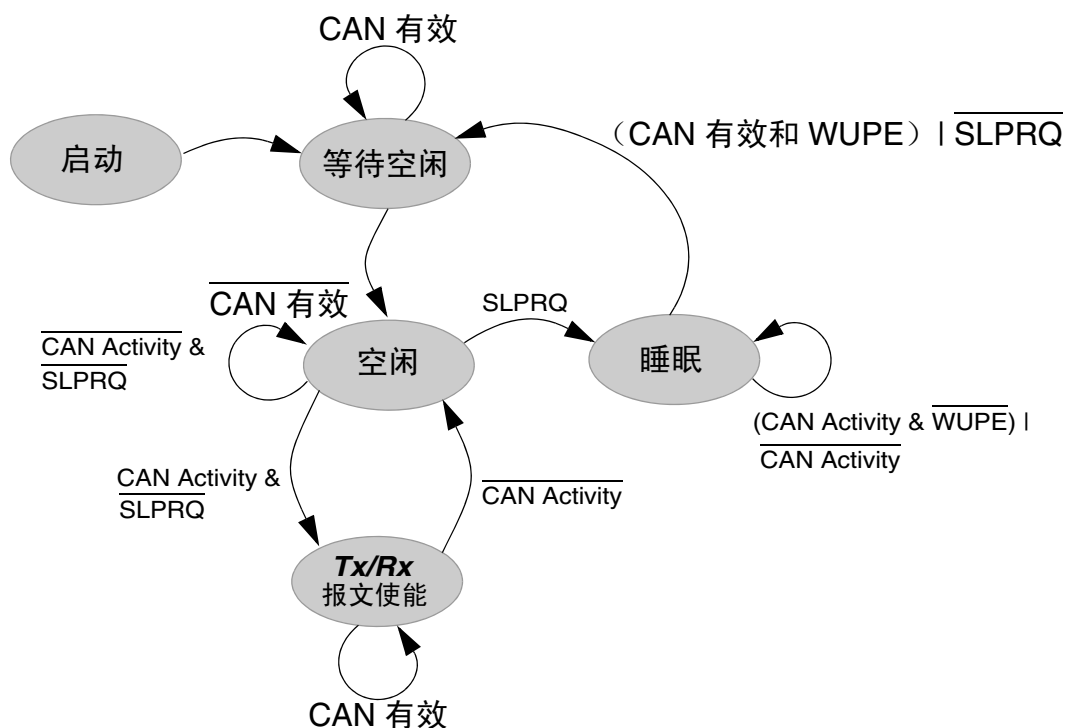


图 12-45. 进入 / 退出睡眠模式的简单状态 转换

13.1.1 特性

SPI 模块的特性包括：

- 主或辅模式运行
- 全双工或单线双向选项
- 可编程发送波特率
- 双缓冲发送和接收
- 串行时钟相位和极性选项
- 辅选择输出
- 可选择的 MSB 先或 LSB 先移位

13.1.2 结构图

本小节包括显示 SPI 系统连接、SPI 模块内部结构、控制主模式波特率的 SPI 时钟分频器的结构图。

13.1.2.1 SPI 系统结构图

图 13-2 显示主从安排中连接的两个 MCU 的 SPI 模块。主器件发起所有 SPI 数据传输。在传输过程中，主器件将数据（在 MOSI 管脚上）从辅器件中移出来，同时又把数据从辅器件中转入（在 MISO 管脚上）。这个传输有效交换位于两个 SPI 系统的 SPI 移位寄存器中的数据。

SPSCK 信号是来自主器件的时钟输出和到辅器件的时钟输入。辅器件必须由辅选择输入（SS 管脚）上的低电平进行选择。在该系统中，主器件把其 SS 管脚配置为可选的辅选择输出。

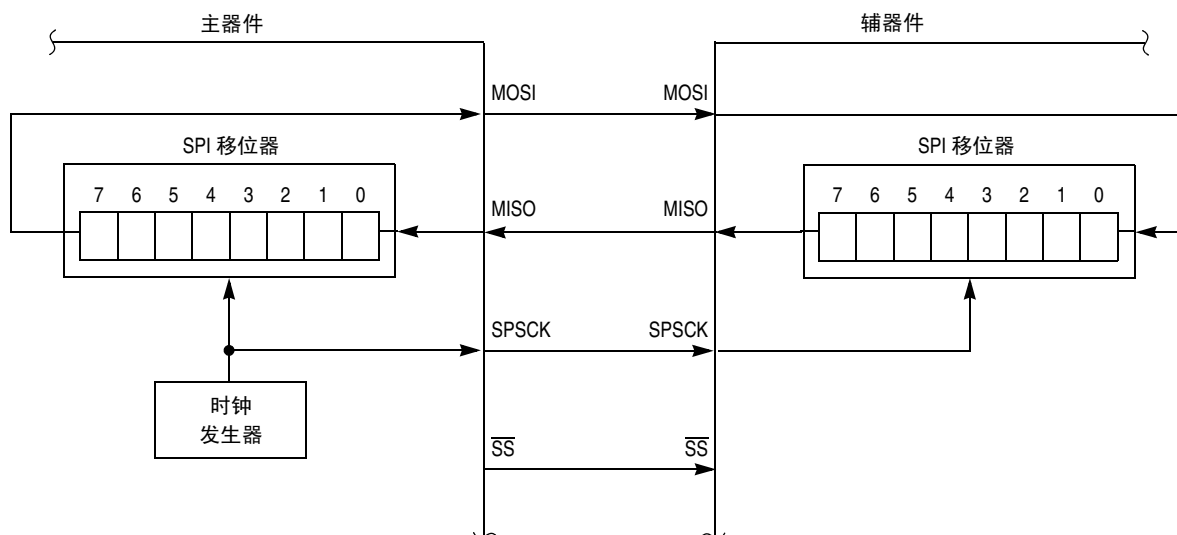


图 13-2. SPI 系统连接

SPI 系统最常见的使用包括连接简单移位寄存器，以增加输入或输出端口，或者连接小型外围器件，如串行 A/D 或 D/A 移位器。尽管图 13-2 显示了一个在两个 MCU 间交换数据的系统，但许多实际的系统的连接更简单，数据要么从主 MCU 单向传输到从 MCU，要么从从 MCU 单向传输到主 MCU。

若 $CPHA = 1$ ，则当处于活跃低态时，辅器件开始驱动其 MISO 输出，但直到出现第一个 SPSCK 边沿时才定义数据。第一个 SPSCK 边沿将数据的第一位从移位器转移到主 SPI 器件的 MOSI 输出和辅 SPI 器件的 MISO 输出。第二个 SPSCK 边沿促使主 SPI 器件和辅 SPI 器件分别在它们的 MISO 和 MOSI 输入上进行数据位值采样。在第三个 SPSCK 边沿，SPI 移位器移动 1 个位位置，移到刚刚采样的位值中，将第二个数据位值移出移位器的另一端，分别移到主 SPI 器件和辅 SPI 器件的 MOSI 和 MISO 输出。若 $CPHA = 1$ ，不需要辅 SPI 器件的 SS 输入在两个传输之间进入非激活的高电平状态。

图 13-11 显示了 $CPHA = 0$ 时的时钟格式。在图的顶部，显示了 8 个位时间，作为参考。当选择辅时钟时（SS IN 进入低态），第一个位就开始，第八个位结束于最后一个 SPSCK 边沿。MSB First 和 LSB First 线根据 LSBFE 中的设置显示了 SPI 数据位的顺序。SPSCK 极性的两个变化都显示了出来，但这两个波形中只有一个适用于特定传输，具体哪一个取决于 CPOL 中的值。SAMPLE IN 波形适用于辅器件的 MOSI 输入或主器件的 MISO 输入。MOSI 波形适用于主器件的 MOSI 输出管脚，MISO 波形适用于辅器件的 MISO 输出。SS OUT 波形适用于主器件的辅选择输出（如果 MODFEN，SSOE = 1）。传输的第一位时间开始时，主器件的 SS 输出处于活跃低态，在传输的第 8 个位时间结束后的半个 SPSCK 周期时返回高态。SS IN 波形适用于辅器件的辅选择输入。

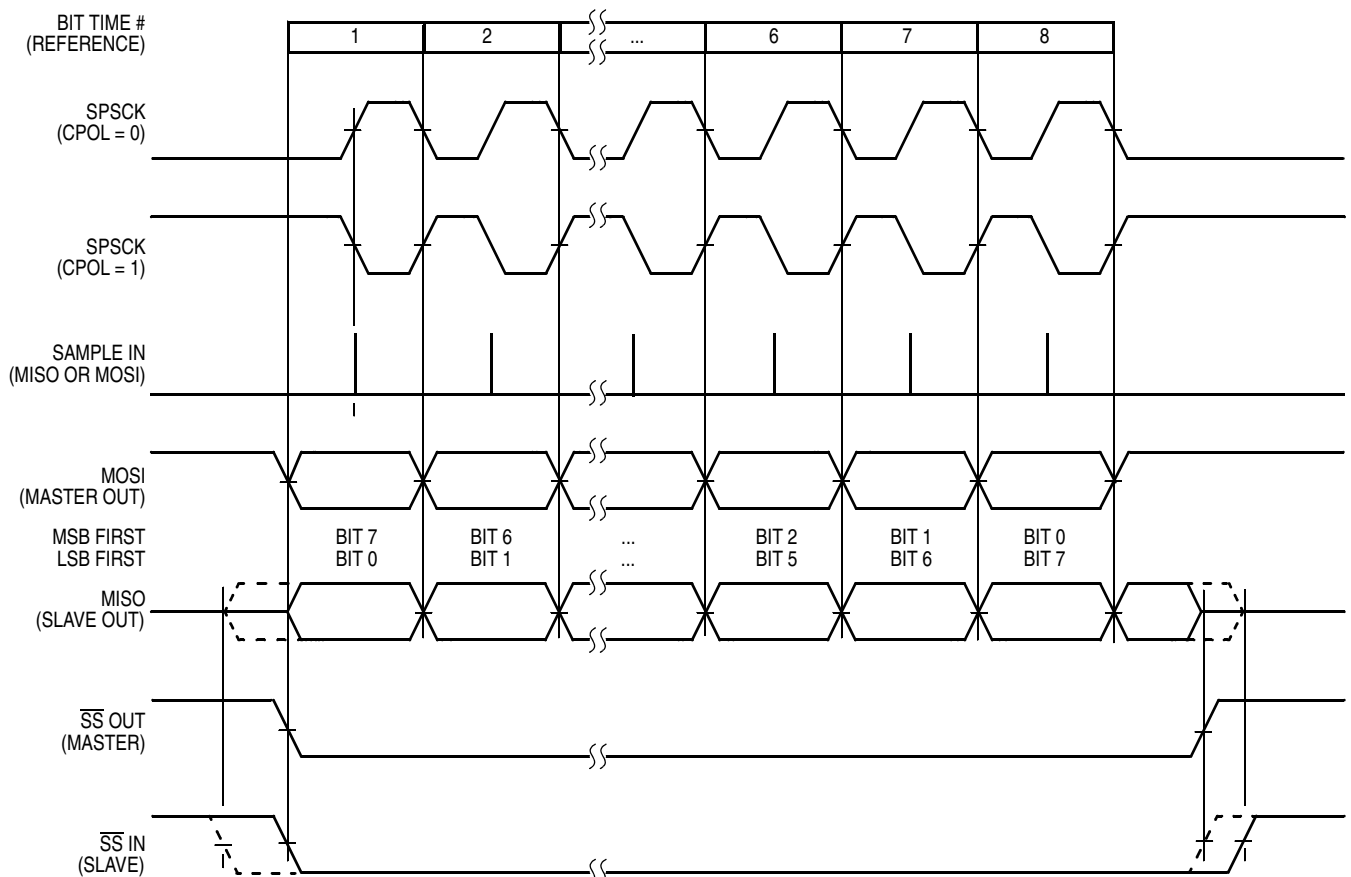


图 13-11. SPI 时钟格式 ($CPHA = 0$)

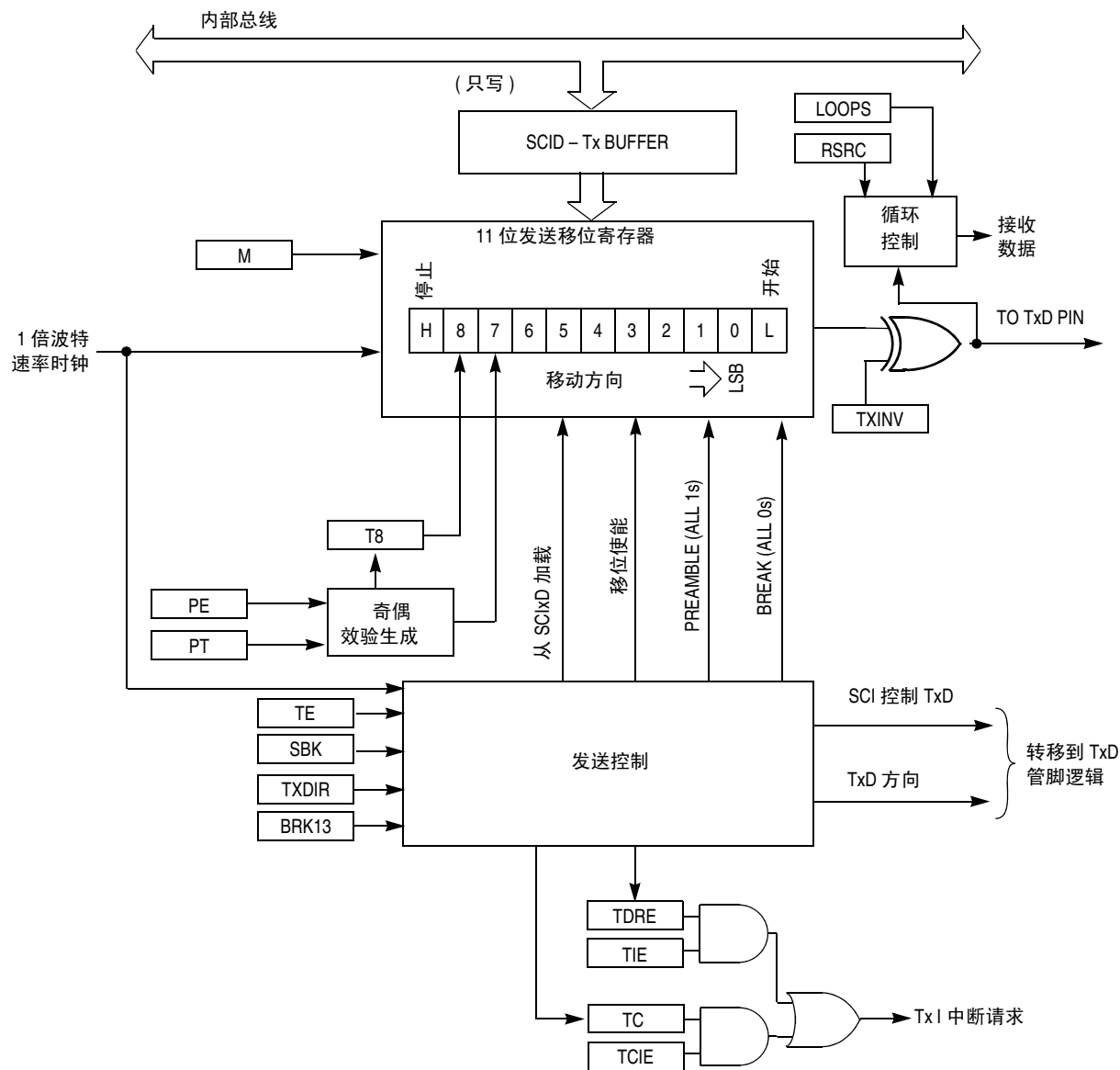


图 14-2. SCI 发射器结构图

第 15 章

实时计数器 (S08RTCV1)

15.1 简介

RTC 模块包括一个 8 位计数器、一个 8 位比较器、几个二进制和十进制预分频器、三个时钟源和一个可编程定期中断。该模块可用于时刻、日历或任何任务调度功能。此外，它可以从低功耗模式中提供周期性唤醒服务而不需要外部组件。

MC9S08DZ60 系列的所有器件都带有 RTC。

15.1.1 RTC 时钟信号名称

本章中提及的 ERCLK 和 IRCLK 分别对应信号 MCGERCLK 和 MCGIRCLK。

16.5 复位概述

16.5.1 概况

MCU 复位时 TPM 就会被复位。

16.5.2 复位操作介绍

复位清除 TPMxSC 寄存器，导致关闭 TPM 的时钟源，并禁止定时器溢出中断（TOIE=0）。CPWMS、MSnB、MSnA、ELSnB 和 ELSnA 可被全部清除，这使相关的被配置为输入捕捉功能的所有 TPM 通道与 I/O 口逻辑断开（因此与 TPM 相关的所有 MCU 管脚恢复到通用输入 / 输出管脚）。

16.6 中断

16.6.1 General

TPM 为主计数器溢出产生可选的中断，或为每个通道生成中断。通道中断的意义取决于每个通道的运行模式。通道中断的意义取决于每个通道的运行模式。I 如果通道配置用于输入捕捉，那么中断标志在每次所选的输入捕捉边沿被识别时设置。如果通道配置用于输出比较或 PWM 模式，那么中断标志在每次主定时器计数器与 16 位通道值寄存器中的值匹配时被设置。

表 16-8 中列出所有 TPM 中断，其中显示了中断名称及任何本地使能的名称。这些本地使能可促使中断请求离开 TPM 或被不同的处理逻辑识别。

表 16-8. 中断总结

中断	本地启动	源	描述
TOF	TOIE	定时器溢出	每次定时器计数器达到其终端计数（过渡到通常为 0x0000 的下一计数值）时设置
CHnF	CHnIE	通道事件	通道 n 上发生输入捕捉或输出比较事件 TPM 模块将提供 high-true 中断信号。

向量和优先级在中断模块中进行芯片集成时确定，因此请参考用户指南，查看有关中断模块或芯片的全部文档了解更详细信息。

16.6.2 中断操作描述

对于 TPM 中的每个中断源，标志位在识别到中断条件后设置，如定时器溢出、通道输入捕捉或输出比较事件等。这个标志可被软件读取（轮询），以确定操作已经发生，或者相关使能位（TOIE 或 CHnIE）可设置以便使能硬件中断生成。设置了中断使能位时，不论何时相关中断标记等于 1，就会生成静态中断。从中断服务程序中返回前，用户的软件必须执行一系列步骤来清除中断标志。