



Welcome to [E-XFL.COM](#)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	60KB (60K x 8)
Program Memory Type	FLASH
EEPROM Size	2K x 8
RAM Size	4K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 85°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/s9s08dz60f2clc

表 1-1. MC9S08DZ60 系列产品的特性（按 MCU 和管脚数量分）

特性	MC9S08DZ60			MC9S08DZ48			MC9S08DZ32			MC9S08DZ16	
Flash 大小 (字节)	60032			49152			33792			16896	
RAM 大小 (字节)	4096			3072			2048			1024	
EEPROM 大小 (字节)	2048			1536			1024			512	
管脚数量	64	48	32	64	48	32	64	48	32	48	32
ACMP1	是										
ACMP2	是	是 ¹	no	是	是 ¹	no	是	是 ¹	no	是 ¹	no
ADC 通道数	24	16	10	24	16	10	24	16	10	16	10
DBG	是										
IIC	是										
IRQ	是										
MCG	是										
MSCAN	是										
RTC	是										
SCI1	是										
SCI2	是										
SPI	是										
TPM1 通道数	6	6	4	6	6	4	6	6	4	6	4
TPM2 通道数	2										
XOSC	是										
COP Watchdog	是										

¹ ACMP2O 不可用。

1.2 MCU 结构图

图 1-1 为 MC9S08DZ60 系列产品的系统结构图。

7.2.3 堆栈指针 (SP)

这个 16 位地址指针寄存器指向自动后进先出 (LIFO) 堆栈上的下一个可用位置。该堆栈可以位于 64Kb 地址空间的任意位置，64Kb 地址空间具有 RAM，大小可以是可用 RAM 量的任意值。该堆栈用于自动保存子程序调用的返回地址，以及在中断期间供本地变量使用的返回地址和 CPU 寄存器。AIS (立即值加到堆栈指针) 指令向 SP 添加一个 8 位带符号的立即值。这通常供用于堆栈上的本地变量的空间分配或取消分配。

SP 在复位时被强制放在 0x00FF 上，以实现与早期 M68HC05 系列的兼容性。在复位初始化期间，HCS08 程序通常将 SP 中的值更改为片上 RAM 最后位置 (最高地址) 的地址，以释放直接页面 RAM (从片上寄存器末端到 0x00FF)。

为了实现与 M68HC05 系列的兼容，指令中还包括 RSP (复位堆栈指针) 指令，但很少在 HCS08 程序中使用，因为它只影响堆栈指针的低阶部分。

7.2.4 程序计数器 (PC)

程序计数器是一个 16 位寄存器，它包含将要获取的下一个指令或操作数的地址。

在正常的程序执行过程中，每次获取指令或操作数时，程序计数器就会自动累加到下一个顺序存储器位置。跳转、分支、中断和返回操作加载地址到程序计数器，而非下一个顺序位置的存储器地址，这被称为 change-of-flow (流程转换)。

复位时，程序计数器被加载位于 0xFFFFE 和 0xFFFF 的复位向量。这里保存的向量是退出复位状态后将要执行的第一个指令的地址。

7.2.5 条件码寄存器 (CCR)

8 位条件码寄存器包括中断屏蔽 (I) 和 5 个显示刚执行指令的结果的标记。位 6 和 5 永远设为 1。下面的几个段落描述了一般条件下的条件码位功能。如需了解各个指令如何设置 CCR 位的更多信息，请参见“HCS08 系列参考手册第 1 卷”，飞思卡尔半导体文档订购编号 HCS08RMv1。

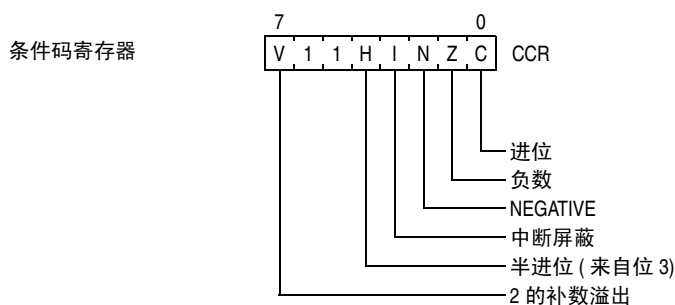


图 7-2. 条件码寄存器

表 7-2. 指令集小结 (第 2 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V 1 1 H	I N Z C
BCLR <i>n, opr8a</i>	存储器里的清除位 <i>n</i> (Mn = 0)	DIR (b0) DIR (b1) DIR (b2) DIR (b3) DIR (b4) DIR (b5) DIR (b6) DIR (b7)	11 dd 13 dd 15 dd 17 dd 19 dd 1B dd 1D dd 1F dd	5 5 5 5 5 5 5 5	r fwpp r fwpp r fwpp r fwpp r fwpp r fwpp r fwpp r fwpp	- 1 1 -	- - - -
BCS <i>rel</i>	如果进位位设置, 分支 (如果 C = 1) (同 BLO)	REL	25 rr	3	ppp	- 1 1 -	- - - -
BEQ <i>rel</i>	如果相等, 分支 (如果 Z = 1)	REL	27 rr	3	ppp	- 1 1 -	- - - -
BGE <i>rel</i>	如果大于或等于, 分支 (如果 N $\dot{Y}$ V = 0) (带符号)	REL	90 rr	3	ppp	- 1 1 -	- - - -
BGND	如果 ENBDM=1, 进入活动后台, 等待处理 BDM 命令, 直到 GO, TRACE1 或 TAGGO	INH	82	5+	fp...ppp	- 1 1 -	- - - -
BGT <i>rel</i>	如果大于, 分支 (如果 Z (N $\dot{Y}$ V) = 0) (带符号)	REL	92 rr	3	ppp	- 1 1 -	- - - -
BHCC <i>rel</i>	如果半进位位清除, 分支 (如果 H = 0)	REL	28 rr	3	ppp	- 1 1 -	- - - -
BHCS <i>rel</i>	如果半进位位设置, 分支 (如果 H = 1)	REL	29 rr	3	ppp	- 1 1 -	- - - -
BHI <i>rel</i>	如果高于, 分支 (如果 C Z = 0)	REL	22 rr	3	ppp	- 1 1 -	- - - -
BHS <i>rel</i>	如果高于或相同, 分支 (如果 C = 0) (同 BCC)	REL	24 rr	3	ppp	- 1 1 -	- - - -
BIH <i>rel</i>	如果 IRQ 管脚高, 分支 (如果 IRQ 管脚 = 1)	REL	2F rr	3	ppp	- 1 1 -	- - - -
BIL <i>rel</i>	如果 IRQ 管脚低, 分支 (如果 IRQ 管脚 = 0)	REL	2E rr	3	ppp	- 1 1 -	- - - -
BIT # <i>opr8i</i> BIT <i>opr8a</i> BIT <i>opr16a</i> BIT <i>opr16,X</i> BIT <i>opr8,X</i> BIT <i>,X</i> BIT <i>opr16,SP</i> BIT <i>opr8,SP</i>	位测试 (A) & (M) (CCR 已更新, 但操作数没变)	IMM DIR EXT IX2 IX1 IX SP2 SP1	A5 ii B5 dd C5 hh ll D5 ee ff E5 ff F5 9E D5 ee ff 9E E5 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	- $\uparrow$ $\downarrow$ -
BLE <i>rel</i>	如果小于或等于, 分支 (如果 Z (N $\dot{Y}$ V) = 1) (带符号)	REL	93 rr	3	ppp	- 1 1 -	- - - -
BLO <i>rel</i>	如果小于, 分支 (如果 C = 1) (同 BCS)	REL	25 rr	3	ppp	- 1 1 -	- - - -
BLS <i>rel</i>	如果小于或等于, 分支 (如果 C Z = 1)	REL	23 rr	3	ppp	- 1 1 -	- - - -
BLT <i>rel</i>	如果小于, 分支 (如果 Z (N $\dot{Y}$ V) = 1) (带符号)	REL	91 rr	3	ppp	- 1 1 -	- - - -
BMC <i>rel</i>	如果中断屏蔽清除, 分支 (如果 I = 0)	REL	2C rr	3	ppp	- 1 1 -	- - - -
BMI <i>rel</i>	如果减, 分支 (如果 N = 1)	REL	2B rr	3	ppp	- 1 1 -	- - - -
BMS <i>rel</i>	如果中断屏蔽设置, 分支 (如果 I = 1)	REL	2D rr	3	ppp	- 1 1 -	- - - -
BNE <i>rel</i>	如果不等于, 分支 (如果 Z = 0)	REL	26 rr	3	ppp	- 1 1 -	- - - -
BPL <i>rel</i>	如果加, 分支 (如果 N = 0)	REL	2A rr	3	ppp	- 1 1 -	- - - -

表 7-2. 指令集小结 (第 5 页, 共 9 页)

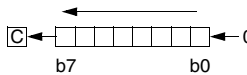
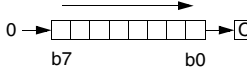
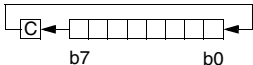
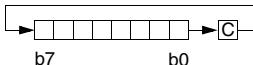
Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V I 1 H	I N Z C
INC <i>opr8a</i> INCA INCX INC <i>opr8,X</i> INC ,X INC <i>opr8,SP</i>	增量 $M^-(M) + \$01$ $A^-(A) + \$01$ $X^-(X) + \$01$ $M^-(M) + \$01$ $M^-(M) + \$01$ $M^-(M) + \$01$	DIR INH INH IX1 IX SP1	3C dd 4C 5C 6C ff 7C 9E 6C ff	5 1 1 5 4 6	r fwpp p p r fwpp r fwp p rfwpp	↑ 1 1 -	- ↓ ↓ -
JMP <i>opr8a</i> JMP <i>opr16a</i> JMP <i>opr8,X</i> JMP <i>opr8,X</i> JMP ,X	跳转 PC ← 跳转地址	DIR EXT IX2 IX1 IX	BC dd CC hh ll DC ee ff EC ff FC	3 4 4 3 3	ppp pppp pppp ppp ppp	- 1 1 -	- - - -
JSR <i>opr8a</i> JSR <i>opr16a</i> JSR <i>opr8,X</i> JSR <i>opr8,X</i> JSR ,X	跳转到子程序 $PC^-(PC) + n$ ($n = 1, 2, \text{或 } 3$) 推 (PCL); $SP^-(SP) - \$0001$ 推 (PCH); $SP^-(SP) - \$0001$ PC ← 无条件地址	DIR EXT IX2 IX1 IX	BD dd CD hh ll DD ee ff ED ff FD	5 6 6 5 5	ssppp pssppp pssppp ssppp ssppp	- 1 1 -	- - - -
LDA # <i>opr8i</i> LDA <i>opr8a</i> LDA <i>opr16a</i> LDA <i>opr8,X</i> LDA <i>opr8,X</i> LDA ,X LDA <i>opr8,SP</i> LDA <i>opr8,SP</i>	从存储器那里加载累加器 $A^-(M)$	IMM DIR EXT IX2 IX1 IX SP2 SP1	A6 ii B6 dd C6 hh ll D6 ee ff E6 ff F6 9E D6 ee ff 9E E6 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	- ↓ ↓ -
LDHX # <i>opr16i</i> LDHX <i>opr8a</i> LDHX <i>opr16a</i> LDHX ,X LDHX <i>opr8,X</i> LDHX <i>opr8,X</i> LDHX <i>opr8,SP</i>	加载索引寄存器 (H:X) $H:X^-(M:M + \$0001)$	IMM DIR EXT IX IX2 IX1 SP1	45 jj kk 55 dd 32 hh ll 9E AE 9E BE ee ff 9E CE ff 9E FE ff	3 4 5 5 6 5 5	ppp rrpp prpp prfp pprrpp prpp prpp	0 1 1 -	- ↓ ↓ -
LDX # <i>opr8i</i> LDX <i>opr8a</i> LDX <i>opr16a</i> LDX <i>opr8,X</i> LDX <i>opr8,X</i> LDX ,X LDX <i>opr8,SP</i> LDX <i>opr8,SP</i>	从存储器那里加载 X (索引寄存器低) $X^-(M)$	IMM DIR EXT IX2 IX1 IX SP2 SP1	AE ii BE dd CE hh ll DE ee ff EE ff FE 9E DE ee ff 9E EE ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	- ↓ ↓ -
LSL <i>opr8a</i> LSLA LSLX LSL <i>opr8,X</i> LSL ,X LSL <i>opr8,SP</i>	逻辑左移位 t  (同 ASL)	DIR INH INH IX1 IX SP1	38 dd 48 58 68 ff 78 9E 68 ff	5 1 1 5 4 6	r fwpp p p r fwpp r fwp p rfwpp	↑ 1 1 -	- ↓ ↓ ↓
LSR <i>opr8a</i> LSRA LSRX LSR <i>opr8,X</i> LSR ,X LSR <i>opr8,SP</i>	逻辑右移位 t 	DIR INH INH IX1 IX SP1	34 dd 44 54 64 ff 74 9E 64 ff	5 1 1 5 4 6	r fwpp p p r fwpp r fwp p rfwpp	↑ 1 1 -	- 0 ↓ ↓

表 7-2. 指令集小结 (第 6 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V 1 1 H	I N Z C
MOV <i>opr8a,opr8a</i> MOV <i>opr8a,X+</i> MOV <i>#opr8i,opr8a</i> MOV <i>,X+,opr8a</i>	移动 (M) _{destination} ← (M) _{source} 在 IX+/DIR 和 DIR/IX+ 模式, H:X ← (H:X) + \$0001	DIR/DIR DIR/IX+ IMM/DIR IX+/DIR	4E dd dd 5E dd 6E ii dd 7E dd	5 5 4 5	rpwpp rhwpp pwpp rhwpp	0 1 1 -	-↑↑↓-
MUL	不带符号的乘法 X:A ← (X) × (A)	INH	42	5	fffffp	- 1 1 0	- - - - 0
NEG <i>opr8a</i> NEGA NEGX NEG <i>opr8,X</i> NEG <i>,X</i> NEG <i>opr8,SP</i>	否定 (2 的补数) M ← (M) = \$00 - (M) A ← (A) = \$00 - (A) X ← (X) = \$00 - (X) M ← (M) = \$00 - (M) M ← (M) = \$00 - (M) M ← (M) = \$00 - (M)	DIR INH INH IX1 IX SP1	30 dd 40 50 60 ff 70 9E 60 ff	5 1 1 5 4 6	rhwpp p p rhwpp rhwpp prhwpp	↑ 1 1 -	-↑↑↑↑
NOP	无操作 — 使用 1 总线周期	INH	9D	1	p	- 1 1 -	- - - - -
NSA	半字节交换累加器 A ← (A[3:0]:A[7:4])	INH	62	1	p	- 1 1 -	- - - - -
ORA <i>#opr8i</i> ORA <i>opr8a</i> ORA <i>opr16a</i> ORA <i>opr8,X</i> ORA <i>opr8,X</i> ORA <i>,X</i> ORA <i>opr8,SP</i> ORA <i>opr8,SP</i>	累加器或存储器 " 兼或 " A ← (A) (M)	IMM DIR EXT IX2 IX1 IX SP2 SP1	AA ii BA dd CA hh ll DA ee ff EA ff FA 9E DA ee ff 9E EA ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	-↑↑↓-
PSHA	将累加器推送到堆栈 推 (A); SP ← (SP) - \$0001	INH	87	2	sp	- 1 1 -	- - - - -
PSHH	将 H (索引寄存器高) 推送到堆栈上 推 (H); SP ← (SP) - \$0001	INH	8B	2	sp	- 1 1 -	- - - - -
PSHX	将 X (索引寄存器低) 推送到堆栈上 推 (X); SP ← (SP) - \$0001	INH	89	2	sp	- 1 1 -	- - - - -
PULA	从堆栈拉累加器 SP ← (SP + \$0001); 拉 (A)	INH	86	3	ufp	- 1 1 -	- - - - -
PULH	从堆栈拉 H (索引寄存器高) SP ← (SP + \$0001); Pull (H)	INH	8A	3	ufp	- 1 1 -	- - - - -
PULX	从堆栈拉 X (索引寄存器低) SP ← (SP + \$0001); 拉 (X)	INH	88	3	ufp	- 1 1 -	- - - - -
ROL <i>opr8a</i> ROLA ROLX ROL <i>opr8,X</i> ROL <i>,X</i> ROL <i>opr8,SP</i>	通过进位左旋转 	DIR INH INH IX1 IX SP1	39 dd 49 59 69 ff 79 9E 69 ff	5 1 1 5 4 6	rhwpp p p rhwpp rhwpp prhwpp	↑ 1 1 -	-↑↑↑↑
ROR <i>opr8a</i> RORA RORX ROR <i>opr8,X</i> ROR <i>,X</i> ROR <i>opr8,SP</i>	通过进位右旋转 	DIR INH INH IX1 IX SP1	36 dd 46 56 66 ff 76 9E 66 ff	5 1 1 5 4 6	rhwpp p p rhwpp rhwpp prhwpp	↑ 1 1 -	-↑↑↑↑

8.5.1.4 FLL Bypassed External (FBE)

在 FLL Bypassed External (FBE) 模式中, MCGOUT 时钟来自外部参考时钟, FLL 处于运行状态但其输出时钟未使用。该模式对允许 FLL 获得目标频率非常有用, 同时 MCGOUT 时钟由内部参考时钟驱动。

当满足以下条件时就进入 FLL Bypassed External 模式:

- CLKS 位写入 10
- IREFS 位写入 0
- PLLS 位写入 0
- 位写入介于 31.25 kHz- 39.0625 kHz 频率范围内的分频参考时钟。
- LP 位写入 0

在 FLL Bypassed External 模式中, MCGOUT 时钟源自 FLL 时钟。使能的外部参考时钟可以是外部晶体 / 谐振器, 也可以是另外一个外部时钟源。FLL 时钟由外部参考时钟控制, FLL 时钟频率是由 RDIV 位选择的参考频率的 1024 倍。MCGCLK 来自 FLL, PLL 被禁止处于低功率状态。

注意

可以用大于指定最大频率的 FLL 参考时钟频率在 FBE 模式中短时间运行。这在使用频率大于 5 MHz 的外部晶体运行于 PEE 模式中是必需的。如需了解详细的示例信息, 请参见 8.6.2.4, “示例 4: 从 FEI 转换到 PEE 模式: 外部晶体 = 8 MHz、总线频率 = 8 MHz”。

8.5.1.5 PLL Engaged External (PEE)

当满足以下条件时就进入 PLL Engaged External (PEE) 模式:

- CLKS 位写入 00
- IREFS 位写入 0
- PLLS 位写入 1
- RDIV 位写入介于 1 MHz - 2 MHz 频率范围内的分频参考时钟。

在 PLL Engaged External 模式中, MCGOUT 时钟源自 PLL 时钟, 由外部参考时钟控制。使能的外部参考时钟可以是外部晶体 / 谐振器, 也可以是另外一个外部时钟源。PLL 时钟频率是参考频率 (RDIV 位所选) 和倍频因子 (VDIV 位所选) 乘积。如果使能 BDM, MCGCLK 值就是 DCO 除以 2 (开放环路模式) 的得数。如果禁止 BDM, 那么 FLL 被禁止且处于低功率状态。

8.5.1.6 PLL Bypassed External (PBE)

在 PLL Bypassed External (PBE) 模式中, MCGOUT 时钟源自外部参考时钟, PLL 处于运行状态但其输出时钟未使用。该模式对允许 PLL 获得目标频率非常有用, 同时 MCGOUT 时钟由内部参考时钟驱动。

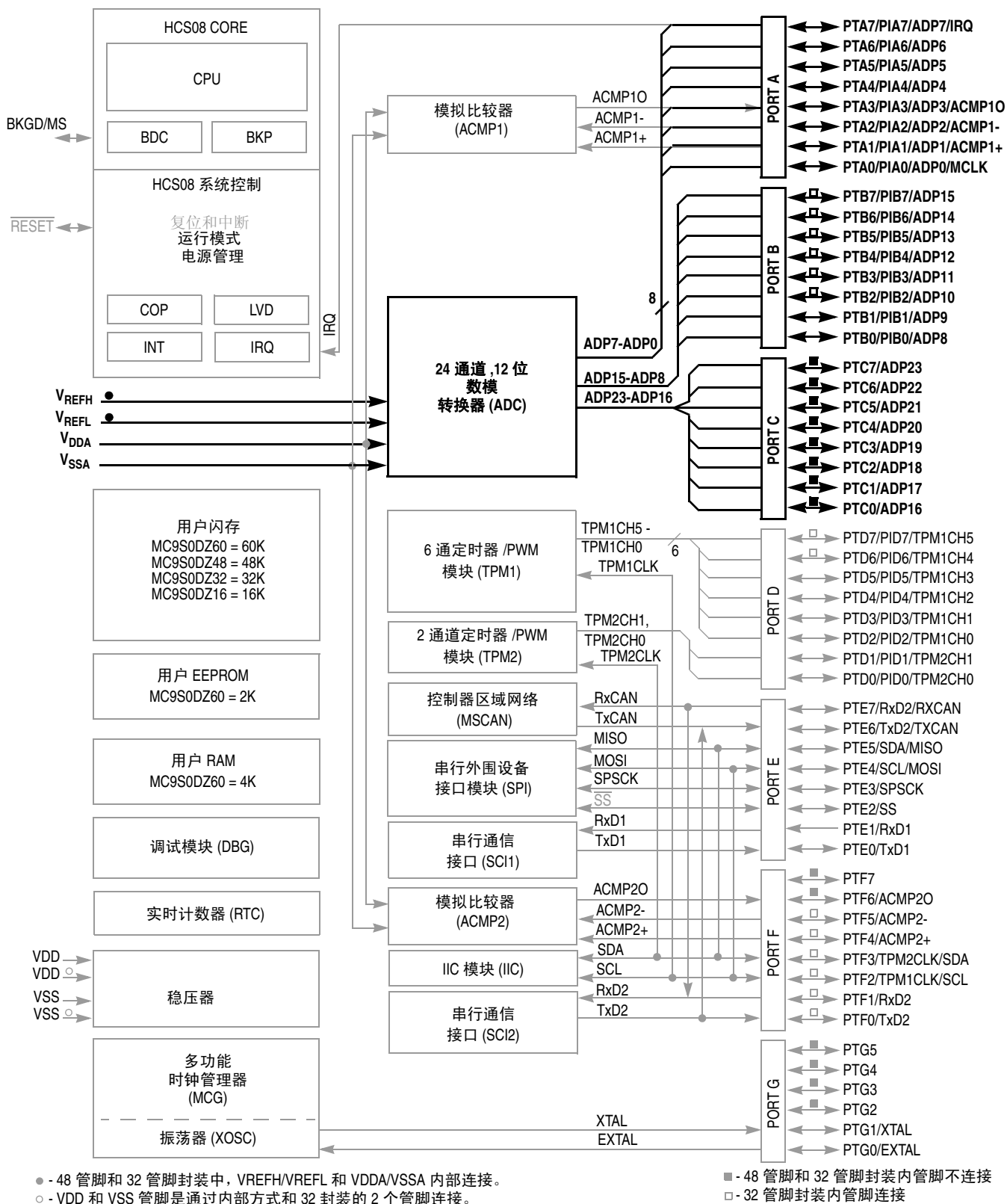


图 10-1. 强调 ADC 模块和管脚的 MC9S08DZ60 结构图

10.5.7.1 ADACK 禁止的 STOP3 模式

如果异步时钟 ADACK 未被选为转换时钟，执行 STOP 指令将中止当前转换，并把 ADC 置入空闲状态。ADCRH 和 ADCRL 内容不受 STOP3 模式的影响。从 STOP3 模式退出后，需要软件或硬件触发来重新开始转换。

10.5.7.2 ADACK 使能的 STOP3 模式

如果异步时钟 ADACK 已被选为转换时钟，ADC 会在 STOP3 模式中继续运行。为了保证 ADC 操作，MCU 的电压调节器在 STOP3 模式中必须保持工作状态。有关该 MCU 的配置报文，请参阅模块介绍。

如果正在进行转换时 MCU 进入 STOP3 模式，那么转换会继续，直到完成。在 MCU 处于 STOP3 模式时，通过硬件触发或使能连续转换，可以发起转换。

如果 ADC 中断使能（AIEN = 1），转换完成事件就会设置 COCO，生成 ADC 中断，把 MCU 从 STOP3 模式中唤醒。

注意

ADC 模块可以从停止状态唤醒系统，让 MCU 开始以运行级电流工作，而不产生系统级中断。为了防止这一情况，在进入 STOP3 并继续 ADC 转换时，软件应当确保数据传输拦截机制（在 11.4.4.2 节“完成转换”中做过介绍）已经清除。

10.5.8 MCU STOP1 和 STOP2 模式运行

当 MCU 进入 STOP1 或 STOP2 模式时，ADC 模块会被自动禁止。所有模块寄存器在退出 STOP1 或 STOP2 模式后都包含它们的复位值。因此，在从 STOP1 或 STOP2 退出后，模块必须重新使能和重新配置。

试验数据显示，有出现噪音或源阻抗很高时，模拟输入上的电容器有助于改进性能。使用 0.01mF 电容器（带有出色的高频性能）完全可以做到这一点。不是所有情况都需要这些电容器，但使用时，必须尽可能地将它们放在封装管脚旁边，并且参考到 V_{SSA} 。

为了进行正确转换，输入电压必须在 V_{REFH} 和 V_{REFL} 之间。如果输入等于或高于 V_{REFH} ，转换器电路将把信号转换成 0xFFF（全范围 12 位）、0x3FF（全范围 10 位）或 0xFF（全范围 8 位）。如果输入等于或低于 V_{REFL} ，转换器电路将把信号转换成 0x000。 V_{REFH} and V_{REFL} 间的输入电压是直线线性转换。当采样电容充电时，会出现与 V_{REFL} 相关的短暂电流。当 ADLSMP 低时，输入采样为 3.5 个周期的 ADCK 源；当 ADLSMP 高时，输入采样为 23.5 个周期。

为了把由于灌电流带来的精度性损失降到最低，转换期间靠近模拟输入管脚的引脚不要有跳变。

10.7.2 错误源

A/D 转换中存在几个错误源。我们将在以下几节中讨论。

10.7.2.1 采样错误

为了实现正确转换，采样时间必须足够长才能获得适当的精度。假设最大输入阻抗约为 7k Ω ，输入电容约为 5.5pF，最小采样窗口（8KHz 的最大 ADCK 频率时，3.5 个周期）可以实现不超过 1/4LSB（分辨率为 12 位）的采样，但外部模拟源（ R_{AS} ）的电阻需小于 2 k Ω 。

通过设置 ADLSMP（将采样窗口增加到 23.5 个周期），或降低 ADCK 频率来增加采样时间，可以获得更高输入阻抗或更高精度采样。

10.7.2.2 管脚漏电流错误

如果外部模拟源电阻 (R_{AS}) 高，I/O 管脚上的漏电流就可能造成转换错误。如果应用不能容忍该错误，应一直使 R_{AS} 低于 $V_{DDAD} / (2^N \cdot I_{LEAK})$ ，实现低于 1/4LSB 的漏电流错误（在 8 位中 $N = 8$ ；在 10 位中 $N=10$ ；在 12 位中 $N=12$ ）。

10.7.2.3 噪音引发的错误

采样或转换过程中出现的系统噪音可能会影响到转换的准确性。只有当满足下列条件时，才能保证 ADC 达到指定的精度：

- 从 V_{REFH} 到 V_{REFL} 有 0.1 μ F 的低 ESR 电容器
- 从 V_{DDAD} 到 V_{SSAD} 有 0.1 μ F 的低 ESR 电容器
- 如果主电源使用感性隔离， V_{DDAD} 至 V_{SSAD} 间还需要额外放置一个 1 μ F 电容器。
- V_{SSAD} （和 V_{REFL} ，如果连接）与地线网络的 V_{SS} 连接。
- 在发起 ADC 转换前进入等待或 STOP3 模式（硬件触发转换），或发起 ADC 转换后（硬件或软件触发转换）立即进入等待或 STOP3 模式。
 - 对于软件触发转换，写入 ADCSC1 后紧跟 WAIT 指令或 STOP 指令。
 - 对于 STOP3 模式运行，选择 ADACK 作为时钟源。STOP3 中的运行降低了 V_{DD} 噪音，但会延长有效转换时间，因为从 STOP 恢复的时间。
- 转换期间，MCU 上没有 I/O 口跳变，无论是输入还是输出。

12.3.13 MSCAN 接收错误计数器 (CANRXERR)

该寄存器反应 MSCAN 接收错误计数器的状态。



图 12-17. MSCAN 接收错误计数器 (CANRXERR)

读取: 仅在睡眠模式 (SLPRQ = 1, SLPK = 1) 或初始化模式 (INITRQ = 1 and INITAK = 1) 写入: 不执行

注意

在非睡眠或初始化模式外的任意其他模式中读取该寄存器会返回错误值。对于那些具有双 CPU 的 MCU 来说, 这可能会引起 CPU 故障情况。

在特殊模式中写入该寄存器可能改变 MSCAN 功能。

12.3.14 MSCAN 发送错误计数器 (CANTXERR)

该寄存器反应 MSCAN 发送错误计数器的状态。

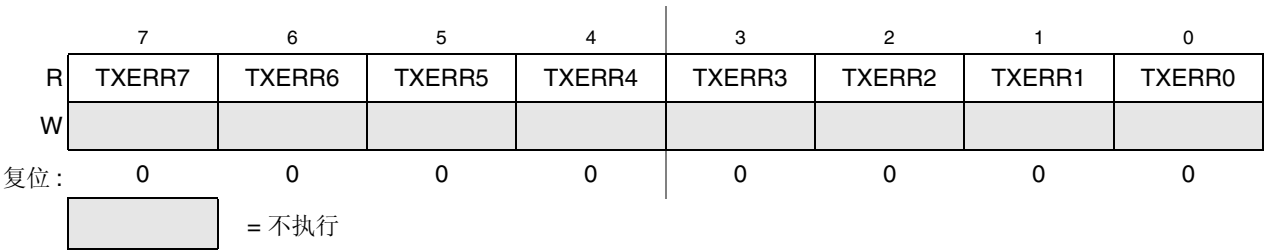


图 12-18. MSCAN 发送错误计数 ~ (CANTXERR)

读取: 仅在睡眠模式 (SLPRQ = 1, SLPK = 1) 或初始化模式 (INITRQ = 1, INITAK = 1)。写入: 不执行

注意

在非睡眠或初始化模式外的任意其他模式中读取该寄存器会返回错误值。对于那些具有双 CPU 的 MCU 来说, 这可能会引起 CPU 故障情况。

在特殊模式中写入该寄存器可能改变 MSCAN 功能。

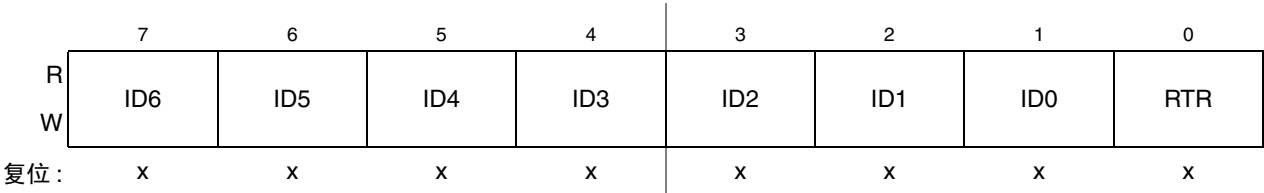


图 12-28. 标识符寄存器 3（IDR3）— 扩展标识符映射

表 12-28. 标识符寄存器 0 — 标准映射

字段	描述
7:1 ID[6:0]	扩展格式标识符 — 该标识符由 29 个扩展格式位（ID[28:0]）组成。ID28 是最高的位，仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。
0 RTR	远程发送请求 — 该标志反应 CAN 帧中远程发送请求的状态。在接收缓冲器中，它显示已接收帧的状态，并在软件中支持应答帧的发送。在发送缓冲器中，该标志定义将要发送的 RTR 位的设置。 0 数据帧 1 远程帧

12.4.2 标准标识符映射的 IDR0 – IDR3

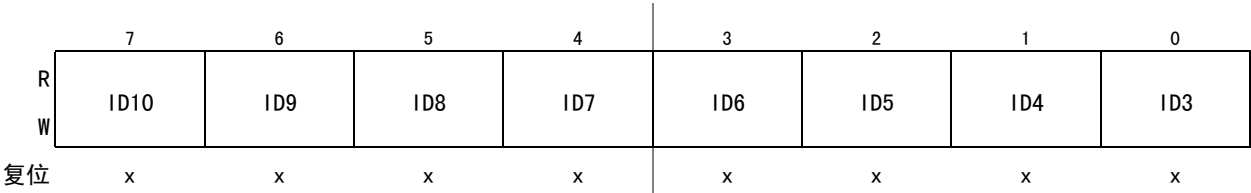


图 12-29. 标识符寄存器 0 — 标准映射

表 12-29. IDR0 寄存器字段描述 — 标准

字段	描述
7:0 ID[10:3]	标准格式标识符 — 该标识符由 11 个扩展格式位（ID[10:0]）组成。ID10 是最高位，仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。也可参见表 12-30 中的 ID 位。

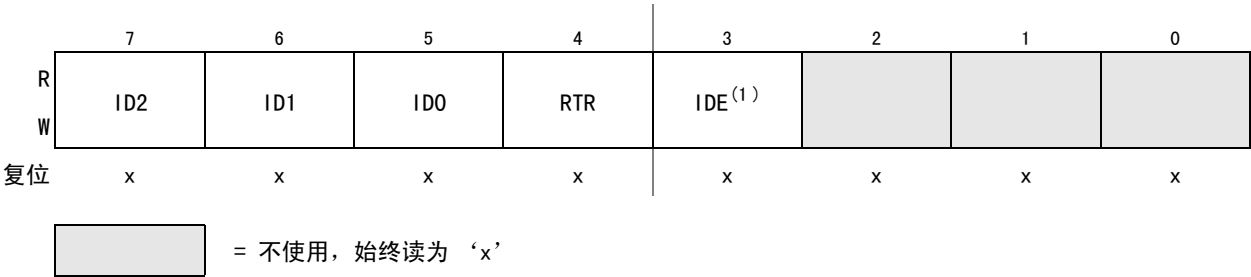


图 12-30. 标识符寄存器 1 — 标准映射

¹ IDE 为 0.

13.5.1 SPI 时钟格式

为了适应不同制造商的各种同步串行外围器件，SPI 系统有一个时钟极性（CPOL）位和一个时钟相位（CPHA）控制位，从四种时钟格式中选择一种进行数据传输。CPOL 有选择性地插入了与时钟串行的取反逻辑。CPHA 选择时钟和数据间的两种不同时钟相位关系。

图 13-10 显示了 CPHA = 1 时的时钟格式。在图的顶部，显示了 8 个位时间，作为参考。第一个位始于第一个 SPSCCK 边沿，第八个位结束于第 16 个 SPSCCK 边沿后的半个 SPSCCK 周期。MSB First 和 LSB First 线根据 LSBFE 中的设置显示了 SPI 数据位的顺序。SPSCCK 极性的两个变化都显示了出来，但这两个波形中只有一个适用于特定传输，具体哪一个取决于 CPOL 中的值。SAMPLE IN 波形适用于辅器件的 MOSI 输入或主器件的 MISO 输入。MOSI 波形适用于主器件的 MOSI 输出管脚，MISO 波形适用于辅器件的 MISO 输出。SS OUT 波形适用于主器件的辅选择输出（如果 MODFEN，SSOE = 1）。在传输开始前的半个 SPSCCK 周期，主 SS 输出信号进入有效低电平状态，在传输的第 8 个位时间结束时返回有效高态。SS IN 波形适用于辅器件的辅选择输入。

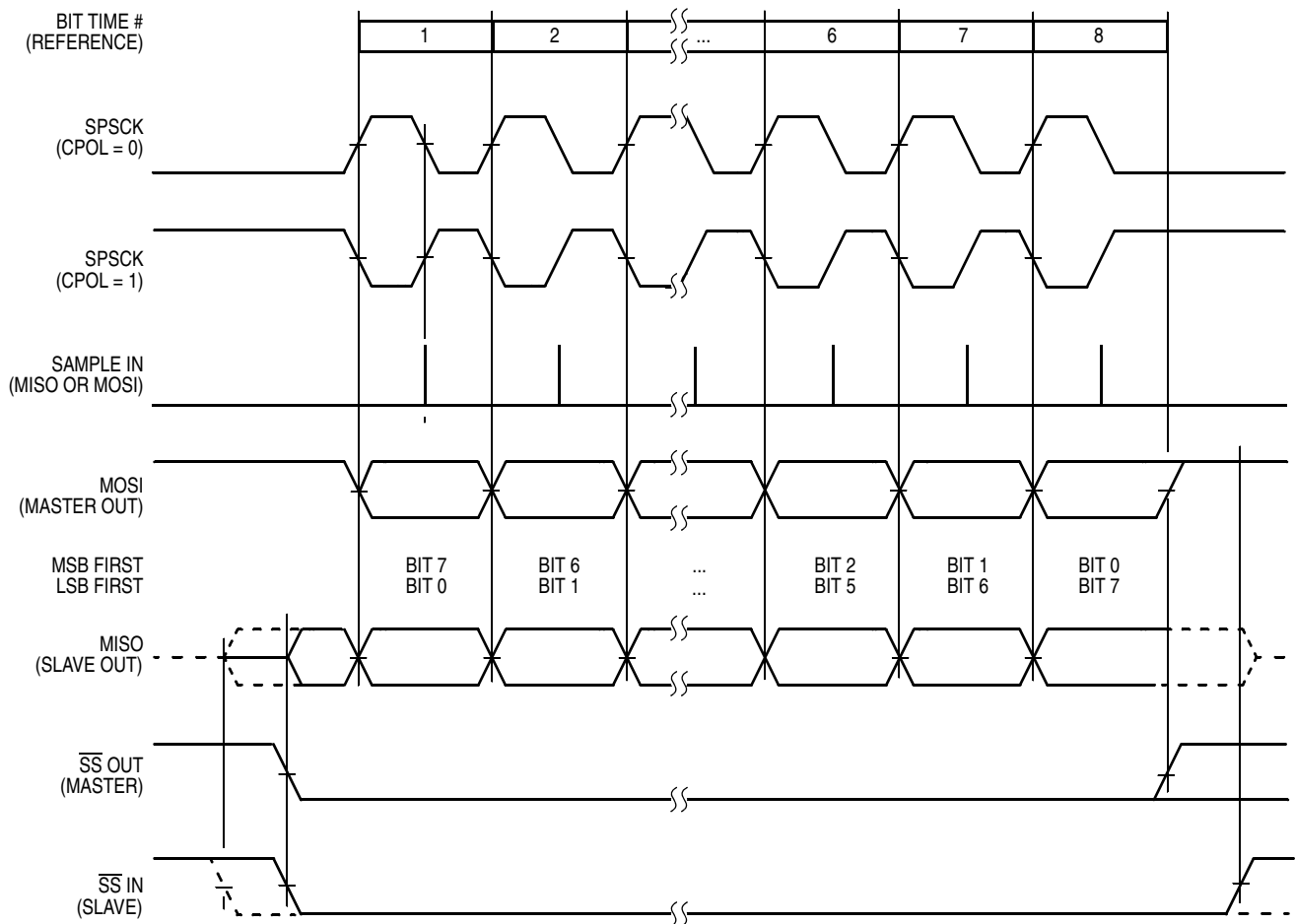


图 13-10. SPI 钟格式（CPHA = 1）

15.3.2 RTC 计数器寄存器 (RTCCNT)

RTCCNT 是 8 位计数器的当前 RTC 计数的只读值。

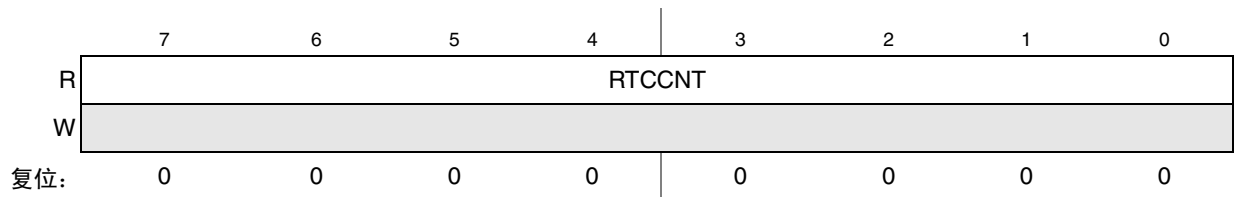


图 15-4. RTC 计数器寄存器 (RTCCNT)

表 15-4. RTCCNT 字段描述

字段	描述
7:0 RTCCNT	RTC 计数—这 8 个只读位包含 8 位计数器的当前值。写入操作对该寄存器无效。复位、写入 RTCMOD 或向 RTCLKS 和 RTCPS 写入不同值将把计数清除为 0x00。

15.3.3 RTC 模数寄存器 (RTCMOD)

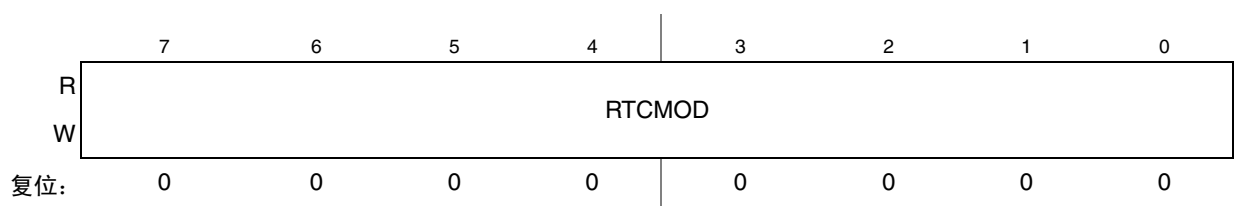


图 15-5. RTC 模数寄存器 (RTCMOD)

表 15-5. RTCMOD 字段描述

字段	描述
7:0 RTCMOD	RTC 模数 — 这 8 个读 / 写位包含用于在比较匹配后将计数复位为 0x00 并设置 RTIF 状态位的模数值。0x00 值会在预分频器输出的每个上升边沿设置 RTIF 位。写入 RTCMOD 将把预分频器和 RTCCNT 计数器复位为 0x00。复位将模数寄存器设置为 0x00。

15.4 功能描述

RTC 由一个带有 8 位模数寄存器的主 8 位向上计数器、一个时钟源选择器和一个带有二进制和十进制可选值的预分频器组件组成。该模块还包含软件可选的中断逻辑。

任何 MCU 复位后，计数器被停止并复位为 0x00；模数寄存器被设置为 0x00，而且预分频器将关闭。1-kHz 内部振荡器时钟被选择为默认时钟源。要启动预分频器，向预分频器选择位 (RTCPS) 写入零以外的任何值。

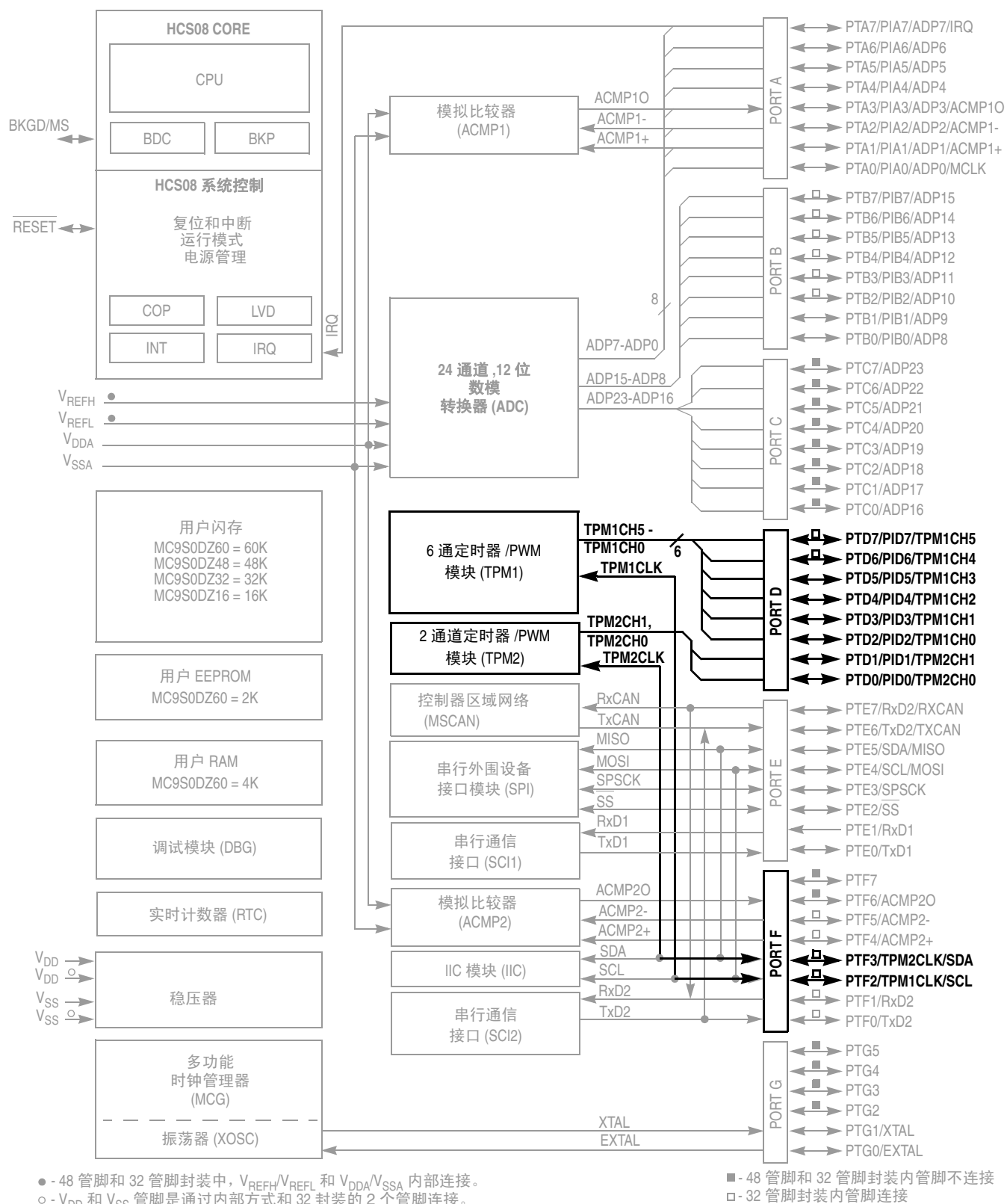


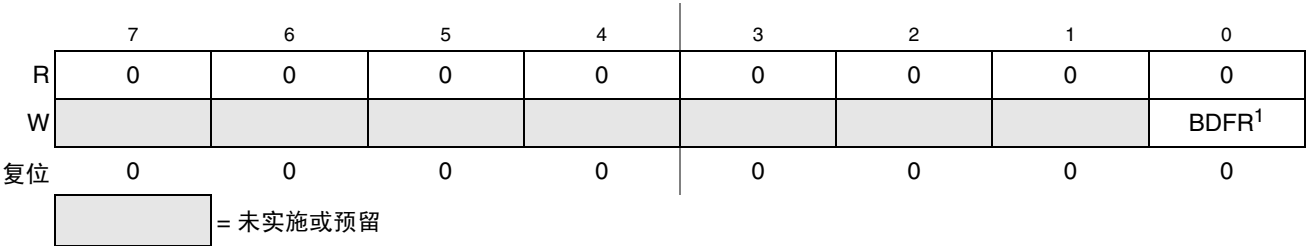
Figure 16-1. MC9S08DZ60 结构图

17.4.1.2 BDC 断点匹配寄存器 (BDCBKPT)

6- 位 寄存器保留 BDC 中的硬件断点的地址。BDCSCR 中的 BKPTEN 和 FTS 控制位用来使能和配置断点逻辑。专门的串行 BDC 命令 (READ_BKPT 和 WRITE_BKPT) 用来读和写 BDCBKPT 寄存器，但是用户程序不能存取它，因为它不位于 MCU 的普通存储器映射空间中。当目标 MCU 处于激活背景调试模式时，断点一般在运行用户应用程序前设置。关于建立和使用 BDC 中的硬件断点逻辑的更多信息，请参见 17.2.4，“BDC 硬件断点”。

17.4.2 系统背景调试强制复位寄存器 (SBDFR)

这个寄存器包含单个只写控制位。必须要用一个串行后台模式命令，如 WRITE_BYTE，来写 SBDFR。从用户程序写该寄存器的尝试被忽略。读总是返回 0x00。



¹ BDFR 只有通过串行后台模式调试命令才可写，不能通过用户程序来写。

图 17-6. 系统背景调试强制复位寄存器 (SBDFR)

表 17-3. 寄存器字段描述

字段	描述
0 BDFR	背景调试强制复位 — 一系列激活后台模式命令，如 WRITE_BYTE 等，允许外部调试主机强制目标系统复位。将 1 写到这个位，强制 MCU 复位。这个位 不能从用户程序写。

17.4.3 DBG 寄存器和控制位

这个调试模块包括 9 个字节的寄存器空间，用于三个 16- 位寄存器和三个 8- 位控制和状态寄存器。这些寄存器位于存储器空间的高地址空间中，这样它们可以存取正常的应用程序。普通用户应用程序几乎从不接入这些寄存器，除了使用断点逻辑的 ROM patching 机制。

17.4.3.1 调试比较器 A 高寄存器 (DBGCAH)

这个寄存器包含比较器 A 的高 8 位的比较值位。在复位时，这个寄存器被强制设置为 0x00，可以随时被读或写，除非 ARM = 1。

17.4.3.2 调试比较器 A 低寄存器 (DBGCAL)

这个寄存器包含比较器 A 的低 8 位的比较值位。在复位时，这个寄存器被强制设置为 0x00，可以随时被读或写，除非 ARM = 1。

表 A-5. ESD 和闭锁保护特性

编号	参数	符号	最小值	最大值	单位
1	人体模式 (HBM)	V_{HBM}	+/- 2000	—	V
2	充电器件模式 (CDM)	V_{CDM}	+/- 500	—	V
3	$T_A = 125^\circ\text{C}$ 时的闭锁电流	I_{LAT}	+/- 100	—	mA

A.6 DC 特性

本小节介绍了电源要求、I/O 管脚特性及各种操作模式中的电源电流信息。

表 A-6. DC 特性

编号	C	特性	符号	条件	最小值	典型值 ¹	最大值	单位
1	—	操作电压	V _{DD}		2.7	—	5.5	V
2	P	所有 I/O 管脚、低驱动强度	V _{OH}	5 V, I _{Load} = −2 mA	V _{DD} − 1.5	—	—	V
	C			3 V, I _{Load} = −0.6 mA	V _{DD} − 1.5	—	—	
	C			5 V, I _{Load} = −0.4 mA	V _{DD} − 0.8	—	—	
	C			3 V, I _{Load} = −0.24 mA	V _{DD} − 0.8	—	—	
	P	所有 I/O 管脚、高驱动强度		5 V, I _{Load} = −10 mA	V _{DD} − 1.5	—	—	
	C			3 V, I _{Load} = −3 mA	V _{DD} − 1.5	—	—	
	C			5 V, I _{Load} = −2 mA	V _{DD} − 0.8	—	—	
	C			3 V, I _{Load} = −0.4 mA	V _{DD} − 0.8	—	—	
3	C	高电流输出 所有端口的最大总 I _{OH}	I _{OHT}	5 V	0	—	-100	mA
				3 V	0	—	-60	
4	P	所有 I/O 管脚、低驱动强度	V _{OL}	5 V, I _{Load} = 2 mA	—	—	1.5	V
	C			3 V, I _{Load} = 0.6 mA	—	—	1.5	
	C			5 V, I _{Load} = 0.4 mA	—	—	0.8	
	C			3 V, I _{Load} = 0.24 mA	—	—	0.8	
	P	所有 I/O 管脚、高驱动强度		5 V, I _{Load} = 10 mA	—	—	1.5	
	C			3 V, I _{Load} = 3 mA	—	—	1.5	
	C			5 V, I _{Load} = 2 mA	—	—	0.8	
	C			3 V, I _{Load} = 0.4 mA	—	—	0.8	
5	C	低电流输出 所有端口的最大总 I _{OL}	I _{OLT}	5 V	0	—	100	mA
				3 V	0	—	60	
6	C	高压输入；所有数字输入	V _{IH}	5V	0.65 x V _{DD}	—	—	V
7	C	低压输入；所有数字输入	V _{IL}	5V	—	—	0.35 x V _{DD}	
8	C	输入滞后	V _{hys}		0.06 x V _{DD}			mV
9	P	输入漏电流 （每管脚） 仅针对所有输入管脚	I _{IIn}	V _{In} = V _{DD} or V _{SS}	—	0.1	1	μA

表 A-7. 电源电流特性 (续)

编号	C	参数	符号	V _{DD} (V)	典型值 ¹	最大值 ²	单位
5	P ⁴	停止 2 模式 电源电流 -40 °C (C, V, & M 后缀) 25 °C (所有部件) 105 °C (仅 V 后缀) 125 °C (仅 M 后缀) -40 °C (C, V, & M 后缀) 25 °C (所有部件) 105 °C (仅 V 后缀) 125 °C (仅 M 后缀)	S2I _{DD}	5	0.8	—	μA
	P ⁴				0.9	—	
	P				25	37	
	P				46	70	
	C		3	3	0.7	—	
	C				0.8	—	
	C				20	30	
	C				40	60	
6	C	增加 RTC 时的停止 2 或停止 3 ⁴ 的加法器、25°C		5	300	—	nA
				3	300	—	nA
7	C	增加 LVD 的停止 3 (LVDE = LVDSE = 1)		5	110	—	μA
				3	90	—	μA
8	C	增加振荡器启用时 ⁵ 的停止 3 (IRCLKEN = 1 和 IREFSTEN = 1 或 ERCLKEN = 1 和 EREFSTEN = 1)		5	5	—	μA
				3	5	—	μA

¹ 典型值典型值在 25°C 时测量的值，除非另有说明。

² 本列中的最大值适用于设备的整个操作温度范围，除非另有说明。

³ 25°C 时在所有部件上进行停止电流测试。在其他温度上的测试取决于部件编号后缀及产品的成熟度。一旦收集到足够的数据且被批准，飞思卡尔可能会把特殊温度下的测试从生产测试流程中消除。

⁴ 大多数客户都期望可以使用停止 2 或停止 3 的自动唤醒，而非更高电流的等待模式。

⁵ 以下条件下的给定值：低量程操作 (RANGE = 0)、低功率模式 (HGO = 0)

A.8 模拟比较器 (ACMP) 电气特性

表 A-8. 模拟比较器电气规范

编号	C	参数	符号	最小值	典型值	最大值	单位
9	—	电源电压	V _{DD}	2.7	—	5.5	V
10	D	电源电流 (活动)	I _{DDAC}	—	20	35	μA
11	D	模拟输入电压	V _{AIN}	V _{SS} - 0.3	—	V _{DD}	V
12	D	模拟输入偏移电压	V _{AIO}	—	20	40	mV
13	D	模拟比较器滞后	V _H	3.0	6.0	20.0	mV
14	D	模拟输入漏电流	I _{ALKG}	—	—	1.0	μA
15	D	模拟比较器初始化延迟	t _{AINIT}	—	—	1.0	μs

中断标记和启动与 16 位主计数器相关。定时器溢出标记 (TOF) 是一种显示定时器计数器溢出的软件可接入指示。TOF 标记等于 1 时自动生成静态硬件中断的情况下, 启动信号都在软件轮询 (TOIE=0) (无硬件中断生成) 或中断驱动操作 (TOIE=1) 之间选择。

导致 TOF 被设置的条件取决于 (向上或向上 / 向下) 计数模式。在向上计数模式中, 16 位主计数器从 0x0000 计数到 0xFFFF, 并且在下一次计数时钟中溢出到 0x0000。在从 0xFFFF 向 0x0000 过渡时, TOF 被设置。设置了模数限制时, TOF 会在从模数寄存器中设置的值向 0x0000 过渡时设置。当 16 位主计数器以向上 / 向下模式运行的情况下, 计数器在从模数寄存器中设置的值和下一个更低的计数值过渡而改变方向时 TOF 标记被设置。这对应 PWM 周期的结束。(0x0000 计算值对应周期的中央。)

因为 HCS08 MCU 是一种 8 位的架构, 所以一致性机制被设计到定时器计数器中以进行读取操作。当计数器的任何一个字节 (TPMxCNTH or TPMxCNTL) 被读取时, 两个字节都被捕获到缓冲器中, 这样当另一个字节被读取时, 值会显示读取第一个字节时计数的另一个字节。计数器继续正常计数, 但是没有新的值从任意字节中读取, 直到旧的计数的两个字节都被读取。

主定时器的计数器可随时通过将任何值写入 TPMxCNTH 或 TPMxCNTL 计数的任一比特来手动复位。如果在复位计数前只有计数器的一个字节被读取, 那么这种计数器复位方式还会复位一致性机制。

B.6.2 通道模式选择

如果 CPWMS=0 (未规定中央对齐的 PWM 操作), 那么通道 n 状态和控制寄存器中 MSnB 和 MSnA 控制位为相应通道确定基本运行模式。选择包括输入捕获、输出对比或缓冲的边缘对齐 PWM。

B.6.2.1 输入捕获模式

利用输入捕获功能, TPM 可捕获外部事件发生的时间。当输入捕获通道的管脚上发生激活边时, TPM 会将 TPM 计数器的内容锁入到通道值寄存器中 (TPMxCnVH:TPMxCnVL)。上升边、下降边或任何边可被选为触发输入捕获的活动边。

当 16 位捕获寄存器的任何一个字节被读取时, 两个字节都被锁入到缓冲器中, 以支持连贯的 16 位接入而不受顺序的影响。一致性序列可通过向通道状态 / 控制寄存器 (TPMxCnSC) 中写入值来手动复位。

输入捕获事件会设置标记位 (CHnF), 该标记可选择生成一个 CPU 中断请求。

B.6.2.2 输出比较模式

通过输出比较功能, TPM 可生成具有可编程位置、极性、持续时间和频率的定时脉冲。当定时器达到输出对比通道的通道值寄存器中的值时, TPM 可以置 1, 置 0, 翻转引脚状态通道。

在输出比较模式中, 值只有在 16 位寄存器的两个 8 位字节都被写入后被传输到相应定时器的通道寄存器中。这种一致性序列可通过向通道状态 / 控制寄存器 (TPMxCnSC) 中写入值来手动复位。

输出比较事件会设置标记位 (CHnF), 该标记可选择产生 CPU 中断请求。

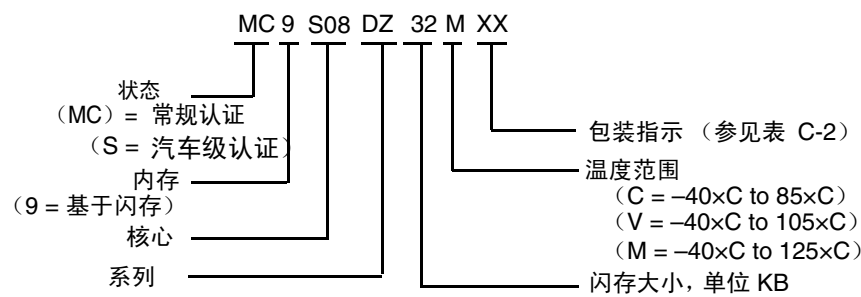
附录 C

订购信息和机械图

C.1 订购信息

本章包含 MC9S08DZ60 系列设备的订购信息。

设备编号体制举例：



C.1.1 MC9S08DZ60 Series 设备

表 C-1. MC9S08DZ60 Series 设备

设备编号	内存			可供包装 ¹
	FLASH	RAM	EEPROM	
MC9S08DZ60	60,032	4096	2048	64-LQFP, 48-LQFP, 32-LQFP
MC9S08DZ48	49,152	3072	1536	
MC9S08DZ32	33,792	2048	1024	
MC9S08DZ16	16,896	1024	512	48-LQFP, 32-LQFP

¹ 包装信息请参见表 C-2。

C.2 机械图

以下各页显示了下表中描述的包装的机械图：

表 C-2. Package 描述

Pin Count	典型值 e	Abbreviation	Designator	Document No.
64	低 Quad Flat Package	LQFP	LH	98ASS23234W
48	低 Quad Flat Package	LQFP	LF	98ASH00962A
32	低 Quad Flat Package	LQFP	LC	98ASH70029A