



Welcome to [E-XFL.COM](#)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	S08
Core Size	8-Bit
Speed	40MHz
Connectivity	CANbus, I ² C, LINbus, SCI, SPI
Peripherals	LVD, POR, PWM, WDT
Number of I/O	25
Program Memory Size	60KB (60K x 8)
Program Memory Type	FLASH
EEPROM Size	2K x 8
RAM Size	4K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 10x12b
Oscillator Type	External
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	32-LQFP
Supplier Device Package	32-LQFP (7x7)
Purchase URL	https://www.e-xfl.com/product-detail/nxp-semiconductors/s9s08dz60f2mlc

表 4-3. 高端页面寄存器总结 (第 1 页, 共 3 页)

地址	寄存器名称	位 7	6	5	4	3	2	1	位 0
0x1845	PTAPS	PTAPS7	PTAPS6	PTAPS5	PTAPS4	PTAPS3	PTAPS2	PTAPS1	PTAPS0
0x1846	PTAES	PTAES7	PTAES6	PTAES5	PTAES4	PTAES3	PTAES2	PTAES1	PTAES0
0x1847	预留	—	—	—	—	—	—	—	—
0x1848	PTBPE	PTBPE7	PTBPE6	PTBPE5	PTBPE4	PTBPE3	PTBPE2	PTBPE1	PTBPE0
0x1849	PTBSE	PTBSE7	PTBSE6	PTBSE5	PTBSE4	PTBSE3	PTBSE2	PTBSE1	PTBSE0
0x184A	PTBDS	PTBDS7	PTBDS6	PTBDS5	PTBDS4	PTBDS3	PTBDS2	PTBDS1	PTBDS0
0x184B	预留	—	—	—	—	—	—	—	—
0x184C	PTBSC	0	0	0	0	PTBIF	PTBACK	PTBIE	PTBMOD
0x184D	PTBPS	PTBPS7	PTBPS6	PTBPS5	PTBPS4	PTBPS3	PTBPS2	PTBPS1	PTBPS0
0x184E	PTBES	PTBES7	PTBES6	PTBES5	PTBES4	PTBES3	PTBES2	PTBES1	PTBES0
0x184F	预留	—	—	—	—	—	—	—	—
0x1850	PTCPE	PTCPE7	PTCPE6	PTCPE5	PTCPE4	PTCPE3	PTCPE2	PTCPE1	PTCPE0
0x1851	PTCSE	PTCSE7	PTCSE6	PTCSE5	PTCSE4	PTCSE3	PTCSE2	PTCSE1	PTCSE0
0x1852	PTCDS	PTCDS7	PTCDS6	PTCDS5	PTCDS4	PTCDS3	PTCDS2	PTCDS1	PTCDS0
0x1853– 0x1857	预留	—	—	—	—	—	—	—	—
0x1858	PTDPE	PTDPE7	PTDPE6	PTDPE5	PTDPE4	PTDPE3	PTDPE2	PTDPE1	PTDPE0
0x1859	PTDSE	PTDSE7	PTDSE6	PTDSE5	PTDSE4	PTDSE3	PTDSE2	PTDSE1	PTDSE0
0x185A	PTDDS	PTDDS7	PTDDS6	PTDDS5	PTDDS4	PTDDS3	PTDDS2	PTDDS1	PTDDS0
0x185B	预留	—	—	—	—	—	—	—	—
0x185C	PTDSC	0	0	0	0	PTDIF	PTDACK	PTDIE	PTDMOD
0x185D	PTDPS	PTDPS7	PTDPS6	PTDPS5	PTDPS4	PTDPS3	PTDPS2	PTDPS1	PTDPS0
0x185E	PTDES	PTDES7	PTDES6	PTDES5	PTDES4	PTDES3	PTDES2	PTDES1	PTDES0
0x185F	预留	—	—	—	—	—	—	—	—
0x1860	PTEPE	PTEPE7	PTEPE6	PTEPE5	PTEPE4	PTEPE3	PTEPE2	PTEPE1	PTEPE0
0x1861	PTESE	PTESE7	PTESE6	PTESE5	PTESE4	PTESE3	PTESE2	PTESE1	PTESE0
0x1862	PTEDS	PTEDS7	PTEDS6	PTEDS5	PTEDS4	PTEDS3	PTEDS2	PTEDS1	PTEDS0
0x1863– 0x1867	预留	—	—	—	—	—	—	—	—
0x1868	PTFPE	PTFPE7	PTFPE6	PTFPE5	PTFPE4	PTFPE3	PTFPE2	PTFPE1	PTFPE0
0x1869	PTFSE	PTFSE7	PTFSE6	PTFSE5	PTFSE4	PTFSE3	PTFSE2	PTFSE1	PTFSE0
0x186A	PTFDS	PTFDS7	PTFDS6	PTFDS5	PTFDS4	PTFDS3	PTFDS2	PTFDS1	PTFDS0
0x186B– 0x186F	预留	—	—	—	—	—	—	—	—
0x1870	PTGPE	0	0	PTGPE5	PTGPE4	PTGPE3	PTGPE2	PTGPE1	PTGPE0
0x1871	PTGSE	0	0	PTGSE5	PTGSE4	PTGSE3	PTGSE2	PTGSE1	PTGSE0
0x1872	PTGDS	0	0	PTGDS5	PTGDS4	PTGDS3	PTGDS2	PTGDS1	PTGDS0
0x1873– 0x187F	预留	—	—	—	—	—	—	—	—
0x1880	CANCTL0	RXFRM	RXACT	CSWAI	SYNCH	TIME	WUPE	SLPRQ	INITRQ

如果密钥启用（KEYEN）位为 1，那么 8 字节对比密钥可用于暂时脱离内存安全的限制。这种密钥机制只能通过安全内存中运行的用户代码访问。（安全密钥不能通过后台调试命令直接输入。）这个安全密钥可通过将 KEYEN 位设为 0 来完全禁用。如果这个安全密钥被禁用，那么脱离安全限制的唯一方式是整体擦除 Flash（通常通过后台调试接口）并确认 Flash 是空的。为了避免在下次复位后返回到安全模式，应该将安全位（SEC）设置为非安全状态（1: 0）。

4.4 RAM

MC9S08DZ60 系列包括静态 RAM。RAM 中 0x0100 以下的位置可以使用更高效的直接寻址模式访问，而这一区域中的任何单一比特可以通过位操作指令（BCLR、BSET、BRCLR 和 BRSET）访问。首选的方式是在这一区域中查找 RAM 最频繁访问的程序变量。

在 MCU 处于低功耗等待、Stop2 或 Stop3 模式时，RAM 会保留数据。加电启动时，RAM 中的内容不会被初始化。如果电源电压没有降低到 RAM 保留 (V_{RAM}) 的最低值以下，RAM 数据就不会受到复位的任何影响。

为了实现与 M68HC05 MCU 的兼容性，HCS08 会将栈指针复位为 0x00FF。在 MC9S08DZ60 系列中，最好的方法通常是将栈指针重新初始化到 RAM 顶部，以便使经常被访问的 RAM 变量和位可寻址程序变量处于直接寄存器。复位初始化程序（其中的 RamLast 等于飞思卡尔半导体等同文件中 RAM 的最高地址）中包含以下两个指令序列。

```
LDHX    #RamLast+1    ;point one past RAM
TXS                      ;SP<-(H:X-1)
```

在启用了安全性的情况下，RAM 被认为是一种安全的内存资源，不能通过 BDM 或非安全内存中执行代码来访问。若欲了解有关安全特性的更详尽描述，请参见 4.5.9，“安全性”。

4.5 Flash 和 EEPROM

MC9S08DZ60 系列器件包括 Flash 和 EEPROM 存储器。这些存储器主要用于保存程序和数据。在线编程使正在运行的程序和数据可以在应用产品的最终组装完成后分别上载到 Flash 和 EEPROM 中。我们可以通过单线后台调试接口对阵列进行编程。由于擦除和编程操作不需要特殊的电压，所以也可以通过其他软件控制的通信路径来实现应用编程。有关在线和应用内编程的更详尽描述，请参见“HCS08 系列参考手册，第 1 卷”（飞思卡尔半导体文件编号 HCS08RMv1）。

4.5.1 特性

Flash 和 EEPROM 存储器具有以下特性：

- 阵列大小请参见表 1-1
- Flash 分区大小：768 字节
- EEPROM 分区大小：可选 4 字节或 8 字节分区映射操作
- 单一电源程序和擦除
- 用于快速编程和擦除操作的命令接口
- 一般电压和温度下最多 100,000 个编程 / 擦除循环
- 灵活的块保护和向量重定向



图 4-5. Flash 和 EEPROM 时钟分频寄存器 (FCDIV)

表 4-7. FCDIV 寄存器字段描述

字段	描述
7 DIVLD	Divisor 加载状态标识 — 当置 1 时，这个只读状态标记指出 FCDIV 寄存器自从复位后已有写入。复位会清除该位而且第一次写入该寄存器的操作将导致该位被置 1，不管写入什么数据。 0 FCDIV 自复位后没有写入；Flash 和 EEPROM 的擦除和编程操作被禁止。 1 FCDIV 自复位后已写入；Flash 和 EEPROM 的擦除和编程操作已开启。
6 PRDIV8	预分频（分频）Flash 和 EEPROM 时钟除以 8（该位只设置一次。） 0 Flash 和 EEPROM 时钟分频器的时钟输入为总线速率时钟。 1 Flash 和 EEPROM 时钟分频器的时钟输入为总线速率时钟除以 8。
5:0 DIV	Divisor for Flash 和 EEPROM 时钟分频器 — 这些位只写入一次。Flash 和 EEPROM 时钟分频器用 6 位 DIV 字段中的值除总线速率时钟（如果 PRDIV8 = 1，则用总线速率时钟除以 8）再加 1。最后的内部 Flash 和 EEPROM 时钟的频率必须在 200 kHz 到 150 kHz 的范围内，这样才能使 Flash 和 EEPROM 正常运行。编程 / 擦除定时脉冲为这个内部 Flash 和 EEPROM 时钟的一个循环，这相当于 5 ms 到 6.7 ms。自动编程逻辑使用这些脉冲的整数来完成擦除或编程操作。请参见 等式 4-1 和 等式 4-2。

if PRDIV8 = 0 – $f_{FCLK} = f_{Bus} \div (DIV + 1)$ 等式 4-1

if PRDIV8 = 1 – $f_{FCLK} = f_{Bus} \div (8 \times (DIV + 1))$ 等式 4-2

表 4-8 为给定总线频率上 PRDIV8 和 DIV 的相应值。

表 4-8. Flash 和 EEPROM 时钟分频器设置

f_{Bus}	PRDIV8 (二进制)	DIV (十进制)	f_{FCLK}	编程 / 擦除定时脉冲 (最少 5 μs , 最多 6.7 μs)
20 MHz	1	12	192.3 kHz	5.2 μs
10 MHz	0	49	200 kHz	5 μs
8 MHz	0	39	200 kHz	5 μs
4 MHz	0	19	200 kHz	5 μs
2 MHz	0	9	200 kHz	5 μs
1 MHz	0	4	200 kHz	5 μs
200 kHz	0	0	200 kHz	5 μs
150 kHz	0	0	150 kHz	6.7 μs

第 5 章

复位、中断和系统总控制

5.1 介绍

本章详细介绍 MC9S08DZ60 系列的基本复位和中断机制，以及它们的各种源。外围模块的某些中断源在本数据手册的其他章节中进行了更详细地讨论。本节收集了所有复位和中断源的基本报文，以便参考。而有些复位和中断源，包括计算机正常操作（COP）的看门狗，并不是作为片上外围系统的一部分而有其独立的章节进行介绍。

5.2 特性

复位和中断功能包括：

- 多源复位，实现灵活的系统配置和可靠操作
- 复位状态寄存器 (SRS)，显示最新的复位源
- 各个模块的单独中断向量（减少轮询开销），参见表 5-1

5.3 MCU 复位

复位 MCU 提供了一条从已知初始条件启动处理的途径。复位期间，大部分控制和状态寄存器被迫使用初始值，并从复位向量 (0xFFFF:0xFFFF) 上载程序计数器。片上外围模块被禁止，I/O 管脚初始配置为上拉器件被禁止的通用高阻抗输入。条件码寄存器 (CCR) 中的 I 位被设置用来拦截可隐藏中断，以使用户程序有机会对堆栈指针 (SP) 和系统控制设置进行初始化（如需了解中断 (I) 位的相关信息，请参见 CPU 章节）。SP 在复位时强制设为 0x00FF。

MC9S08DZ60 系列有 8 个用于复位的源：

- 加电复位 (POR)
- 外部管脚复位 (PIN)
- 计算机正常操作 (COP) 定时器
- 非法操作码检测 (ILOP)
- 非法地址检测 (ILAD)
- 低电压检测 (LVD)
- 时钟丢失 (LOC)
- 后台调试强制复位 (BDFR)

上述复位源（后台调试强制复位除外）在系统复位状态寄存器 (SRS) 中都有一个相关位。

第 6 章

并行输入 / 输出控制

本小节解释了与并行输入 / 输出和管脚控制相关的软件控制。MC9S08DZ60 系列有 7 个并行输入 / 输出端口，这 7 个端口总共包含 53 个输入 / 输出管脚和 1 个仅输入管脚。如需了解这些管脚的管脚分配和外部硬件注意事项的更多信息，请参见第 2 章，“管脚和连接”。

这些管脚中的很多都在片上外围设备中共用，如定时器系统、通信系统和管脚中断，如表 2-1 所示。外围设备模块的优先级把通用输入 / 输出功能的优先级高，因此当使能某个外围设备时，与该共用管脚相关的输入 / 输出功能被禁止。

复位后，共用外围设备功能被禁止，管脚被配置为输入（PTxDDn = 0）。每个管脚的管脚控制功能都配置如下：斜率控制使能（PTxSEn = 1）、低驱动强度选定（PTxDSn = 0）、内部上拉被禁止（PTxPEN = 0）。

注意

不是所有封装都提供通用输入 / 输出管脚。为了避免从输入引脚浮接抽取过多电流，应用程序中的用户复位初始化程序必须要么使能片上拉器件，要么将未连接管脚的方向更改为输出，使管脚不会浮接。

6.1 端口数据和数据方向

通过端口数据寄存器执行并行输入 / 输出读取 / 写入。不管是输入还是输出方向，都由端口数据方向寄存器控制。图 6-1 中的块状示意图介绍了单个管脚的并行输入 / 输出端口功能。

数据方向控制位（PTxDDn）决定是否启动相关管脚使用的输出缓冲器，同时控制端口数据寄存器读取的源。相关管脚的输入缓冲器总是处于使能状态，除非管脚用作模拟功能或输出管脚。

当为管脚使能共用数字功能时，输出缓冲器由共用功能控制。但是，数据方向寄存器位将继续控制端口数据寄存器读取的源。

当为管脚使能共用模拟功能时，输出和输出缓冲器都被禁止。当该位为输入位（PTxDDn = 0），输入缓冲器禁止时，任意端口数据位的读数均为 0。总体来说，每当数字功能和模拟功能共用一个管脚时，模拟功能都优先。因此数字和模拟功能同时使能时，管脚由模拟功能控制。

一个不错的编程习惯是在把端口管脚方向修改为输出前就写入端口数据寄存器，这确保不会用在端口数据寄存器内的旧数据值来临时驱动管脚。

6.5.1.5 A 端口驱动强度选择寄存器 (PTADS)

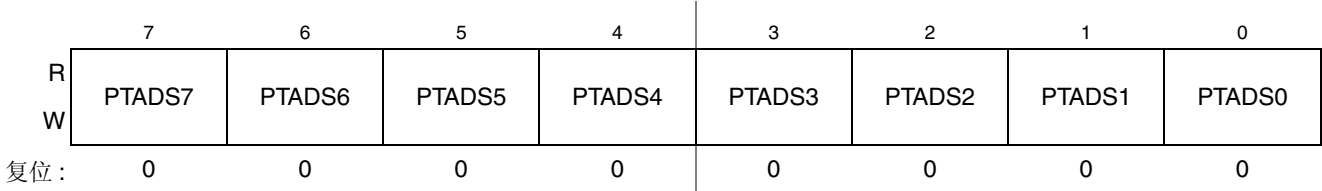


图 6-7. A 端口寄存器的驱动强度选择 (PTADS)

表 6-5. PTADS 寄存器字段描述

字段	描述
7:0 PTADS[7:0]	A 端口位的输出驱动强度选择 — 这些控制位为相关 PTA 管脚选择低输出驱动和高输出驱动。对于配置为输入的 A 端口管脚，这些位不会产生任何影响。 0 A 端口位 - 选择的低输出驱动强度。 1 A 端口位 - 选择的高输出驱动强度。

6.5.1.6 A 端口中断状态和控制寄存器 (PTASC)

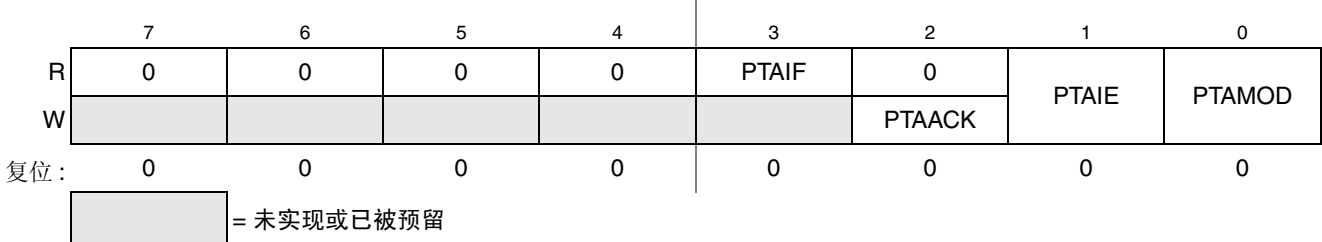


图 6-8. A 端口中断状态和控制寄存器 (PTASC)

表 6-6. PTASC 寄存器字段描述

字段	描述
3 PTAIF	A 端口中断标志 — PTAIF 显示是否检测到 A 端口中断。写入对 PTAIF 没有任何影响。 0 未检测到 A 端口中断。 1 检测到 A 端口中断。
2 PTAACK	A 端口中断确认 — 向 PTAACK 写入 1 是标记清除机制的一部分。PTAACK 的读数总为 0。
1 PTAIE	A 端口中断使能 — PTAIE 决定是否请求 A 端口中断。 0 A 端口中断请求禁止。 1 A 端口中断请求使能。
0 PTAMOD	A 端口检测模式 — PTAMOD（同 PTAES 位一起）控制着 A 端口中断管脚的检测模式。 0 A 端口管脚只检测边沿。 1 A 端口管脚同时检测边沿和电平。

表 7-2. 指令集小结 (第 4 页, 共 9 页)

Source Form	Operation	Address Mode	Object Code	Cycles	Cyc-by-Cyc Details	Affect on CCR	
						V 1 1 H	I N Z C
CMP #opr8i CMP opr8a CMP opr16a CMP oprx16,X CMP oprx8,X CMP ,X CMP oprx16,SP CMP oprx8,SP	比较存储器和累加器 A - M (CCR 已更新, 但操作数未变)	IMM DIR EXT IX2 IX1 IX SP2 SP1	A1 ii B1 dd C1 hh ll D1 ee ff E1 ff F1 9E D1 ee ff 9E E1 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	↑ 1 1 -	- ↓ ↓ ↓
COM opr8a COMA COMX COM oprx8,X COM ,X COM oprx8,SP	补数 (1 的补数) $M \sim (\overline{M}) = \$FF - (M)$ $A \sim (\overline{A}) = \$FF - (A)$ $X \sim (\overline{X}) = \$FF - (X)$ $M \sim (\overline{M}) = \$FF - (M)$ $M \sim (\overline{M}) = \$FF - (M)$ $M \sim (\overline{M}) = \$FF - (M)$	DIR INH INH IX1 IX SP1	33 dd 43 53 63 ff 73 9E 63 ff	5 1 1 5 4 6	rffwpp p p rffwpp rffp prffwpp	0 1 1 -	- ↓ ↓ 1
CPHX opr16a CPHX #opr16i CPHX opr8a CPHX oprx8,SP	比较索引寄存器 (H:X) 和存储器 (H:X) - (M:M + \$0001) (CCR 已更新, 但操作数未变)	EXT IMM DIR SP1	3E hh ll 65 jj kk 75 dd 9E F3 ff	6 3 5 6	prrrfpp ppp rrfpp prrrfpp	↑ 1 1 -	- ↓ ↓ ↓
CPX #opr8i CPX opr8a CPX opr16a CPX oprx16,X CPX oprx8,X CPX ,X CPX oprx16,SP CPX oprx8,SP	比较 X (索引寄存器低) 和存储器 X - M (CCR 已更新, 但操作数未变)	IMM DIR EXT IX2 IX1 IX SP2 SP1	A3 ii B3 dd C3 hh ll D3 ee ff E3 ff F3 9E D3 ee ff 9E E3 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	↑ 1 1 -	- ↓ ↓ ↓
DAA	十进调整累加器 BCD 值的 ADD 或 ADC 后	INH	72	1	p	U 1 1 -	- ↓ ↓ ↓
DBNZ opr8a,rel DBNZ rel DBNZX rel DBNZ oprx8,X,rel DBNZ ,X,rel DBNZ oprx8,SP,rel	减量 A, X, 或 M, 如果非 0, 分支 (如果 (result) $\neq$ 0) DBNZX 影响 X 而非 H	DIR INH INH IX1 IX SP1	3B dd rr 4B rr 5B rr 6B ff rr 7B rr 9E 6B ff rr	7 4 4 7 6 8	rffwpppp fppp fppp rffwpppp rffwppp prffwpppp	- 1 1 -	- - - -
DEC opr8a DECA DECX DEC oprx8,X DEC ,X DEC oprx8,SP	减量 $M \sim (M) - \$01$ $A \sim (A) - \$01$ $X \sim (X) - \$01$ $M \sim (M) - \$01$ $M \sim (M) - \$01$ $M \sim (M) - \$01$	DIR INH INH IX1 IX SP1	3A dd 4A 5A 6A ff 7A 9E 6A ff	5 1 1 5 4 6	rffwpp p p rffwpp rffp prffwpp	↑ 1 1 -	- ↓ ↓ -
DIV	除 $A \sim (H:A)^3(X)$; H 余数	INH	52	6	fffffp	- 1 1 -	- - ↓ ↓
EOR #opr8i EOR opr8a EOR opr16a EOR oprx16,X EOR oprx8,X EOR ,X EOR oprx16,SP EOR oprx8,SP	存储器和累加器 " 异或 " $A \sim (A \oplus M)$	IMM DIR EXT IX2 IX1 IX SP2 SP1	A8 ii B8 dd C8 hh ll D8 ee ff E8 ff F8 9E D8 ee ff 9E E8 ff	2 3 4 4 3 3 5 4	pp rpp prpp prpp rpp rfp pprpp prpp	0 1 1 -	- ↓ ↓ -

10.2.6 特性

ADC 模块的特性包括：

- 具有 12 位分辨率的线性逐次逼近算法；
- 高达 28 个模拟输入；
- 12、10 或 8 位右对齐输出格式；
- 单次转换或连续转换（单转换后自动返回空闲状态）；
- 采样时间和转换速度 / 功率可配置；
- 转换完成标志和中断；
- 最多可选择 4 个输入时钟源；
- 在等待或 STOP3 模式下实现了低噪音运行；
- 异步时钟源实现了低噪音运行；
- 可选的异步硬件转换触发；
- 与小于、大于或等于可编程值自动比较的中断；

10.2.7 结构图

图 10-2 是 ADC 模块的结构图

11.2.3 结构图

图 11-3 是 ICC 的结构图。

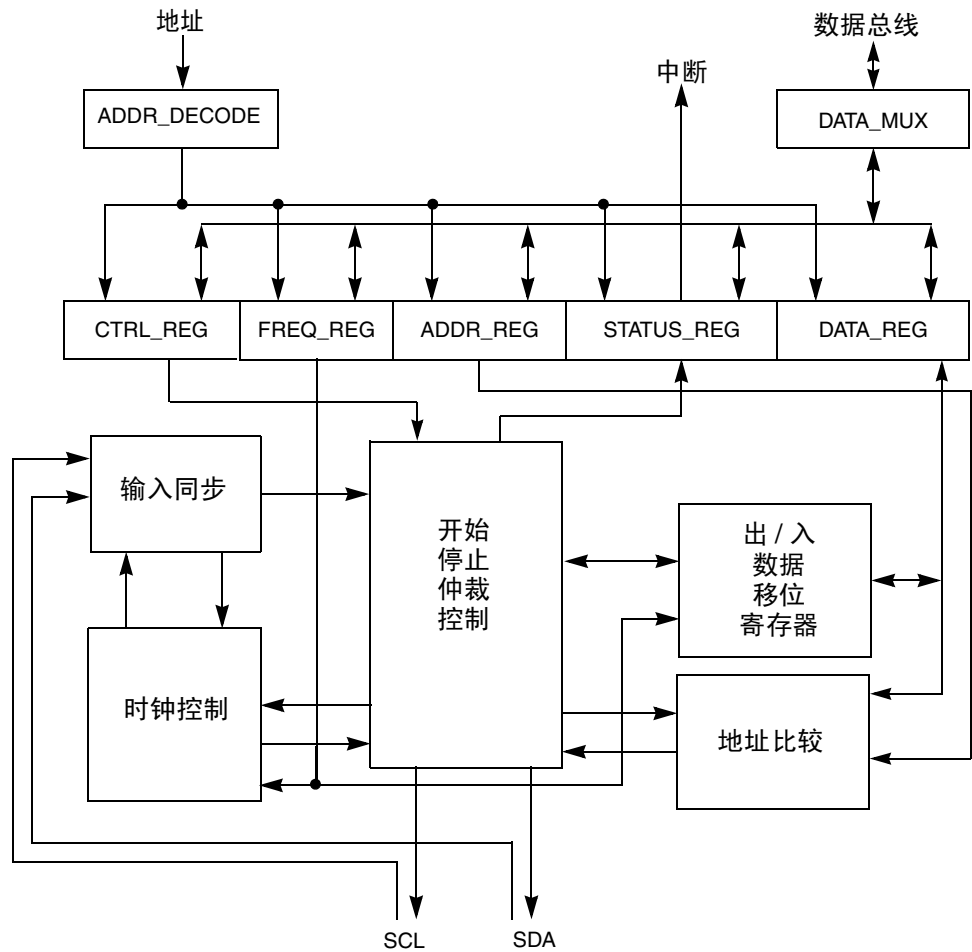


图 11-2. IIC 功能结构图

11.3 外部信号描述

本节描述了用户可连接各个管脚信号。

11.3.1 SCL — 串行时钟线

双向 SCL 是 IIC 系统的串行时钟线。

11.3.2 SDA — 串行数据线

双向 SDA 是 IIC 系统的串行数据线。

表 11-2. IICF 字段描述

字段	描述
7–6 MULT	IIC 倍频因子。MULT 位定义倍频因子 mul。该倍频因子与 SCL 分频器一起，共同生成 IIC 波特率。MULT 位定义的倍频因子 mul 如下： 00 mul = 01 01 mul = 02 10 mul = 04 11 保留
5–0 ICR	IIC 时钟率。IIC 位用来预分频总线时钟，以便进行比特率选择。这些位和 MULT 位确定 IIC 波特率、SDA 保持时间、SCL 开始保持时间和 SCL 停止保持时间。表 11-4 为 ICR 的相应值提供了 SCL 分频器和保持值。 由倍频因子 mul 和 SCL 分频器生成 IIC 波特率。 $\text{IIC baud rate} = \frac{\text{bus speed (Hz)}}{\text{mul} \times \text{SCLdivider}} \quad \text{等式 11-1}$ SDA 保持时间是从 SCL（IIC 时钟）的下降边沿到 SDA（IIC 数据）变化的延迟。 $\text{SDA 保持时间} = \text{总线周期 (s)} \times \text{mul} \times \text{SDA 保持值} \quad \text{等式 11-2}$ SCL 开始保持时间是从 SDA（IIC 数据）的下降边沿（这时 SCL 处于高一开始状态）到 SCL（IIC 时钟）下降边沿的延迟。 $\text{SCL 开始保持时间} = \text{总线周期 (s)} \times \text{mul} \times \text{SCL 开始保持值} \quad \text{等式 11-3}$ SCL 停止保持时间是从 SCL（IIC 时钟）的上升边沿到 SDA（IIC 数据）上升边沿的延迟（这时 SCL 处于高一停止状态） $\text{SCL 停止保持时间} = \text{总线周期 (s)} \times \text{mul} \times \text{SCL 停止保持值} \quad \text{等式 11-4}$

例如，如果总线速率为 8 MHz，下表显示了不同 ICR 和 MULT 选择为达到 100kbps 的 IIC 波特率的可能保持时间值。

表 11-3. 8 MHz 总线速度保持时间值

MULT	ICR	保持时间 (μ s)		
		SDA	SDA SCL 开始	SCL 停止
0x2	0x00	3.500	3.000	5.500
0x1	0x07	2.500	4.000	5.250
0x1	0x0B	2.250	4.000	5.250
0x0	0x14	2.125	4.250	5.125
0x0	0x18	1.125	4.750	5.125

11.4.3 IIC 控制寄存器 (IICC1)

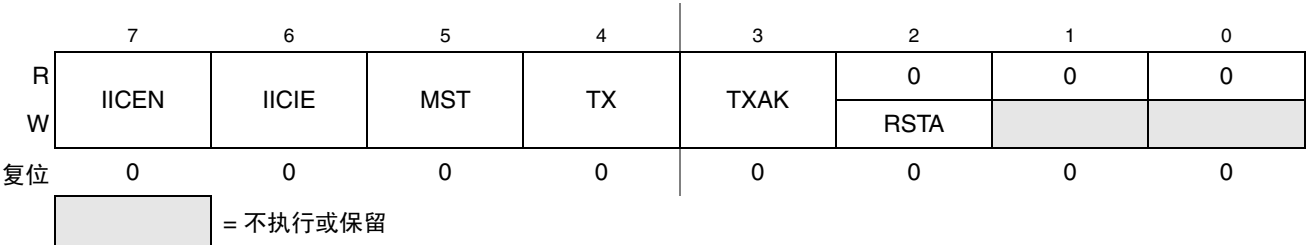


图 11-5. IIC 控制寄存器 (IICC1)

表 11-5. IICC1 字段描述

字段	描述
7 IICEN	IIC 使能。IICEN 位确定是否使能 IIC 模块。 IIC 禁止 1 IIC 使能
6 IICIE	IIC 中断使能。IICIE 位确定是否请求 IIC 中断。 0 IIC 中断请求禁止 1 IIC 中断请求使能
5 MST	主模式选择。当 MST 位从 0 变为 1，总线上产生启动信号，主机模式被选择。当 MST 位从 1 变为 0，生成停止信号，运行模式从主机模式变为从机模式 0 从机模式 1 主机模式
4 TX	发送模式选择。TX 位选择主从传输的方向。在主模式中，TX 位应根据所需传输类型进行设置。因此对于地址周期来说，TX 位始终很高。当作为从机时，TX 位应由软件根据状态寄存器中的 SRW 位进行设置。 0 接收 1 发送
3 TXAK	发送应答使能。在主从接收器的数据应答周期中，该位设置驱动输出到 SDA 的值。 0 收到一个数据字节后，向总线发送应答信号 1 不发送应答信号响应
2 RSTA	重复开始。向该位写入 1 产生重复启动条件，假设它是当前主机的情况。该位始终读取为 0。在错误时间试图重复会导致仲裁丢失。

11.4.4 IIC 状态寄存器 (IICS)

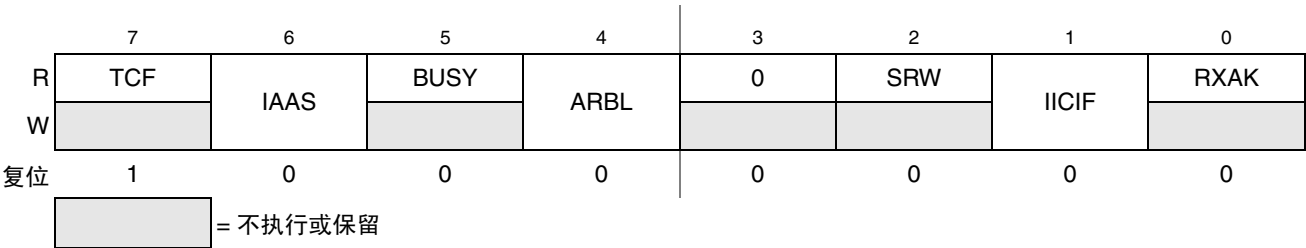


图 11-6. IIC 状态寄存器 (IICS)

第 12 章

飞思卡尔控制器局域网 (S08MSCANV1)

12.1 介绍

飞思卡尔控制器局域网（MSCAN）是一种通信控制器，它按照 1991 年 9 月定义的 Bosch 规范执行 CAN 2.0A/B 协议。为了全面了解 MSCAN 规范，我们建议首先阅读 Bosch 规范，熟悉本文档包含的一些条款和概念。

尽管 CAN 协议并非是汽车应用的专用协议，但它旨在满足车辆串行数据总线的特定规范，如实时处理、车辆在 EMI 环境中的可靠运行、成本高效性和所需带宽等。

MSCAN 使用先进的缓冲器安排，实现了可预测的实时性，并简化了应用软件。

MSCAN 模块应用在 MC9S08DZ60 系列的所有器件上。

12.1.1 特性

MSCAN 的基本特性如下：

- 实施 CAN 协议—2.0A/B 版
 - 标准和扩展数据帧
 - 0-8 字节数据长度
 - 高达 1 Mbps¹ 的可编程比特率¹
 - 支持远程帧
- 5 个具有 FIFO 存储机制的接收缓冲器
- 3 个具有使用“本地优先”概念的内部优先顺序的发送缓冲器 t
- 灵活可掩码标识符滤波器支持 2 个全尺寸（32 位）扩展标识符滤波器或 4 个 16 位滤波器或 8 个 8 位滤波器
- 集成低通滤波器的可编程唤醒功能 r
- 可编程环回模式支持自测操作
- 可编程监听模式用于 CAN 总线监控
- 可编程总线脱离恢复功能
- 独立的信号和中断功能适用于所有 CAN 接收器和发射器错误状态（警报、错误严重状态、总线脱离）
- 可编程 MSCAN 时钟源，采用总线时钟或振荡器时钟
- 内部计时器提供给接收和发送的报文的时间标签
- 三种低功耗模式：睡眠、关机和 MSCAN 使能
- 配置寄存器的全局初始化

12.1.2 运行模式

以下运行模式是 MSCAN 的特定运行模式。详情 12.5，“功能描述”。

- 监听模式
- MSCAN 睡眠模式
- MSCAN 初始化模式
- MSCAN 关机模式
- 环回自测模式

¹ Depending on the actual bit timing and the clock jitter of the PLL.

读取：发现最低排列顺序位设置为 1，所有其他位读为 0

写入：未处于初始化模式的任何时间

表 12-15. CANTBSEL 寄存器字段描述

字段	描述
2:0 TX[2:0]	发送缓冲器选择— 在 CANTXFG 寄存器空间里置位为 1 的最低位（例如 TX1 = 1、TX0 = 1 选择发送缓冲器 TX0；TX1 = 1、TX0 = 0 选择发送缓冲器 TX1）。如果相应 TXEx 位被清除，缓冲器被安排用于传输，所选发送缓冲器的读写接入会被拦截。（参见 12.3.6，“MSCAN 发送器标志寄存器 (CANTFLG)”）。 0 相关报文缓冲器不被选择 1 选择了相关报文缓冲器，如果是最低置 1 位

下面给出了一个 CANTBSEL 寄存器使用的简短编程示例。

Tx 为了获得下一个可用发送缓冲器，应用软件必须读取 CANTFLG 寄存器，并将该值重新写入 CANTBSE 寄存器。在该示例中，Tx 缓冲器 TX1 和 TX2 可用。从 CANTFLG 读取的值因此为 0b0000_0110。当该值重新写入 CANTBSEL 时，CANTXFG 中选择 Tx 缓冲器 TX1，因为设置为 1 的最低位处于位 1。从 CANTBSEL 重新读取该值会导致 0b0000_0010，因为只有设置为 1 的最低位显示。这种机制简化了应用软件选择下一个可用 Tx 缓冲器的逻辑。

- LDD CANTFLG; 读取值为 0b0000_0110
- STD CANTBSEL; 写入值为 0b0000_0110
- LDD CANTBSEL; 读取值为 0b0000_0010

如果取消了所有发送报文缓冲器选择，则不允许访问 CANTXFG 缓冲器寄存器

12.3.11 MSCAN 标识符验收控制寄存器 (CANIDAC)

CANIDAC 寄存器如下所述用于标识符滤波器验收控制。

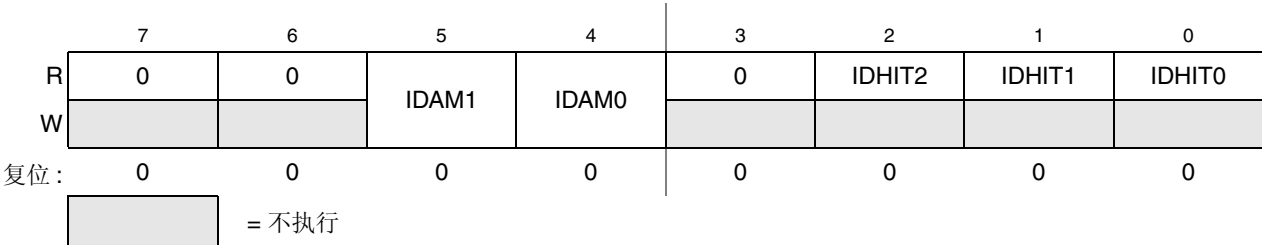


图 12-15. MSCAN 标识符验收控制寄存器 r (CANIDAC)

读取：任何时间

写入：处于初始化模式的任何时间 (INITRQ = 1 and INITAK = 1), except bits IDHITx, 只读位 IDHITx 除外。

表 12-16. CANIDAC 寄存器字段描述

字段	描述
5:4 IDAM[1:0]	标识符接收模式 — CPU 设置这种标志来定义标识符接收滤波器结构（参见 12.5.3，“标识符接收滤波器”）。表 12-17 总结了不同设置。在滤波器关闭模式中，不接收任何报文，因此前景缓冲器永远不会重载。
2:0 IDHIT[2:0]	标识符接收有效标志指示器 — MSCAN 设置这些标志来显示标识符接收有效标志（参见 12.5.3，“标识符接收滤波器”）。表 12-18 总结了不同设置。

Register Name		Bit 7	6	5	4	3	2	1	Bit0
IDR0	R W	ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21
IDR1	R W	ID20	ID19	ID18	SRR ⁽¹⁾	IDE ⁽¹⁾	ID17	ID16	ID15
IDR2	R W	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
IDR3	R W	ID6	ID5	ID4	ID3	ID2	ID1	ID0	RTR ²
DSR0	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR1	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR2	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR3	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR4	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR5	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR6	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DSR7	R W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DLR	R W					DLC3	DLC2	DLC1	DLC0

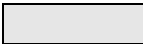
 = Unused, always read 0

图 12-23. 接收 / 发送报文缓冲器 — 扩展标识符映射

¹ SRR 和 IDE 都为 1。

² RTR 的位置在扩展和标准标识符映射间存在差异。

表 12-25. IDR0 寄存器字段描述 — 扩展

字段	描述
7:0 ID[28:21]	扩展格式标识符— 该标识符由 29 个扩展格式位（ID[28:0]）组成。ID28 是最高的位，仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。

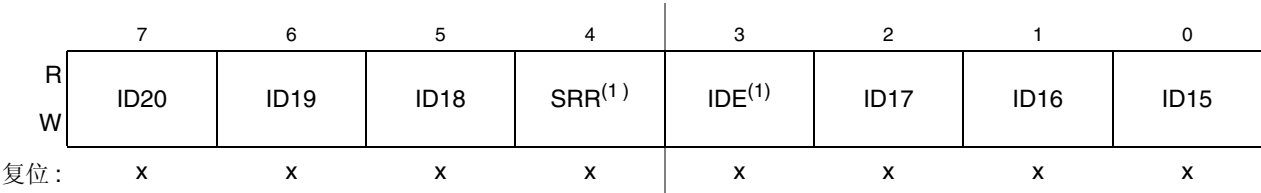


图 12-26. I 标识符寄存器 3（IDR3）— 扩展标识符映射

¹ 1 SRR 和 IDE 都为 1。

表 12-26. 标识符寄存器 1（IDR1）— 扩展标识符映射

字段	描述
7:5 ID[20:18]	扩展格式标识符—该标识符由 29 个扩展格式位（ID[28:0]）组成。ID28 是最高的位，仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。
4 SRR	替代远程请求— 该固定隐性位仅用于扩展格式。它必须由用户为传输缓冲器置位为 1，，并为接收缓冲器在 CAN 总线上置位为接收。
3 IDE	扩展—该标志显示扩展或标准标识符格式是否应用于该缓冲器。在接收缓冲器中，该标志设置为已接收，并向 CPU 显示如何处理缓冲器标识符寄存器。在发送缓冲器中，该标志向 MSCAN 显示将发送的标识符类型。 0 标准格式 （11 位） 1 扩展格式 （29 位） 2:0
2:0 ID[17:15]	扩展格式标识符—该标识符由 29 个扩展格式位（ID[28:0]）组成。ID28 是最高的位，仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。

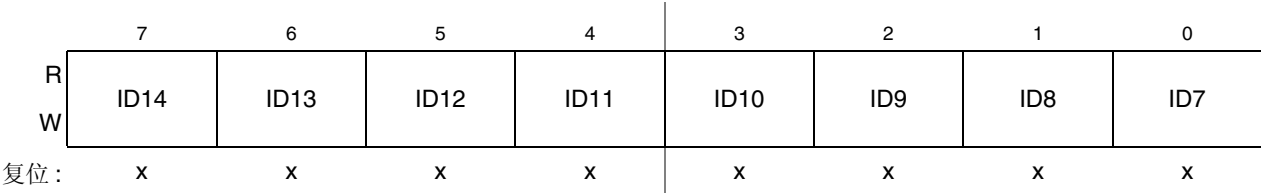


图 12-27. 标识符寄存器 2（IDR2）— 扩展标识符映射

表 12-27. IDR2 寄存器字段说明—扩展

字段	描述
7:0 ID[14:7]	扩展格式标识符—该标识符由 29 个扩展格式位（ID[28:0]）组成。ID28 是最高的位，仲裁流程期间最先在 CAN 总线上发送。标识符的优先级定义为处于最高位的最小二进制数。

表 14-3. SCIXBDL 字段描述

字段	描述
7:0 SBR[7:0]	波特率模数系数 — SBR[12:0] 中的这 13 个位统称为 BR，它们为 SCI 波特率发生器设置模数除数系数。当 BR = 0，SCI 波特率发生器禁止，以降低电源电流。当 BR = 1~8191 时，SCI 波特率 = BUSCLK / (16xBR)。也可参见表 14-2. 中的 BR 位。

14.2.2 SCI 控制寄存器 1(SCIXC1)

该读 / 写寄存器用于控制 SCI 系统的各种可选功能。

	7	6	5	4	3	2	1	0
R	LOOPS	SCISWAI	RSRC	M	WAKE	ILT	PE	PT
W								
复位	0	0	0	0	0	0	0	0

图 14-6. SCI 控制寄存器 1 (SCIXC1)

表 14-4. SCIXC1 字段描述

字段	描述
7 LOOPS	循环模式选择 — 在环回模式和正常的 2 管脚全双工模式之间选择。当 LOOPS = 1，发射器输出内部连接到接收器输入。 0 正常运行 — RxD 和 TxD 使用独立管脚。 1 循环模式或单线模式，发射器输出内部连接到接收器输入（见 <st-blue>RSRC 位）。SCI 不使用 RxD 管脚。
6 SCISWAI	等待模式中的 SCI 停止 0 SCI 时钟继续在等待模式中运行，因此 SCI 可以是唤醒 CPU 的中断源。 1 SCI 时钟在 CPU 处于等待模式时冻结。
5 RSRC	接收器源选择 — 该位没有任何意义或影响，除非 LOOPS 位设置为 1。当 LOOPS = 1 时，接收器输入内部连接到 TxD 管脚，RSRC 决定该连接是否也连接到发射器输出。 0 假设 LOOPS = 1，RSRC = 0 选择内部环回模式，SCI 不使用 RxD 管脚。 1 单线 SCI 模式，其中 TxD 管脚连接到发射器输出和接收器输入。
4 M	9 位或 8 位模式选择 0 正常 — 启动 + 8 个数据位（LSB 先发）+ 停止 1 接收器和发射器使用 9 位数据字符 启动 + 8 个数据位（LSB 先发）+ 第 9 个数据位 + 停止
3 WAKE	接收器唤醒方法选择 — 详情请 14.3.3.2，“接收器唤醒操作” 0 闲置线路唤醒 1 地址标记唤醒
2 ILT	闲置线路类型选择 — 将该位设置为 1，确保字符末端的停止位和逻辑 1 位不会计数闲置线路检测逻辑所需的逻辑高电平的 10 或 11 个位时间。如需了解更多信息，14.3.3.2.1，“闲置线路唤醒” 0 开始位后闲置字符位计数开始。 1 停止位后闲置字符位计数开始。

上半部分没有被使用，仅仅通过读 DBGFL 来从 FIFO 中读出数据。每次读 DBGFL 时，FIFO 都会移动，这样通过 DBGFL 的 FIFO 数据端口可以获得下一个数据值。

在触发模式中，FIFO 保存流变化地址，CPU 地址与 FIFO 的输入端有一个延迟。由于这个延迟，如果触发事件本身是一个流变化地址或在触发事件启动 FIFO 后下两个周期中出现了流变化地址，它将不保存在 FIFO 中。如果是结束 - 跟踪的情况，当触发事件是一个流变化，则它将保存为运行的调试器的最后一个流变化入口。

当调试器没有打开时，FIFO 还可以用来生成所执行指令地址的分析。当 ARM = 0, 读 DBGFL 会使最近获取的操作码的地址保存在 FIFO 中。采用分析功能，主机调试器将从 FIFO 中读取地址，即以常规的间隔先读 DBGFL 然后读 DBGFL，。前 8 个值将被丢弃，因为它们对应于初始需要填充 FIFO 的 8 个 DBGFL 读取。DBGFL 和 DBGFL 的其它周期读取则返回关于所执行指令的延迟信息，这样主机调试器可以对执行指令地址进行分析。

17.3.3 流变化信息

为了减少存储在 FIFO 中的信息数量，只保存与使正常的指令执行顺序发生变化的指令相关的信息。知道存储在目标系统中的源和对象代码程序后，外部调试器可以通过来自 FIFO 中存储的大量流变化信息的许多指令来重现执行路径。

对于采用了分支的条件分支指令（分支条件为真），则保存源地址（条件分支操作码的地址）。由于 BRA 和 BRN 指令不是条件的，这些事件不会使流变化信息存储在 FIFO 中。

间接 JMP 和 JSR 指令采用 H:X 间址寄存器对的当前内容，确定目的地址，这样调试系统为任何间接 JMP 或 JSR 保存运行时的目的地址。对于中断，RTI 或 RTS, 目的地址作为流变化信息存储在 FIFO 中。

17.3.4 标记 vs. 强制断点和触发器

标记一词指当指令操作码被取到指令队列时识别它，但是不采取任何其它操作，直到且除非指令被 CPU 真正执行。这种区分非常重要，因为任何因跳转、分支、子例程调用、或中断而发生的流变化都会导致一些指令被取到指令队列，未执行就被丢弃。

强制类型的断点等待当前指令完成，然后执行断点请求操作。通常操作是进入激活背景调试模式，而不是继续用户应用程序中的下一个指令。

标记 vs. 强制这一术语在调试模块的两种情况下使用。第一种情况指从调试模块向 CPU 发送断点请求。第二种情况指从比较器向调试控制逻辑发送匹配信号。当标记类断点发送给 CPU 时，信号与操作码一起进入指令队列，这样当这个操作码被执行时，CPU 将有效地用 BGND 操作码代替被标记的操作码，这样 CPU 进入激活背景调试模式，而不是执行被标记的指令。当 DBGTR 寄存器中的 TRGSEL 控制位被设置为选择标记类操作，比较器 A 或 B 的输出被调试模块中的逻辑块鉴定，这个逻辑块跟踪操作码，如果比较地址的操作码被实际执行，则只向该调试器生成一个触发。每个比较器都有单独的操作码跟踪逻辑，这样整个指令队列一次不只一个比较事件被跟踪。

表 A-2. 绝对最大额定值

编号	参数	符号	值	单位
1	电源电压	V_{DD}	-0.3 to +5.8	V
2	输入电压	V_{In}	-0.3 to $V_{DD} + 0.3$	V
3	瞬时最大电流 单管脚极限（适用于所有端口管脚） ^{1, 2, 3}	I_D	± 25	mA
4	V_{DD} 中的最大电流	I_{DD}	120	mA
5	存储温度	T_{stg}	-55 to +150	°C

- ¹ 输入必须是限定为指定值的电流。要确定所需的电流限定电阻器的值，需要先计算正（ V_{DD} 和负（ V_{SS} ）钳位电压的电阻值，然后使用两个电阻值中的较大者。
- ² 所有功能性非电源管脚内部均钳位在 V_{SS} 和 V_{DD} 。
- ³ 在瞬时和操作最大电流条件下，电源必须维持在操作 V_{DD} 范围内。如果正注入电流（ $V_{In} > V_{DD}$ ）大于 I_{DD} ，则注入电流就可能超出 V_{DD} ，并导致外部电源不可调控。确保外部 V_{DD} 载荷分流大于最大注入电流的电流。当 MCU 不消耗功率时，就会有最大的风险，这样的例子包括：如果当前无系统时钟，或者如果时钟速率非常低，这都会降低总功耗。

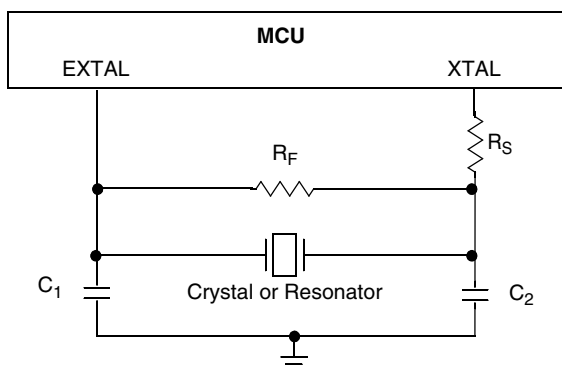
A.4 热特性

本小节提供有关操作温度范围、功耗和封装热阻的信息。I/O 管脚上的功耗一般要比片上逻辑的功耗小，它由用户自己决定而非受 MCU 设计的控制。为了在功率计算中把 $P_{I/O}$ 考虑进去，先需要确定实际管脚电压和 V_{SS} or V_{DD} 间的差，并乘以每个 I/O 管脚的管脚电流。除非出现异常高的管脚电流（大负荷），管脚电压和 V_{SS} or V_{DD} 间的差非常小。

表 A-3. 热特征

编号	C	参数	符号	值	单位	温度代码
1	D	操作温度范围（打包后）	T_A	-40 至 125 -40 至 105 -40 至 85	°C	M V C
2	T	最高结温度 ¹	T_J	135	°C	—
3	D	热阻 ²				
		单层板				
		64- 管脚 LQFP	θ_{JA}	69	°C/W	
		48- 管脚 LQFP	θ_{JA}	75	°C/W	
		32- 管脚 LQFP	θ_{JA}	80	°C/W	
		四层板				
		64- 管脚 LQFP	θ_{JA}	51	°C/W	
		48- 管脚 LQFP	θ_{JA}	51	°C/W	
		32- 管脚 LQFP	θ_{JA}	52	°C/W	

- ¹ 结温度是晶元尺寸、片上功耗、封装热阻、安装点（主板）温度、周围温度、气流、主板上的其他组件功耗及主板热阻的函数。
- ² 结与环境的自然对流。



A.11 MCG 规范

表 A-12. CG 频率规范（温度范围 = -40 至 125 °C）

编号	C	参数	符号	最小值	典型值	最大值	单位
1	P	当 $V_{DD} = 5\text{ V}$ 、温度 = 25 °C 时的工厂调整值	$f_{\text{int_ft}}$	—	31.25	—	kHz
2	P	平均内部参考频率 - 未调整 ¹	$f_{\text{int_ut}}$	25	32.7	41.66	kHz
3	P	平均内部参考频率 - 用户调整	$f_{\text{int_t}}$	31.25	—	39.0625	kHz
4	D	内部参考启动时间	t_{irefst}	—	60	100	us
5	—	DCO 输出频率范围 - 为参考提供的未调整值 ¹ : $f_{\text{dco_ut}} = 1024 \times f_{\text{int_ut}}$	$f_{\text{dco_ut}}$	25.6	33.48	42.66	MHz
6	P	DCO 输出频率范围 - 已调整	$f_{\text{dco_t}}$	32	—	40	MHz
7	C	电压和温度固定时经调整的 DCO 输出频率的分辨率 (使用 FTRIM)	$\Delta f_{\text{dco_res_t}}$	—	± 0.1	± 0.2	% f_{dco}
8	C	电压和温度固定时经调整的 DCO 输出频率的分辨率 (不使用 FTRIM)	$\Delta f_{\text{dco_res_t}}$	—	± 0.2	± 0.4	% f_{dco}
9	P	已调整 DCO 输出频率的电压和温度总误差	$\Delta f_{\text{dco_t}}$	—	+ 0.5 -1.0	± 2	% f_{dco}
10	C	0 - 70 °C 的温度范围内时已调整 DCO 输出频率的总误差	$\Delta f_{\text{dco_t}}$	—	± 0.5	± 1	% f_{dco}
11	C	FLL 获取时间 ²	$t_{\text{fll_acquire}}$	—	—	1	ms
12	D	PLL 获取时间 ³	$t_{\text{pll_acquire}}$	—	—	1	ms
13	C	输出时钟的长时间抖动（平均间隔为 2ms） ⁴	C_{jitter}	—	0.02	0.2	% f_{dco}
14	D	VCO 操作频率	f_{vco}	7.0	—	55.0	MHz
15	D	PLL 参考频率范围	$f_{\text{pll_ref}}$	1.0	—	2.0	MHz
16	T	输出时钟的长期准确性（平均为 2 ms）	$f_{\text{pll_jitter_2ms}}$	—	0.590 ⁵	—	% f_{pll}
17	T	基于 625 ns ⁶ 测量的 PLL 输出时钟抖动	$f_{\text{pll_jitter_625ns}}$	—	0.566 ⁵	—	% f_{pll}
18	D	锁定进入频率容限 ⁷	D_{lock}	± 1.49	—	± 2.98	%
19	D	锁定退出频率容限 ⁸	D_{unl}	± 4.47	—	± 5.97	%