



Welcome to [E-XFL.COM](https://www.e-xfl.com)

What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "[Embedded - Microcontrollers](#)"

Details

Product Status	Active
Core Processor	ARM® Cortex®-M4F
Core Size	32-Bit Single-Core
Speed	160MHz
Connectivity	CSIO, EBI/EMI, I ² C, LINbus, UART/USART
Peripherals	DMA, LVD, POR, PWM, WDT
Number of I/O	63
Program Memory Size	288KB (288K x 8)
Program Memory Type	FLASH
EEPROM Size	-
RAM Size	32K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 16x12b; D/A 2x12b
Oscillator Type	Internal
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	80-LQFP
Supplier Device Package	80-LQFP (12x12)
Purchase URL	https://www.e-xfl.com/product-detail/infineon-technologies/s6e2h14e0agv20000

1. 品種構成

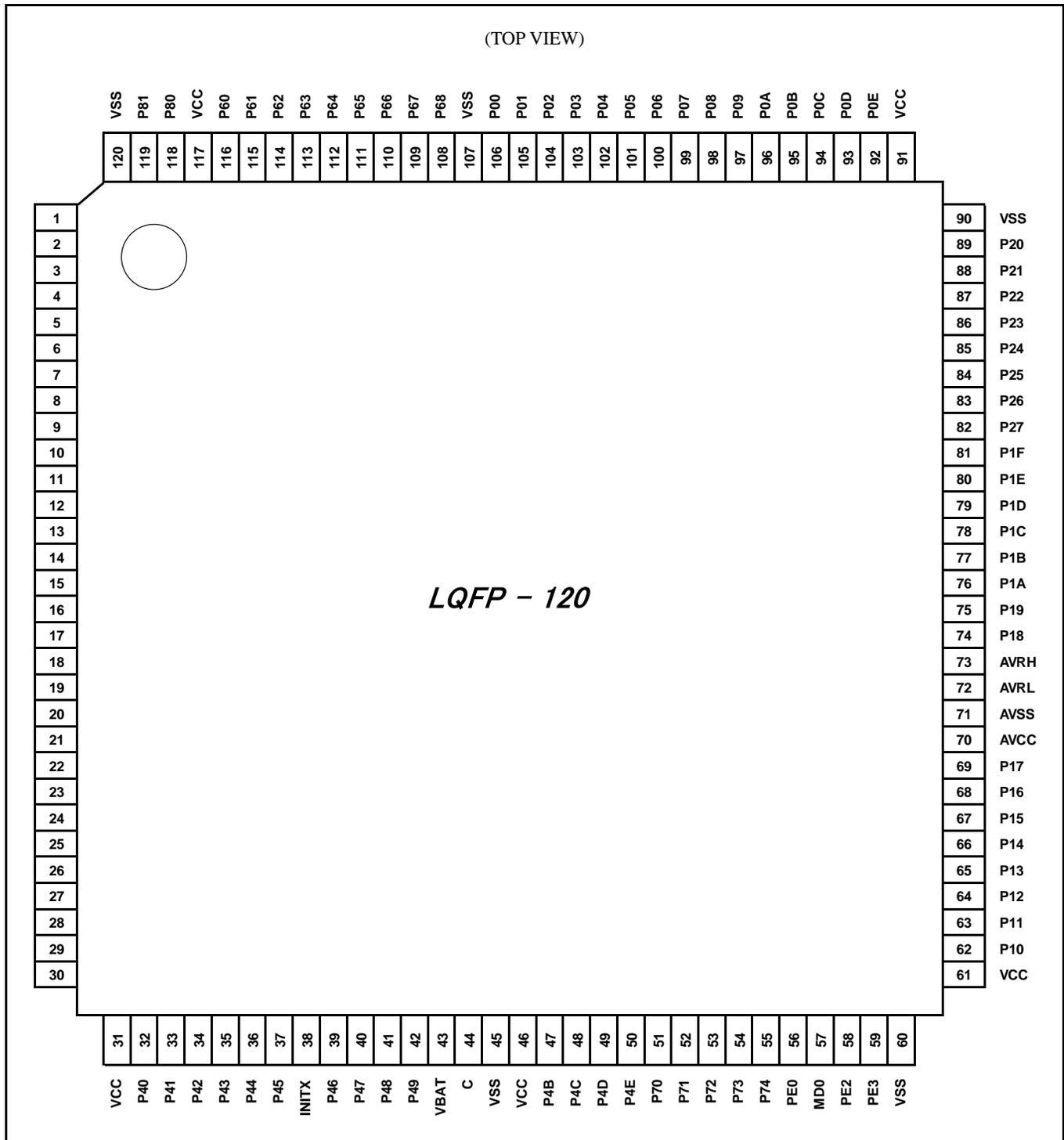
メモリサイズ

品種名	S6E2H14E0A S6E2H14F0A S6E2H14G0A	S6E2H16E0A S6E2H16F0A S6E2H16G0A
メインフラッシュメモリ	256 K バイト	512 K バイト
ワークフラッシュメモリ	32 K バイト	32 K バイト
オンチップ SRAM	32 K バイト	64 K バイト
SRAM0	16 K バイト	32 K バイト
SRAM1	8 K バイト	16 K バイト
SRAM2	8 K バイト	16 K バイト

ファンクション

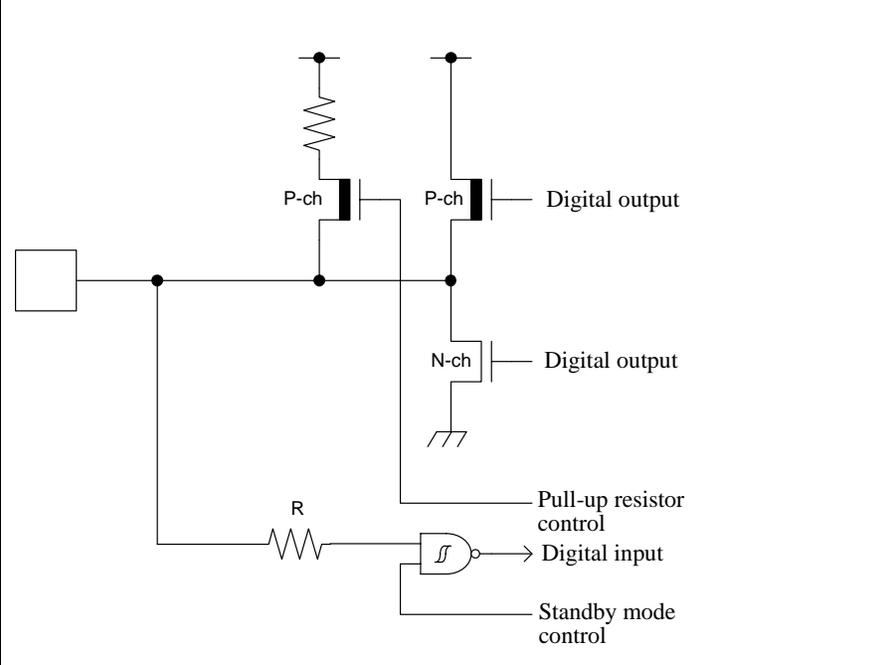
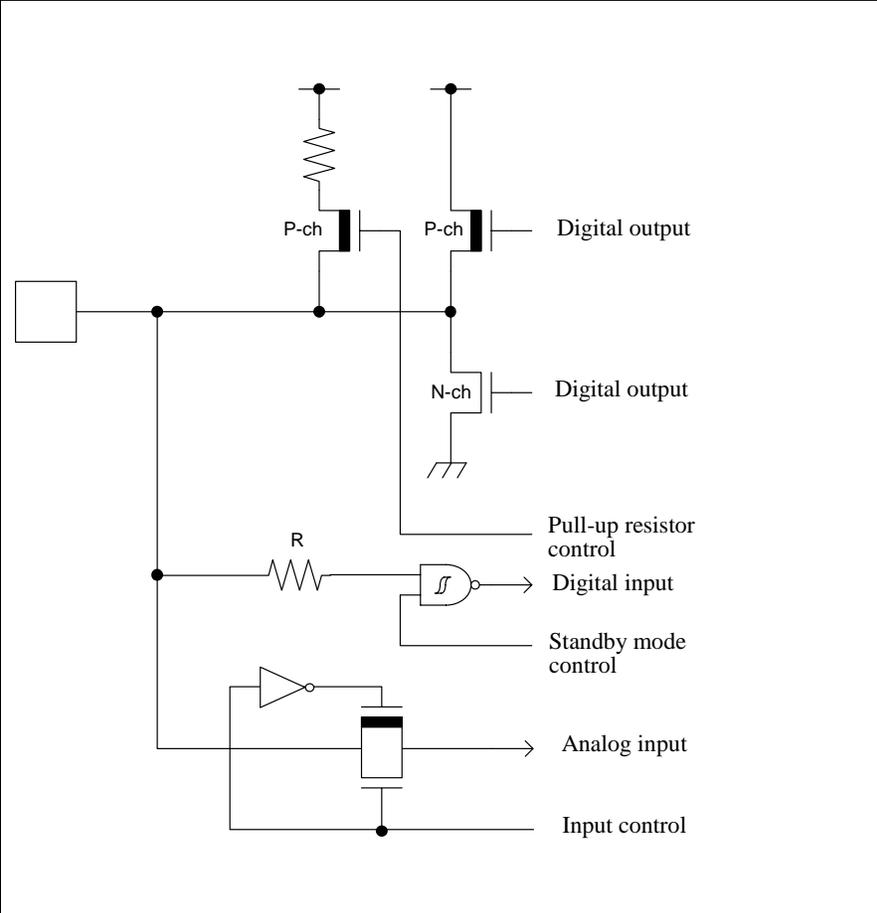
品種名		S6E2H14E0A S6E2H16E0A	S6E2H14F0A S6E2H16F0A	S6E2H14G0A S6E2H16G0A
端子数		80	100	120/121
CPU		Cortex-M4F, MPU, NVIC 128ch.		
	周波数	160 MHz		
電源電圧範囲		2.7 V~5.5 V		
DMAC		8ch.		
DSTC		256ch.		
外部バスインタフェース		Addr:19-bit (最大), R/W data: 8-bit (最大), CS:5 (最大), SRAM, NOR フラッシュ	Addr:25-bit (最大), R/W data: 8-/16-bit (最大), CS:9 (最大), SRAM, NOR フラッシュ, SDRAM	Addr:25-bit (最大), R/W data: 8-/16-bit (最大), CS:9 (最大), SRAM, NOR フラッシュ, NAND フラッシュ, SDRAM
マルチファンクションシリアル (UART/CSIO/LIN/I ² C)		8ch. (最大)		
ベースタイマ (PWC/リロードタイマ/PWM/PPG)		8ch. (最大)		
多機能 タイマ	A/D 起動コンペア	6ch.	3 unit (最大)	
	インプットキャプチャ	4ch.		
	フリーランタイマ	3ch.		
	アウトプットコンペア	6ch.		
	波形ジェネレータ	3ch.		
	PPG	3ch.		
クアドカウンタ		3ch. (最大)		
デュアルタイマ		1 unit		
リアルタイムクロック		1 unit		
時計カウンタ		1 unit		
CRC アクセラレータ		Yes		
ウォッチドッグタイマ		1ch. (SW) + 1ch. (HW)		
外部割込み		16 pin (最大)+ NMI × 1		
I/O ポート		63 pin (最大)	80 pin (最大)	100 pin (最大)
12 ビット A/D コンバータ		16ch. (3 unit)	24ch. (3 unit)	
12 ビット D/A コンバータ		2 unit (最大)		
クロック監視機能(CSV)		Yes		
低電圧検出機能(LVD)		2ch.		
内蔵 CR	高速	4 MHz		
	低速	100 kHz		
デバッグ機能		SWJ-DP/ETM		
ユニーク ID		Yes		

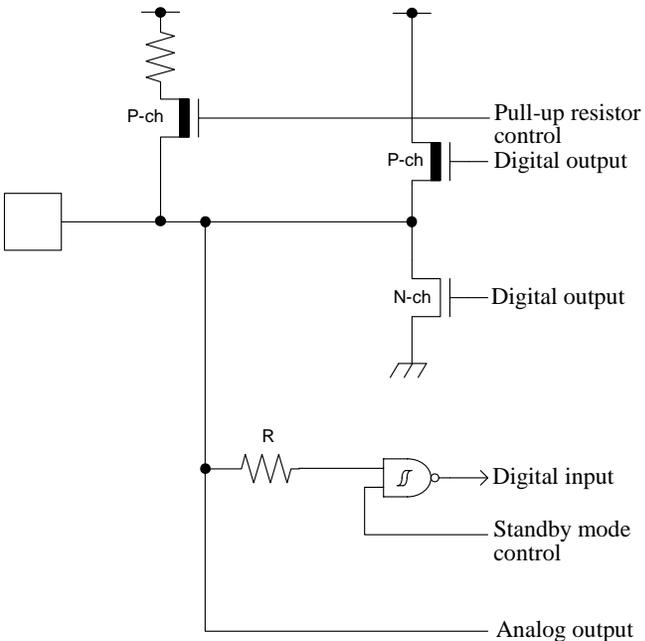
LQM120



端子機能	端子名	機能説明	端子番号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
ベース タイマ 3	TIOA3_0	ベースタイマ ch.3 の TIOA 端子	35	30	-	H5
	TIOA3_1		27	22	17	J1
	TIOA3_2		97	82	67	D7
	TIOB3_0	ベースタイマ ch.3 の TIOB 端子	49	44	34	J8
	TIOB3_1		17	12	12	F2
	TIOB3_2		98	83	-	C7
ベース タイマ 4	TIOA4_0	ベースタイマ ch.4 の TIOA 端子	36	31	21	K3
	TIOA4_1		28	23	18	J2
	TIOA4_2		51	-	-	H6
	TIOB4_0	ベースタイマ ch.4 の TIOB 端子	50	45	35	K8
	TIOB4_1		18	13	-	F1
	TIOB4_2		52	-	-	H7
ベース タイマ 5	TIOA5_0	ベースタイマ ch.5 の TIOA 端子	84	-	-	C9
	TIOA5_1		29	24	19	K2
	TIOA5_2		93	78	63	A9
	TIOB5_0	ベースタイマ ch.5 の TIOB 端子	83	-	-	D8
	TIOB5_1		19	14	-	G1
	TIOB5_2		92	77	62	B9
ベース タイマ 6	TIOA6_0	ベースタイマ ch.6 の TIOA 端子	53	-	-	G7
	TIOA6_1		94	79	64	C8
	TIOA6_2		82	-	-	E7
	TIOB6_0	ベースタイマ ch.6 の TIOB 端子	54	-	-	H8
	TIOB6_1		95	80	65	B8
	TIOB6_2		81	-	-	F7
ベース タイマ 7	TIOA7_0	ベースタイマ ch.7 の TIOA 端子	112	-	-	C4
	TIOA7_1		86	71	57	D11
	TIOA7_2		109	-	-	E5
	TIOB7_0	ベースタイマ ch.7 の TIOB 端子	111	-	-	D4
	TIOB7_1		87	72	58	C10
	TIOB7_2		108	-	-	E6
デバッグ	SWCLK	シリアルワイヤデバッグインタフェースクロック入力端子	105	90	71	B5
	SWDIO	シリアルワイヤデバッグインタフェースデータ入出力端子	103	88	69	C6
	SWO	シリアルワイヤビューワ出力端子	102	87	68	B6
	TCK	JTAG テストクロック入力端子	105	90	71	B5
	TDI	JTAG テストデータ入力端子	104	89	70	C5
	TDO	JTAG デバッグデータ出力端子	102	87	68	B6
	TMS	JTAG テストモード状態入出力端子	103	88	69	C6
	TRACECLK	ETM のトレース CLK 出力端子	101	86	-	D6
	TRACED0	ETM のトレースデータ出力端子	97	82	-	D7
	TRACED1		98	83	-	C7
	TRACED2		99	84	-	B7
	TRACED3		100	85	-	A7
	TRSTX		JTAG テストリセット入力端子	106	91	72

端子機能	端子名	機能説明	端子番号				
			LQFP 120	LQFP 100	LQFP 80	FBGA 121	
クアッド カウンタ 2	AIN2_0	QPRC ch.2 の AIN 入力端子	33	28	-	J3	
	AIN2_1		119	99	79	A2	
	AIN2_2		69	59	48	F9	
	BIN2_0	BIN2_0	QPRC ch.2 の BIN 入力端子	34	29	-	J5
		BIN2_1		118	98	78	A3
		BIN2_2		68	58	47	F10
	ZIN2_0	ZIN2_0	QPRC ch.2 の ZIN 入力端子	35	30	-	H5
		ZIN2_1		115	95	75	B3
		ZIN2_2		67	57	46	G8
リアル タイム クロック	RTCCO_0	リアルタイムクロックの 0.5 秒パルス出力端子	115	95	75	B3	
	RTCCO_1		64	54	43	H9	
	RTCCO_2		23	18	13	H1	
	SUBOUT_0	サブクロック出力端子	115	95	75	B3	
	SUBOUT_1		64	54	43	H9	
	SUBOUT_2		23	18	13	H1	
低消費電力	WKUP0	ディープスタンバイモード復帰信号入力端子 0	116	96	76	B2	
	WKUP1	ディープスタンバイモード復帰信号入力端子 1	14	9	9	E1	
	WKUP2	ディープスタンバイモード復帰信号入力端子 2	50	45	35	K8	
	WKUP3	ディープスタンバイモード復帰信号入力端子 3	69	59	48	F9	
DAC	DA0	D/A コンバータ ch.0 のアナログ出力端子	36	31	21	K3	
	DA1	D/A コンバータ ch.1 のアナログ出力端子	37	32	22	J4	
VBAT	VREGCTL	オンボードレギュレータ制御用端子	41	36	26	K5	
	VWAKEUP	ハイバネーション状態からの復帰信号入力端子	42	37	27	K6	
Reset	INITX	外部リセット入力端子。 INITX=L のとき、リセットが有効。	38	33	23	L3	
Mode	MD1	モード 1 端子。 フラッシュメモリのシリアル書込み時は、MD1=L を入力してください。	56	46	36	L8	
	MD0	モード 0 端子。 通常動作時は、MD0=L を入力してください。フラッシュメモリのシリアル書込み時は、MD0=H を入力してください。	57	47	37	K9	
Power	VCC	電源端子	1	1	1	B1	
			31	26	-	K1	
			46	41	31	K7	
			61	51	-	K11	
			91	76	61	A10	
			117	97	77	A4	
GND	VSS	GND 端子	107	92	-	A6	
			30	25	20	L1	
			45	40	30	L7	
			60	50	40	L11	
			90	75	60	A11	
			120	100	80	A1	
			-	-	-	K10	
Clock	X0	メインクロック(発振)入力端子	58	48	38	L9	
	X1	メインクロック(発振)I/O 端子	59	49	39	L10	
	X0A	サブクロック(発振)入力端子	39	34	24	L4	
	X1A	サブクロック(発振)I/O 端子	40	35	25	K4	
	CROUT_0	高速内蔵 CR 発振クロック出力ポート	87	72	58	C10	
	CROUT_1		113	93	73	B4	

分類	回路	備考
L		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗：約 50 kΩ - $I_{OH} = -8 \text{ mA}$, $I_{OL} = 8 \text{ mA}$ - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
M		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - 入力制御あり - アナログ入力 - ブルアップ抵抗制御あり - スタンバイ制御あり - ブルアップ抵抗：約 50 kΩ - $I_{OH} = -8 \text{ mA}$, $I_{OL} = 8 \text{ mA}$

分類	回路	備考
R		<ul style="list-style-type: none"> - CMOS レベル出力 - CMOS レベルヒステリシス入力 - アナログ出力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗：約 50 kΩ - $I_{OH} = -12 \text{ mA}$, $I_{OL} = 12 \text{ mA}$ (4.5V~5.5V) - $I_{OH} = -8 \text{ mA}$, $I_{OL} = 8 \text{ mA}$ (2.7V~4.5V)

6. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件(回路条件、環境条件など)によっても大きく左右されます。

以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

6.1 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

絶対最大定格の遵守

半導体デバイスは、過剰なストレス (電圧、電流、温度など) が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目、使用条件、論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

(1) 過電圧・過電流の防止

各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。

(2) 出力端子の保護

出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。

(3) 未使用入力端子の処理

インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

ラッチアップ

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNP 接合 (サイリスタ構造) が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

(1) 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ、サージ等にも注意してください。

(2) 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

11. 各 CPU ステートにおける端子状態

端子の状態として使用している語句は、以下の意味を持ちます。

■INITX=0

INITX 端子が L レベルの期間です。

■INITX=1

INITX 端子が H レベルの期間です。

■SPL=0

スタンバイモードコントロールレジスタ (STB_CTL) のスタンバイ端子レベル設定ビット (SPL) が 0 に設定された状態です。

■SPL=1

スタンバイモードコントロールレジスタ (STB_CTL) のスタンバイ端子レベル設定ビット (SPL) が 1 に設定された状態です。

■入力可

入力機能が使用可能な状態です。

■内部入力"0"固定

入力機能が使用できない状態です。内部入力は L に固定されます。

■Hi-Z

端子駆動用トランジスタを駆動禁止状態にし、端子を Hi-Z にします。

■設定不可

設定できません。

■直前状態保持

本モードに遷移する直前の状態を保持します。
内蔵されている周辺機能が動作中であれば、その周辺機能にしたがいます。
ポートとして使用している場合は、その状態を保持します。

■アナログ入力可

アナログ入力が許可されています。

■トレース出力

トレース機能が使用可能な状態です。

■GPIO 選択

ディープスタンバイモード時、汎用 I/O ポートに切り換わります。

■設定禁止

仕様制限により設定禁止です。

VBAT ドメイン端子状態一覧表

VBAT 端子状態形式	グループ機能名	VBAT パワー オン リセット *1	INITX 入力 状態	デバイス 内部 リセット 状態	ラン モード または スリープ モード 状態	タイマモード, RTC モード, または ストップモード 状態		ディープスタンバイ RTC モード または ディープスタンバイ ストップモード 状態		ディープ スタンバイ モード 復帰直後 状態	VBAT RTC モード 状態	VBAT RTC モード 復帰直後 状態
		電源不安 定	電源安定	電源安定	電源安定	電源安定		電源安定		電源安定	電源安定	電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1	-	-
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-	-	-
S	GPIO 選択時	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	GPIO 選択	設定禁 止	-
	サブ水晶 発振 入力端子 / 外部サブ クロック 入力選択 時	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	入力可	直前状 態 保持	直前状態 保持
T	GPIO 選択時	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	GPIO 選択	設定禁 止	-
	外部サブ クロック 入力 選択時	設定不可	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状 態 保持	直前状態 保持
	サブ水晶 発振出力 端子	Hi-Z/ 内部入力 "0"固定 または 入力可	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持/ 発振 停止時は Hi-Z*2	直前状態 保持/ 発振 停止時は Hi-Z *2	直前状態 保持/ 発振 停止時は Hi-Z *2	直前状態 保持/ 発振 停止時は Hi-Z *2	直前状態 保持	直前状 態 保持	直前状態 保持
U	リソース 選択時	Hi-Z	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状態 保持	直前状 態 保持	直前状態 保持
	GPIO 選択時											

*1: VBAT,VCC 電源投入状態

*2: WTOSCCNT レジスタの連携制御ビット(SOSCNTRL)が 0 の場合は直前状態保持。

WTOSCCNT レジスタの連携制御ビット(SOSCNTRL)が 1 の場合は、ストップモード、ディープスタンバイストップモード時に発振が停止します。

Table 12-3 通常動作(PLL)の標準と最大の消費電流, データアクセスを含むコードがフラッシュ・メモリから実行しているとき(フラッシュ 0 サイクルウェイトモード, リードアクセス 0 ウェイト)

項目	記号	端子名	条件	周波数*4	規格値		単位	備考	
					標準*1	最大*2			
電源電流	I _{CC}	V _{CC}	通常動作*5 *6 (PLL)	72 MHz	38	58	mA	*3 周辺クロック すべて ON 時	
				60 MHz	33	53			
				48 MHz	28	48			
				36 MHz	22	42			
				24 MHz	16	36			
				12 MHz	9.5	30			
				8 MHz	6.9	27			
				4 MHz	4.2	25			
					72 MHz	29	49	mA	*3 周辺クロック すべて OFF 時
					60 MHz	26	46		
					48 MHz	22	42		
					36 MHz	18	38		
					24 MHz	13	33		
					12 MHz	7.8	28		
					8 MHz	5.8	26		
					4 MHz	3.7	24		

*1: T_A=+25°C, V_{CC}=3.3 V

*2: T_J=+125°C, V_{CC}=5.5 V

*3: 全ポート固定時

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK。

*5: 0 wait-cycle (FRWTR.RWT = 00, FSYNDN.SD = 000)のとき

*6: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

Table 12-8 ストップモード、タイマモード、RTC モードの標準と最大の消費電流

項目	記号	端子名	条件	周波数	規格値		単位	備考
					標準*1	最大*2		
電源電流	I _{CCH}	VCC	ストップモード	-	0.21	0.94	mA	*3, *4 T _A =+25°C
					-	7.6	mA	*3, *4 T _A =+85°C
					-	10	mA	*3, *4 T _A =+105°C
	I _{CCR}		タイマモード *5 (メイン発振)	4 MHz	1.4	2.1	mA	*3, *4 T _A =+25°C
				-	8.8	mA	*3, *4 T _A =+85°C	
				-	11	mA	*3, *4 T _A =+105°C	
			タイマモード (内蔵高速 CR)	4 MHz	0.49	1.2	mA	*3, *4 T _A =+25°C
				-	7.9	mA	*3, *4 T _A =+85°C	
				-	11	mA	*3, *4 T _A =+105°C	
			タイマモード (サブ発振)	32 kHz	0.23	0.96	mA	*3, *4 T _A =+25°C
				-	7.6	mA	*3, *4 T _A =+85°C	
				-	10	mA	*3, *4 T _A =+105°C	
	タイマモード (内蔵低速 CR)		100 kHz	0.24	0.97	mA	*3, *4 T _A =+25°C	
			-	7.6	mA	*3, *4 T _A =+85°C		
			-	10	mA	*3, *4 T _A =+105°C		
	I _{CCR}		RTC モード (サブ発振)	32 kHz	0.21	0.94	mA	*3, *4 T _A =+25°C
				-	7.6	mA	*3, *4 T _A =+85°C	
				-	10	mA	*3, *4 T _A =+105°C	

*1: V_{CC}=3.3 V

*2: V_{CC}=5.5 V

*3: 全ポート固定時

*4: LVD OFF 時

*5: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

12.3.2 端子特性

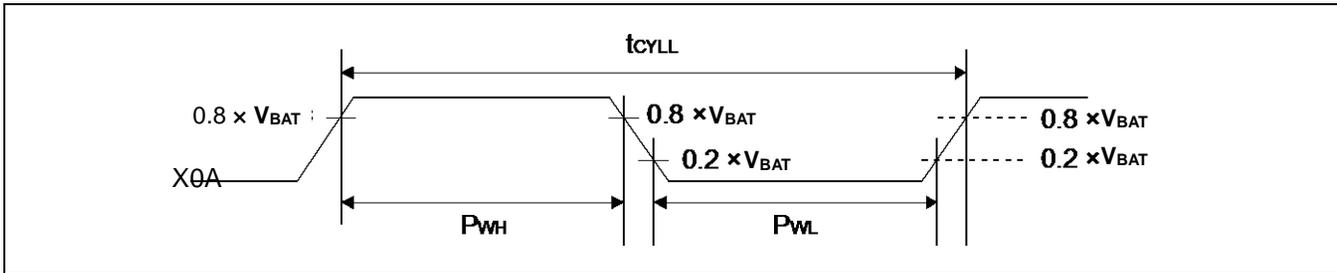
($V_{CC} = AV_{CC} = 2.7V \sim 5.5V, V_{SS} = AV_{SS} = 0V$)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
H レベル 入力電圧 (ヒステリシス入 力)	V_{IHS}	CMOS ヒステリシス入力端 子, MD0, MD1	-	$V_{CC} \times 0.8$	-	$V_{CC} + 0.3$	V	
		5 V トレラント入力端子	-	$V_{CC} \times 0.8$	-	$V_{SS} + 5.5$	V	
		I ² C Fm+ 兼用 入力端子	-	$V_{CC} \times 0.7$	-	$V_{SS} + 5.5$	V	
L レベル 入力電圧 (ヒステリシス入 力)	V_{ILS}	CMOS ヒステリシス入力端 子, MD0, MD1	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
		5 V トレラント 入力端子	-	$V_{SS} - 0.3$	-	$V_{CC} \times 0.2$	V	
		I ² C Fm+ 兼用 入力端子	-	V_{SS}	-	$V_{CC} \times 0.3$	V	
H レベル 出力電圧	V_{OH}	4 mA タイプ	$V_{CC} \geq 4.5 V,$ $I_{OH} = - 4 mA$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5 V,$ $I_{OH} = - 2 mA$					
		8 mA タイプ	$V_{CC} \geq 4.5 V,$ $I_{OH} = - 8 mA$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5 V,$ $I_{OH} = - 4 mA$					
		12 mA タイプ	$V_{CC} \geq 4.5 V,$ $I_{OH} = - 12 mA$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5 V,$ $I_{OH} = - 8 mA$					
		I ² C Fm+ 兼用	$V_{CC} \geq 4.5 V,$ $I_{OH} = - 4 mA$	$V_{CC} - 0.5$	-	V_{CC}	V	
			$V_{CC} < 4.5 V,$ $I_{OH} = - 3 mA$					

12.4.2 サブクロック入力規格

($V_{BAT} = 2.7V \sim 5.5V, V_{SS} = 0V$)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
入力周波数	1/ tCYLL	X0A, X1A	-	-	32.768	-	kHz	水晶発振接続時
			-	32	-	100		kHz
入力クロック周期	tCYLL		-	10	-	31.25	μs	外部クロック時
入力クロックパルス幅	-		PWH/tCYLL, PWL/tCYLL	45	-	55		%



12.4.3 内蔵 CR 発振規格

内蔵高速 CR

($V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V$)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	fCRH	$T_J = -20^\circ C \sim +105^\circ C$	3.92	4	4.08	MHz	トリミング時*1
		$T_J = -40^\circ C \sim +125^\circ C$	3.88	4	4.12		非トリミング時
		$T_J = -40^\circ C \sim +125^\circ C$	2.9	4	5		
周波数安定時間	tCRWT	-	-	-	30	μs	*2

*1: 出荷時に設定されるフラッシュメモリ内の CR トリミング領域の値を周波数トリミング値/温度トリミング値に使用した場合

*2: トリミング値設定後に高速 CR クロックの周波数が安定するまでの時間です。

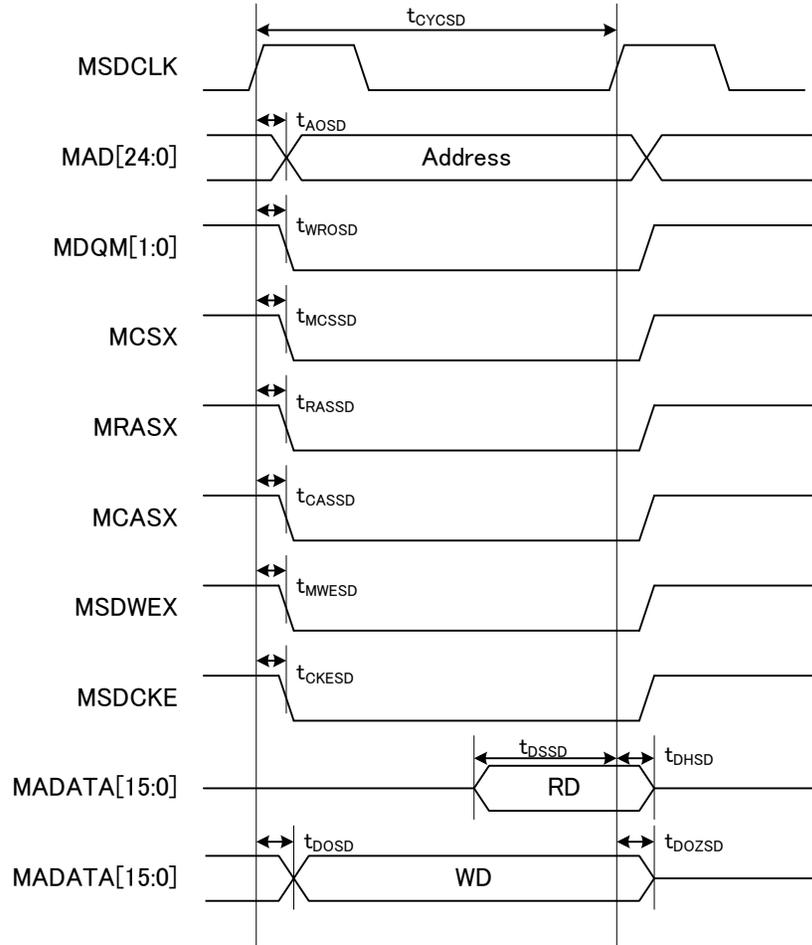
なお、トリミング値設定後、周波安定時間が経過するまでの期間も高速 CR クロックをソースクロックとして使用できます。

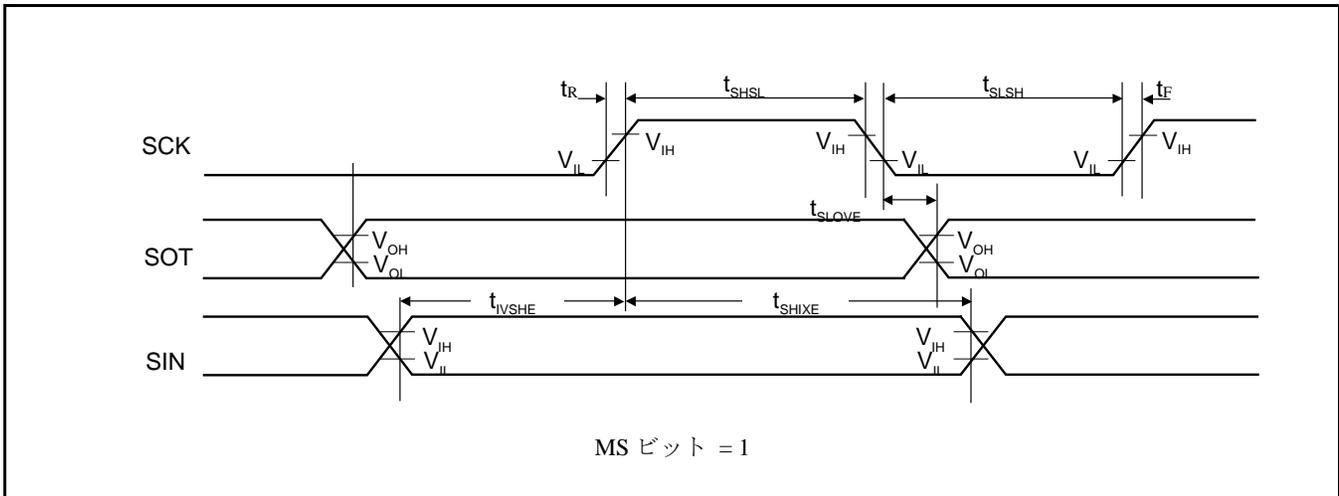
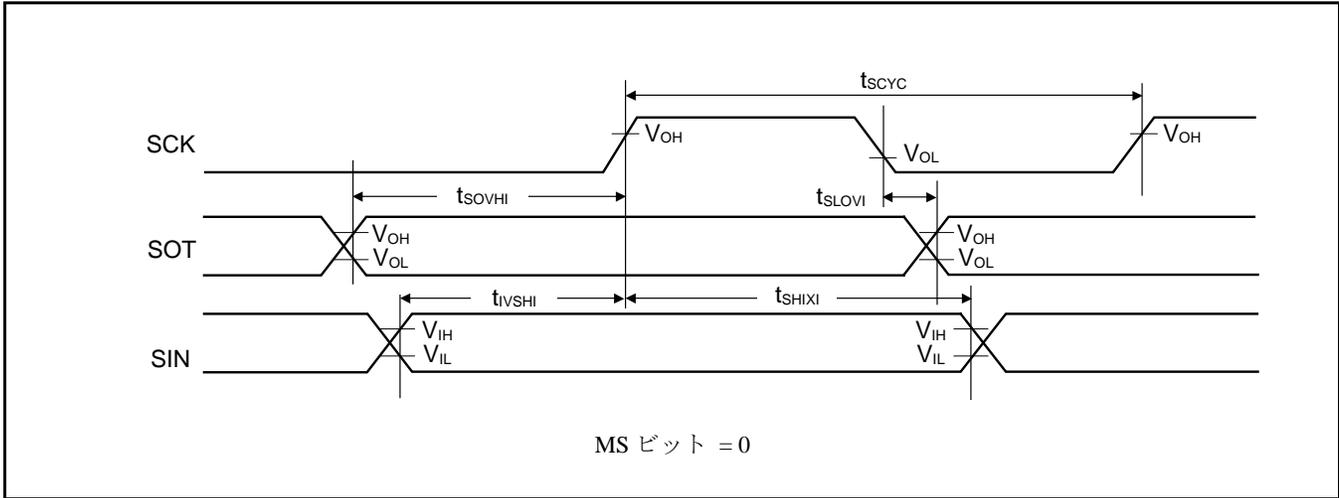
内蔵低速 CR

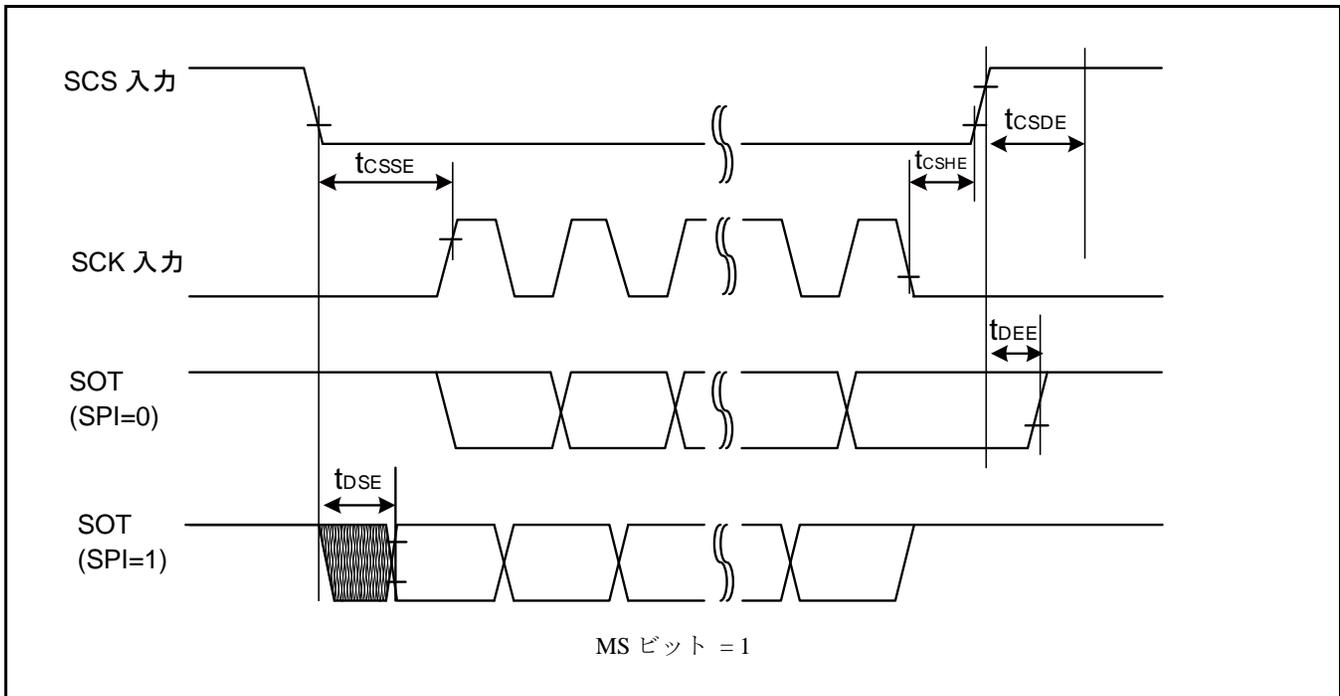
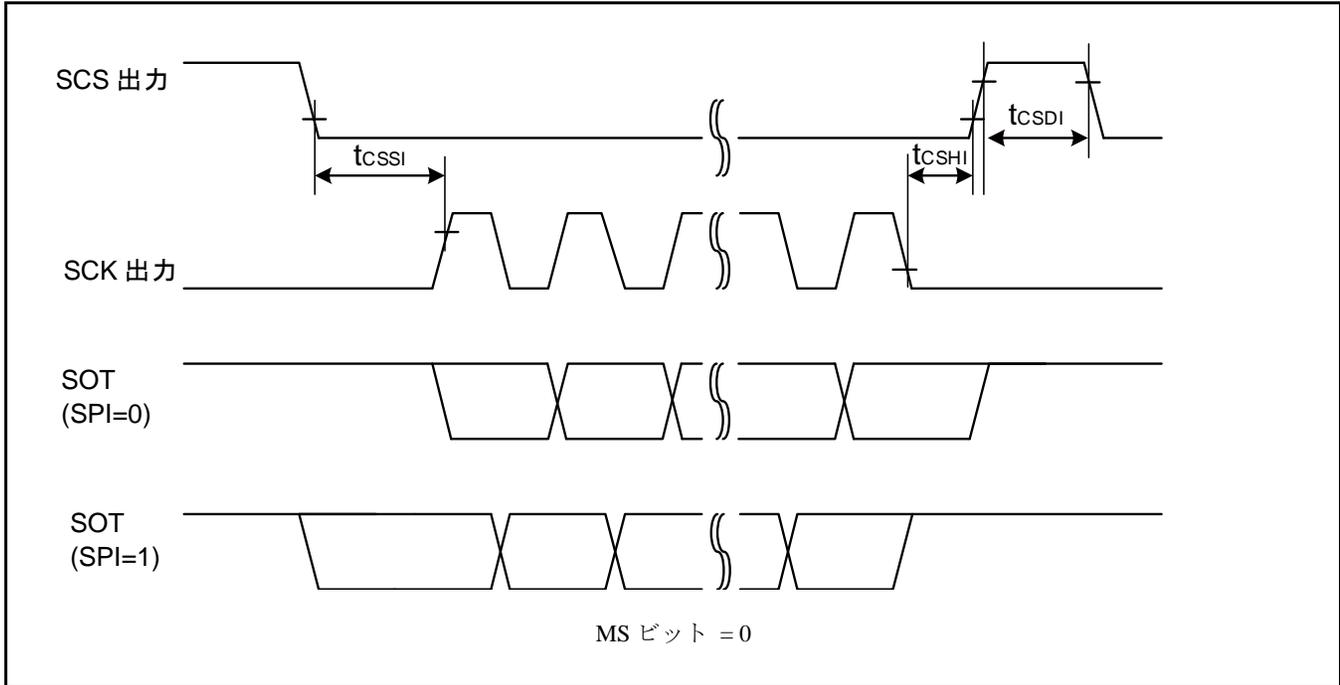
($V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V$)

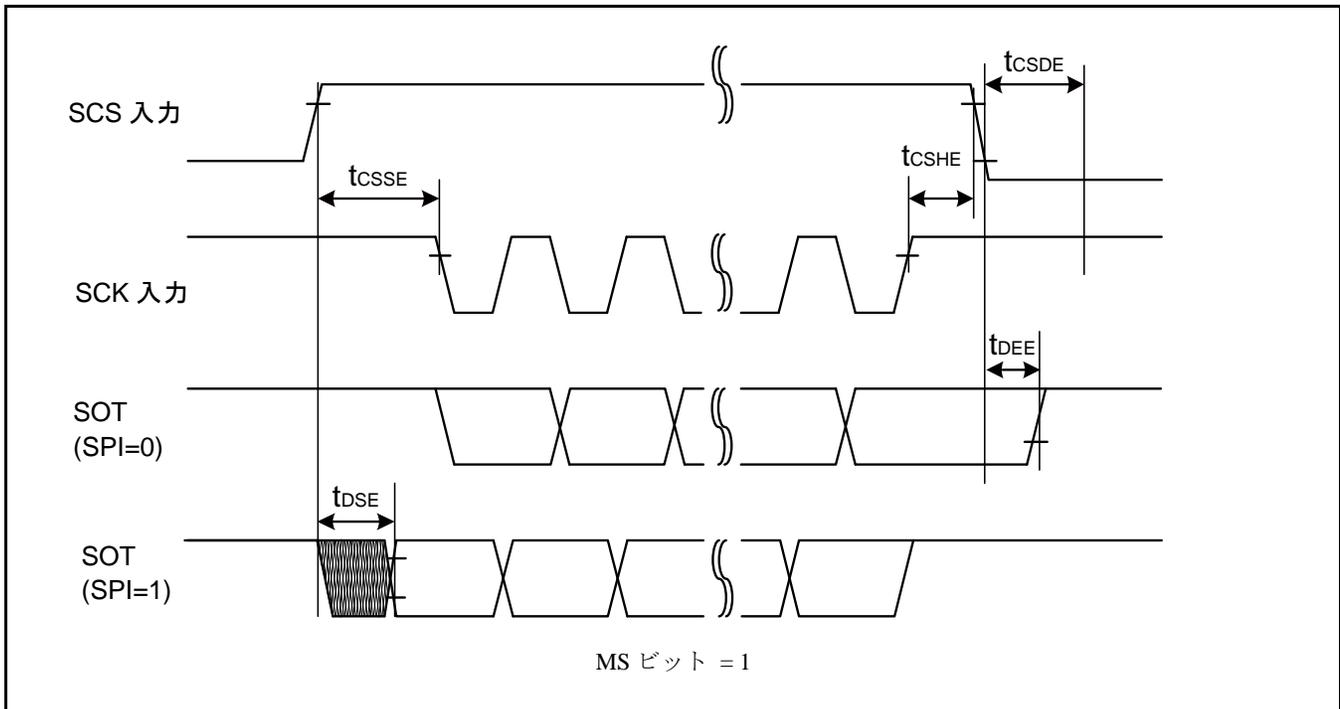
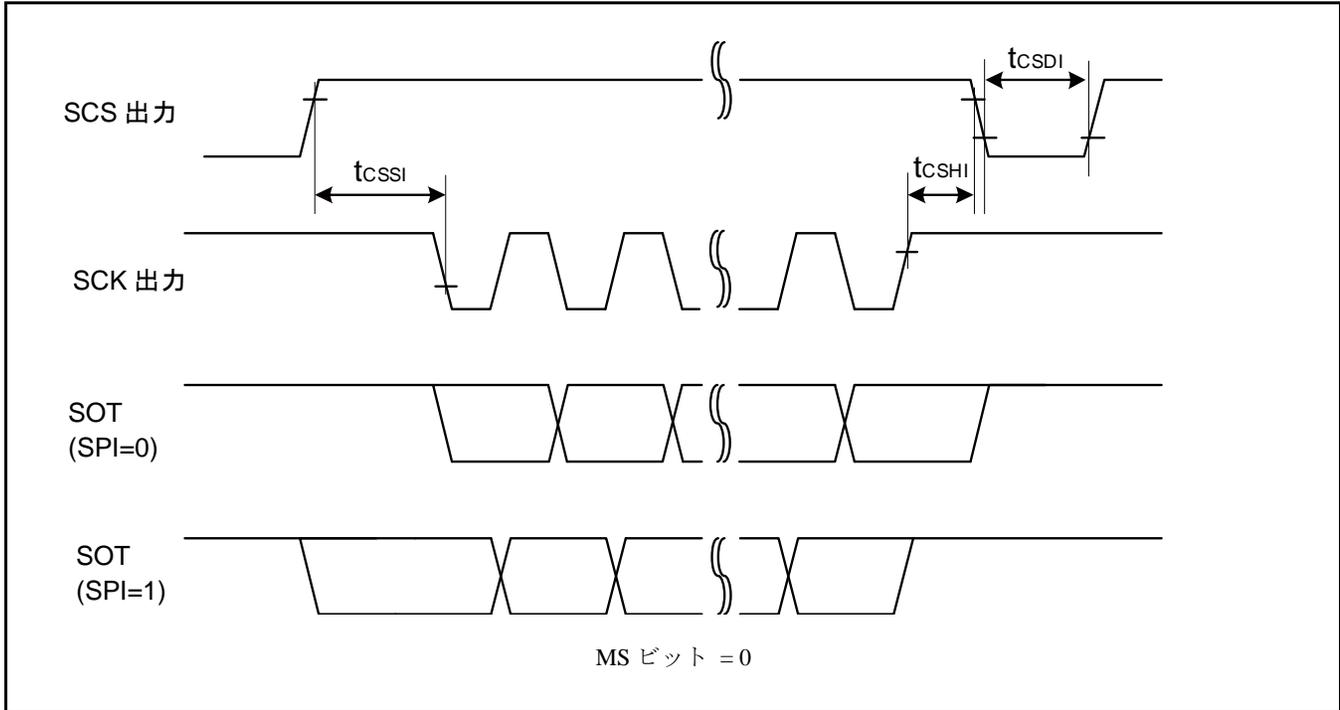
項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	fCRL	-	50	100	150	kHz	

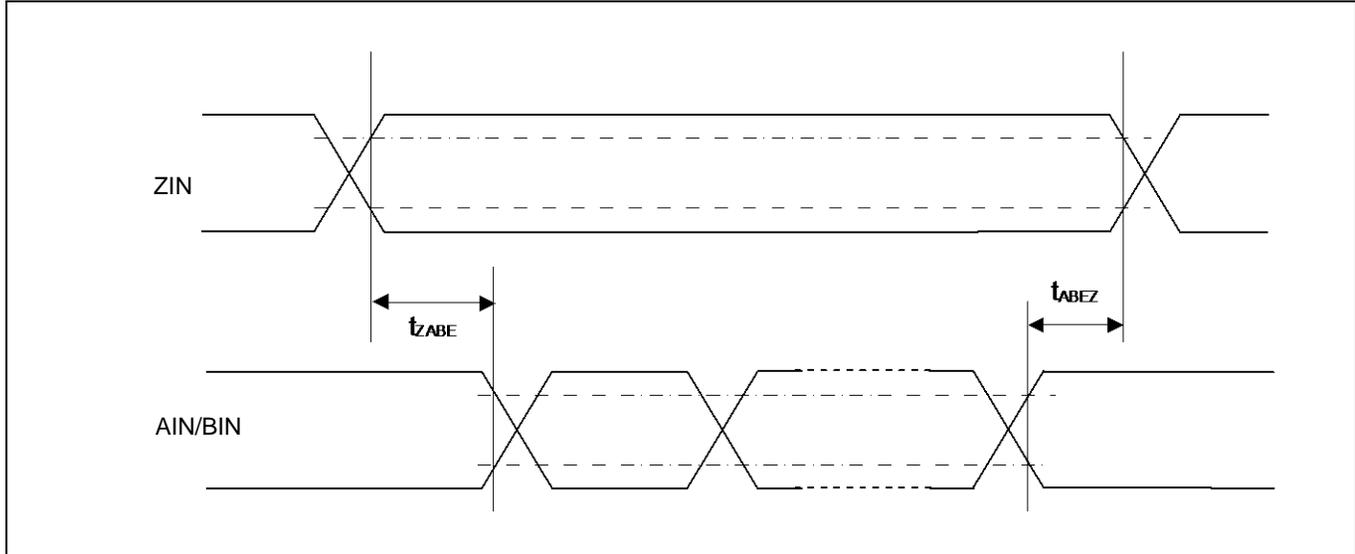
SDRAM アクセス











12.10 スタンバイ復帰時間

12.10.1 復帰要因: 割込み/WKUP

内部回路の復帰要因受付からプログラム動作開始までの時間を示します。

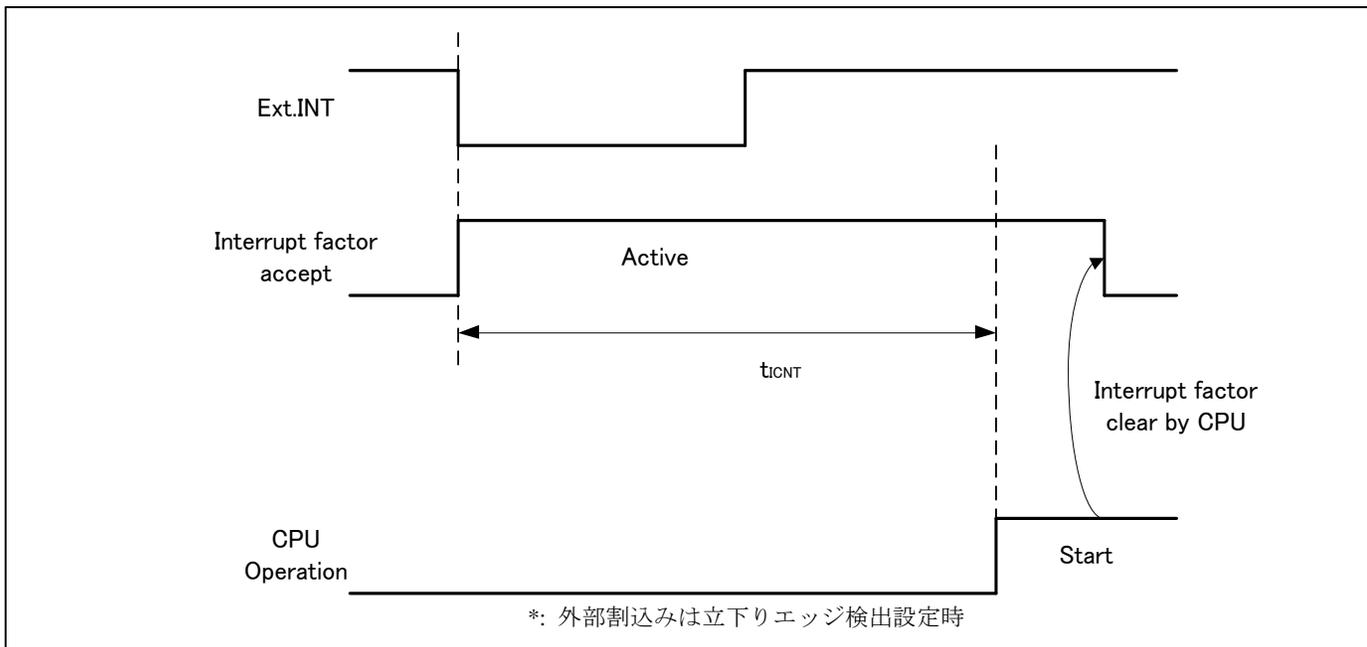
復帰カウント時間

($V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V$)

項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	t _{ICNT}	HCLK×1		μs	
高速 CR タイマモード メインタイマモード PLL タイマモード		40	80	μs	
低速 CR タイマモード		450	900	μs	
サブタイマモード		896	1136	μs	
RTC モード ストップモード (メイン/高速 CR/PLL ランモード復帰)		316	581	μs	
RTC モード ストップモード (サブ/低速 CR ランモード復帰)		270	540	μs	
ディープスタンバイ RTC モード		365	667	μs	RAM 保持なし
ディープスタンバイストップモード		365	667	μs	RAM 保持あり

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(外部割込み復帰時*)



13. オーダ型格

型格	パッケージ
S6E2H16G0A GV20000	Plastic LQFP (0.5-mm pitch), 120 pin (LQM120)
S6E2H14G0A GV20000	
S6E2H16F0A GV20000	Plastic LQFP (0.5-mm pitch), 100 pin (LQI100)
S6E2H14F0A GV20000	
S6E2H16E0A GV20000	Plastic LQFP (0.5-mm pitch), 80 pin (LQH080)
S6E2H14E0A GV20000	
S6E2H16G0A GB3000A	Plastic FBGA (0.5-mm pitch), 121 pin (FDI121)
S6E2H14G0A GB3000A	