

Welcome to **E-XFL.COM**

What is "Embedded - Microcontrollers"?

"Embedded - Microcontrollers" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "<u>Embedded - Microcontrollers</u>"

Details	
Product Status	Active
Core Processor	ARM® Cortex®-M4F
Core Size	32-Bit Single-Core
Speed	160MHz
Connectivity	CSIO, EBI/EMI, I ² C, LINbus, UART/USART
Peripherals	DMA, LVD, POR, PWM, WDT
Number of I/O	80
Program Memory Size	288KB (288K x 8)
Program Memory Type	FLASH
EEPROM Size	-
RAM Size	32K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 24x12b; D/A 2x12b
Oscillator Type	Internal
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	100-LQFP
Supplier Device Package	100-LQFP (14x14)
Purchase URL	https://www.e-xfl.com/product-detail/infineon-technologies/s6e2h14f0agv20000



	端子	番号		端子名	入出力 回路 形式	端子状態 形式		
LQFP120	LQFP100	LQFP80	FBGA121	게u J 기	形式	形式		
				P3A				
				TIOA0_1				
24	19	14	H2	AIN0_0	G	I		
24	19		112	RTO00_0		1		
				(PPG00_0)				
		-		MSDCKE_0				
				P3B				
				TIOA1_1				
25	20	15	Н3	BIN0_0	G	I		
				RTO01_0				
			-	(PPG00_0)	_			
		-		MRASX_0				
				P3C	_			
		16		TIOA2_1				
26	21	16	H4	ZINO_0	G	I		
				RTO02_0 (PPG02_0)				
		-		MCASX_0				
		-		P3D				
			-		1			
27	22	22	17	J1	TIOA3_1 RTO03_0	G	I	
21			17	31	(PPG02_0)	J	1	
				MAD00_0				
			P3E					
				TIOA4_1				
28	23	23	8 23	18	18 J2	RTO04_0	G	I
						(PPG04_0)		
				MAD01_0				
				P3F				
				TIOA5_1				
29	24	19	K2	RTO05_0	G	I		
				(PPG04_0)				
				MAD02_0				
30	25	20	L1	VSS	-	-		
31	26	-	K1	VCC	-	-		
				P40	1			
22	25			TIOA0_0	<u> </u>	**		
32	27	-	L2	RTO10_1	G	K		
				(PPG10_1) INT12_1				
				P41				
				TIOA1_0	†			
22	20		10	RTO11_1		**		
33	28	-	Ј3	(PPG10_1)	G	K		
				INT13_1]			
				AIN2_0				
				P42	4			
				TIOA2_0	4			
34	29	-	J5	RTO12_1	G	I		
				(PPG12_1) MSDWEX_0	-			
			1	BIN2_0	4			



	端子	番号		端子名	入出力 回路 形式	端子状態 形式
LQFP120	LQFP100	LQFP80	FBGA121	3m 7-12	形式	形式
				P43		
				ADTG_7		
			TIOA3_0	TIOA3_0		
35	30	-	H5	RTO13_1	G	I
				(PPG12_1)		
				MCSX8_0		
				ZIN2_0		
				P44		
				TIOA4_0		
36	31	21	K3	RTO14_1	R	J
				(PPG14_1)		
				DA0		
				P45		
				TIOB0_0		
37	32	22	J4	RTO15_1	R	J
				(PPG14_1)		
				DA1		
38	33	23	L3	INITX	В	C
39	34	24	L4	P46	P	S
37	34	24	L4	X0A	1	5
40	35	25	K4	P47	Q	Т
40	33		124	X1A	Q	1
41	36	26	K5	P48	О	U
71	50	20	KS	VREGCTL	0	· ·
42	37	27	K6	P49	О	U
72				VWAKEUP	· ·	Ü
43	38	28	L5	VBAT	-	-
44	39	29	L6	С	-	-
45	40	30	L7	VSS	-	-
46	41	31	K7	VCC	-	-
				P4B		
47	42	32	J6	TIOB1_0	Е	I
47	72	32	30	SCS7_1		1
				MAD03_0		
				P4C		
				TIOB2_0		
48	43	33	Ј7	SCK7_1	N	I
.0			",	(SCL7_1)		
				AIN1_2		
				MAD04_0		
				P4D	_	
				TIOB3_0	_	
				SOT7_1		
49	44	34	J8	(SDA7_1)	N	K
				BIN1_2	_	
				INT13_2		
				MAD05_0		



	端子	番号		端子名	入出力 回路 形式	端子状態 形式
LQFP120	LQFP100	LQFP80	FBGA121	2m J 12	形式	形式
				P0E		
				TIOB5_2		
92	77	62	В9	SCS6_1	L	I
				IC13_0		
				MDQM1_0		
			<u> </u>	P0D		
			<u> </u>	TIOA5_2		
93	78	63	A9	SCK6_1 (SCL6_1)	L	I
				IC12_0		
				MDQM0_0		
				P0C		
				TIOA6_1		
94	79	64	C8	SOT6_1 (SDA6_1)	L	I
				IC11_0		
				MALE_0		
				P0B		
			Ī	TIOB6_1		
				SIN6_1		
95	80	65	В8	IC10_0	L	K
				INT00_1		
				MCSX0_0		
				P0A		
				SIN1_0		
96	81	66	A8	FRCK1_0	L	K
			_	INT12_2		
				MCSX1_0		
		67		P09		
				AN19		
		-		TRACED0		
97	82		D7	TIOA3_2	M	N
		67		SOT1_0 (SDA1_0)		
				MCSX5_0		
				IC23_1		
				P08		
				AN20		
				TRACED1		
98	83	_	C7	TIOB3_2	F	N
70				SCK1_0 (SCL1_0)	1	14
				MCSX4_0		
				IC22_1		



## ## ## ## ### ### ### ### ### ### ##	ън ->				端子	番号	
TIOA1_1	端子 機能	端子名	機能説明		LQFP	LQFP	
TIOA3 2		TIOA3_0		35	30	-	H5
### TIOB3_0		TIOA3_1	ベースタイマ ch.3 の TIOA 端子			17	J1
TIOB3 1	ベース				82	67	D7
TIOB3 2	タイマ 3						
TIOA4_0 TIOA4_0 TIOA4_0 TIOA4_0 TIOA4_1 TIOA4_1 TIOA4_2 TIOA4_2 TIOA4_2 TIOA4_2 TIOA4_2 TIOB4_0 TIOB4_1 TIOB4_1 TIOB4_1 TIOB4_1 TIOB4_1 TIOB4_1 TIOB4_1 TIOB4_1 TIOB4_1 TIOB4_0 TIOA5_0 TIOA5_0 TIOA5_0 TIOA5_0 TIOA5_0 TIOA5_0 TIOA5_0 TIOA5_0 TIOB5_0 TIOA5_0 TIOB5_0 TIOB6_0 TIOA6_0 TIOA6_1 TIOA6_0 T			ベースタイマ ch.3 の TIOB 端子			12	
TIOA4 1							
TIOAA 2			· ファイ・A の TYO A 型フ				
TIOB4 0	~~ . 7		へースダイマ ch.4 の TIOA 端于			18	
TIOB4_1						25	
TIOB4_2	タイマ 4		- ベーフタイマ -1-4の TIOD 端フ			33	
TIOAS_0			ベースタイマ cn.4 の HOB 端子		13	-	
TIOAS_1					-	-	
TIOA5_2			ベースタイマ ch 5 の TIOA 農子				
TIOB5_0	ベース		TOA Sm 1				
TIOBS_1							
TIOB5_2 TIOA6_0 TIOA6_0 TIOA6_1 ベースタイマ ch.6 の TIOA 端子 94 79 64 C8 C8 C8 C8 C8 C8 C8 C	743		- ベースタイマ ch 5 の TIOR 端子			_	
TIOA6_0			The state of the s			62	
TIOA6_1							
TIOA6_2			ベースタイマ ch.6 の TIOA 端子			1	
ダイマ6 TIOB6_0 TIOB6_1 TIOB6_1 TIOB6_2 ベースタイマ ch.6 の TIOB 端子 54 - - H8 7 TIOB6_2 TIOA7_0 1112 - - C4 7 TIOA7_1 ベースタイマ ch.7 の TIOA 端子 86 71 57 DII 7 TIOA7_2 109 - - E5 7 TIOB7_0 111 - - D4 7 TIOB7_1 ベースタイマ ch.7 の TIOB 端子 87 72 58 C10 7 TIOB7_2 108 - - E6 8 WCLK シリアルワイヤデバッグインタフェースクロック入力端子 105 90 71 B5 8 WDIO シリアルワイヤデバッグインタフェースデータ入出力端子 103 88 69 C6 8 WO シリアルワイヤデバッグインタフェースデータ入力端子 102 87 68 B6 7 TCK JTAG テストクロック入力端子 105 90 71 B5 7 TDI JTAG テストラータ出力端子 102 87 68 B6 7 TRACEDL TRACEDL TRACEDL 101 86 - D6 7 TRACED2 TRACED3 ETM のトレースデータ出力端子 100 85 <t< td=""><td>ベース</td><td></td><td></td><td></td><td></td><td>-</td><td></td></t<>	ベース					-	
TIOB6_1 TIOB6_2 TIOB6_2 TIOB 端子 95 80 65 B8 B8 TIOB6_2	タイマ 6				_	-	
TIOB6_2 TIOA7_0 TIOA7_0 TIOA7_1 ベースタイマ ch.7 の TIOA 端子 TIOA7_1 TIOA7_2 TIOB7_0 TIOB7_0 TIOB7_1 TIOB7_1 TIOB7_2 TIOB7_2 SWCLK ジリアルワイヤデバッグインタ フェースクロック入力端子 SWDIO フェースクロック入力端子 TOK JTAG テストクロック入力端子 TOK JTAG テストクロック入力端子 TOK JTAG デストグータ人力端子 TOK JTAG デストデータ入力端子 TOK JTAG デストデータース CLK 出力端子 TMS JTAG デストデータ入力端子 JTAG EDD TRACEDD TRACEDD TRACEDD TRACEDD TRACEDD TRACEDD TRACEDD TRACEDD	, ,		ベースタイマ ch.6 の TIOB 端子	95	80	65	В8
TIOA7_1					-	-	F7
ボースタイマ 7 TIOA7_2 109 E5 TIOB7_0 111 D4 TIOB7_1 ベースタイマ ch.7 の TIOB 端子 87 72 58 C10 TIOB7_2 108 E6 SWCLK シリアルワイヤデバッグインタ フェースクロック入力端子 105 90 71 B5 SWDIO シリアルワイヤデバッグインタ フェースデータ入出力端子 103 88 69 C6 SWO シリアルワイヤビューワ出力端子 102 87 68 B6 TCK JTAG テストクロック入力端子 105 90 71 B5 TDI JTAG テストデータ入力端子 104 89 70 C5 TDO JTAG デストデータ入力端子 104 89 70 C5 TRACEDLK ETM のトレース CLK 出力端子 103 88 69 C6 TRACEDL TRACEDL 97 82 - D7 TRACEDL ETM のトレース CLK 出力端子 101 86 - D6 TRACED1 TRACED2 99 84 - B7 TRACED3 ETM のトレースデータ出力端子 99 84 - B7 TRACED3 TRACED3 100 85 - A7		TIOA7_0		112	-	-	C4
TIOB7_0		TIOA7_1	ベースタイマ ch.7 の TIOA 端子	86	71	57	D11
TIOB7_0 TIOB7_1 ベースタイマ ch.7 の TIOB 端子 87 72 58 C10 TIOB7_2 108 E6 SWCLK シリアルワイヤデバッグインタ フェースクロック入力端子 105 90 71 B5 SWDIO シリアルワイヤデバッグインタ フェースデータ入出力端子 103 88 69 C6 TCK JTAG テストクロック入力端子 102 87 68 B6 TCK JTAG テストクロック入力端子 105 90 71 B5 TDI JTAG テストデータ入力端子 105 90 71 B5 TDI JTAG デストグータ人力端子 104 89 70 C5 TDO JTAG デバッグデータ出力端子 102 87 68 B6 TMS JTAG テストモード状態入出力端子 102 87 68 B6 TRACECLK ETM のトレース CLK 出力端子 103 88 69 C6 TRACEDD TRACED1 TRACED1 TRACED2 TRACED2 TRACED3 99 84 - B7 TRACED2 TRACED3	ベース	TIOA7_2		109	-	-	E5
TIOB7_2	タイマ 7	TIOB7_0		111	-	-	D4
SWCLK シリアルワイヤデバッグインタフェースクロック入力端子 105 90 71 B5 SWDIO シリアルワイヤデバッグインタフェースデータ入出力端子 103 88 69 C6 SWO シリアルワイヤビューワ出力端子 102 87 68 B6 TCK JTAG テストクロック入力端子 105 90 71 B5 TDI JTAG テストデータ入力端子 104 89 70 C5 TDO JTAG デストデータ入力端子 102 87 68 B6 TMS JTAG デストモード状態入出力端子 103 88 69 C6 TRACECLK ETM のトレース CLK 出力端子 101 86 - D6 TRACED0 TRACED1 97 82 - D7 TRACED2 ETM のトレースデータ出力端子 98 83 - C7 TRACED3 ETM のトレースデータ出力端子 99 84 - B7		TIOB7_1	ベースタイマ ch.7 の TIOB 端子	87	72	58	C10
SWCLK フェースクロック入力端子 105 90 71 B5 SWDIO シリアルワイヤデバッグインタフェースデータ入出力端子 103 88 69 C6 SWO シリアルワイヤビューワ出力端子 102 87 68 B6 TCK JTAG テストクロック入力端子 105 90 71 B5 TDI JTAG テストデータ入力端子 104 89 70 C5 TDO JTAG デストデータ出力端子 102 87 68 B6 TMS JTAG デストモード状態入出力端子 103 88 69 C6 TRACECLK ETM のトレース CLK 出力端子 101 86 - D6 TRACED1 ETM のトレース データ出力端子 98 83 - C7 TRACED2 ETM のトレース データ出力端子 99 84 - B7 TRACED3 TRACED3 85 - A7		TIOB7_2		108	-	-	E6
SWDIO フェースデータ入出力端子 103 88 69 C6 SWO シリアルワイヤビューワ出力端子 102 87 68 B6 TCK JTAG テストクロック入力端子 105 90 71 B5 TDI JTAG テストデータ入力端子 104 89 70 C5 TDO JTAG デバッグデータ出力端子 102 87 68 B6 TMS JTAG デバッグデータ出力端子 103 88 69 C6 TRACECLK ETM のトレース CLK 出力端子 101 86 - D6 TRACED0 97 82 - D7 TRACED1 ETM のトレースデータ出力端子 98 83 - C7 TRACED3 ETM のトレースデータ出力端子 99 84 - B7		SWCLK		105	90	71	В5
TCK JTAG テストクロック入力端子 105 90 71 B5 TDI JTAG テストデータ入力端子 104 89 70 C5 TDO JTAG デバッグデータ出力端子 102 87 68 B6 TMS JTAG テストモード状態入出力端子 103 88 69 C6 TRACECLK ETM のトレース CLK 出力端子 101 86 - D6 TRACED0 97 82 - D7 TRACED1 98 83 - C7 TRACED2 99 84 - B7 TRACED3 TRACED3 100 85 - A7		SWDIO	_	103	88	69	C6
ボバッガ TDI JTAG テストデータ入力端子 104 89 70 C5 TDO JTAG デバッグデータ出力端子 102 87 68 B6 TMS JTAG テストモード状態入出力端子 103 88 69 C6 TRACECLK ETM のトレース CLK 出力端子 101 86 - D6 TRACED0 97 82 - D7 TRACED1 ETM のトレースデータ出力端子 98 83 - C7 TRACED3 TRACED3 100 85 - A7		SWO	シリアルワイヤビューワ出力端子	102	87	68	В6
ボバッガ TDI JTAG テストデータ入力端子 104 89 70 C5 TDO JTAG デバッグデータ出力端子 102 87 68 B6 TMS JTAG テストモード状態入出力端子 103 88 69 C6 TRACECLK ETM のトレース CLK 出力端子 101 86 - D6 TRACED0 97 82 - D7 TRACED1 ETM のトレースデータ出力端子 98 83 - C7 TRACED3 TRACED3 100 85 - A7		TCK		105	90	71	B5
デバッガ TDO JTAG デバッグデータ出力端子 102 87 68 B6 TMS JTAG テストモード状態入出力端子 103 88 69 C6 TRACECLK ETM のトレース CLK 出力端子 101 86 - D6 TRACED0 97 82 - D7 TRACED1 ETM のトレースデータ出力端子 98 83 - C7 TRACED2 99 84 - B7 TRACED3 100 85 - A7							
TMS JTAG テストモード状態入出力端子 103 88 69 C6 TRACECLK ETM のトレース CLK 出力端子 101 86 - D6 TRACED0 97 82 - D7 TRACED1 ETM のトレースデータ出力端子 98 83 - C7 TRACED2 7RACED3 100 85 - A7	デバッガ						
TRACECLK ETM のトレース CLK 出力端子 101 86 - D6 TRACED0 97 82 - D7 TRACED1 98 83 - C7 TRACED2 99 84 - B7 TRACED3 100 85 - A7							
TRACED0 97 82 - D7 TRACED1 98 83 - C7 TRACED2 99 84 - B7 TRACED3 100 85 - A7				+		-	
TRACED1 ETM のトレースデータ出力端子 98 83 - C7 TRACED2 99 84 - B7 TRACED3 100 85 - A7			LIMI VATE A CLK 四月編 1			<u> </u>	
TRACED2			1				
TRACED3 100 85 - A7			- ETM のトレースデータ出力端子				
			1			_	
- INSIA LHAUT/ヘドッドッドハフ畑士 - IUN I 91 I // I A5		TRSTX	JTAG テストリセット入力端子	106	91	72	A5



端子				端子番 号			
機能	端子名	機能説明	LQFP 120	LQFP 100	LQFP 80	FBGA 121	
	P40		32	27	-	L2	
	P41		33	28	-	J3	
	P42		34	29	-	J5	
	P43		35	30	-	H5	
	P44		36	31	21	К3	
	P45		37	32	22	J4	
	P46		39	34	24	L4	
	P47	一 汎用入出力ポート4	40	35	25	K4	
	P48		41	36	26	K5	
	P49		42	37	27	K6	
	P4B		47	42	32	J6	
	P4C		48	43	33	J7	
	P4D		49	44	34	J8	
	P4E		50	45	35	K8	
	P50		2	2	2	C1	
	P51		3	3	3	C2	
	P52		4	4	4	D1	
	P53		5	5	5	D2	
	P54		6	6	6	D3	
	P55		7	7	7	E2	
	P56	一	8	8	8	E3	
	P57		9	-	-	E4	
GPIO	P58		10	-	-	F5	
	P59		11	-	-	F6	
	P5A		12	-	-	G5	
	P5B		13	-	-	G6	
	P60		116	96	76	B2	
	P61		115	95	75	В3	
	P62		114	94	74	C3	
	P63		113	93	73	B4	
	P64	汎用入出力ポート6	112	-	-	C4	
	P65		111	-	-	D4	
	P66		110	-	-	D5	
	P67		109	-	-	E5	
	P68		108	-	-	E6	
	P70		51	-	-	Н6	
	P71		52	-	-	H7	
	P72	□ 汎用入出力ポート7	53	-	-	G7	
	P73		54	-	-	Н8	
	P74		55	-	-	J9	
	P80	汎用入出力ポート8	118	98	78	A3	
	P81	10011/VIII/14/ 1. 0	119	99	79	A2	
	PE0		56	46	36	L8	
	PE2	□ 汎用入出力ポート E	58	48	38	L9	
	PE3		59	49	39	L10	

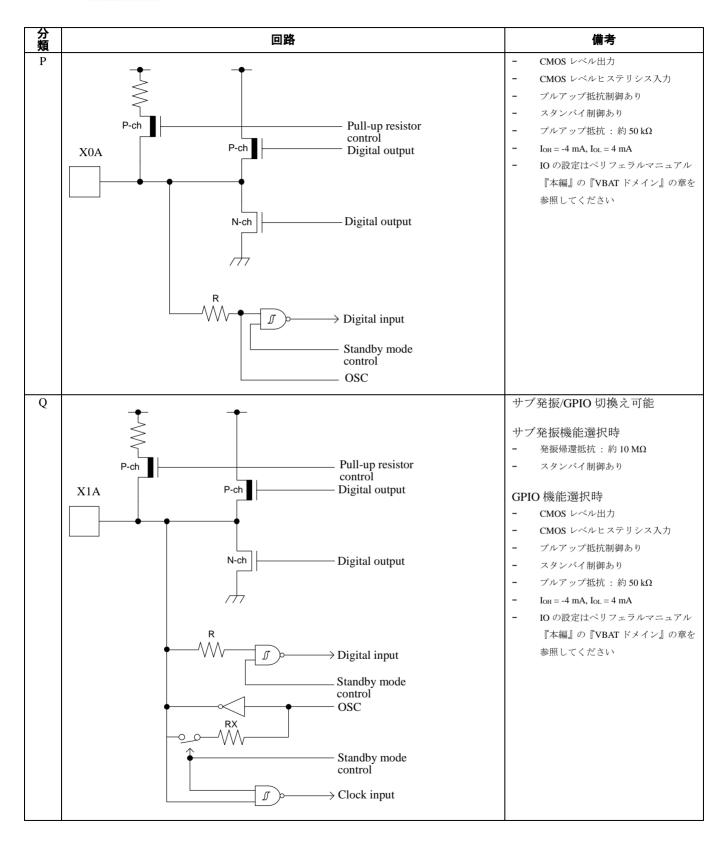


地マ			端子番号			
端子 機能	端子名	機能説明	LQFP 120	LQFP 100	LQFP 80	FBGA 121
	DTTI1X_0	多機能タイマ 1 の RTO10~RTO15 出力を制御する波	8	8	8	E3
	DTTI1X_1	形ジェネレータの入力信号	55	-	-	J9
	FRCK1_0	16 ビットフリーランタイマ ch.1 の外部クロック入力	96	81	66	A8
	FRCK1_1	端子	50	45	35	K8
	IC10_0		95	80	65	В8
	IC10_1		54	-	-	Н8
	IC11_0		94	79	64	C8
	IC11_1		53	-	-	G7
	IC12_0	入力端子。 ICxx は、チャネル数を示します。	93	78	63	A9
	IC12_1		52	-	-	H7
حاک مانیا چی	IC13_0		92	77	62	В9
多機能 タイマ 1	IC13_1		51	-	-	Н6
	RTO10_0 (PPG10_0)	多機能タイマ1の波形ジェネレータ出力端子。	2	2	2	C1
	RTO10_1 (PPG10_1)	- PPG1 出力モードで使用するときは、PPG10 として機能します。	32	27	-	L2
	RTO11_0 (PPG10_0)	多機能タイマ1の波形ジェネレータ出力端子。	3	3	3	C2
	RTO11_1 (PPG10_1)	- PPG1 出力モードで使用するときは、PPG10 として機能します。	33	28	-	Ј3
	RTO12_0 (PPG12_0)	多機能タイマ1の波形ジェネレータ出力端子。	4	4	4	D1
	RTO12_1 (PPG12_1)	PPG1 出力モードで使用するときは、PPG12 として機能します。	34	29	-	J5
	RTO13_0 (PPG12_0)	多機能タイマ1の波形ジェネレータ出力端子。	5	5	5	D2
	RTO13_1 (PPG12_1)	- PPG1 出力モードで使用するときは、PPG12 として機能します。	35	30	-	Н5
	RTO14_0 (PPG14_0)	多機能タイマ1の波形ジェネレータ出力端子。	6	6	6	D3
	RTO14_1 (PPG14_1)	- PPG1 出力モードで使用するときは、PPG14 として機能します。	36	31	21	К3
	RTO15_0 (PPG14_0)	多機能タイマ1の波形ジェネレータ出力端子。 PPG1出力モードで使用するときは、PPG14として機	7	7	7	E2
	RTO15_1 (PPG14_1)	能します。	37	32	22	J4



端子		100 60, =00 ==			番号	
機能	端子名	機能説明	LQFP 120	LQFP 100	LQFP 80	FBGA 121
	AIN2_0		33	28	-	J3
	AIN2_1	QPRC ch.2 の AIN 入力端子	119	99	79	A2
	AIN2 2		69	59	48	F9
	BIN2 0		34	29	-	J5
クアッド	BIN2 1	QPRC ch.2 の BIN 入力端子	118	98	78	A3
カウンタ2	BIN2_2	QIRO CHIZ IS DITTY OSSUM I	68	58	47	F10
-			35	30	47	H5
ŀ	ZIN2_0	OPPC 1.2 © ZPL 3 5 HP Z			75	_
	ZIN2_1	QPRC ch.2 の ZIN 入力端子	115	95	75	B3
	ZIN2_2		67	57	46	G8
	RTCCO_0	リマルカストカロッカの05秒パルフ山市碑で	115	95	75	B3
リアル	RTCCO_1 RTCCO 2	リアルタイムクロックの 0.5 秒パルス出力端子	23	54 18	43 13	H9 H1
タイム	SUBOUT 0		115	95	75	B3
クロック	SUBOUT_1	サブクロック出力端子	64	54	43	H9
	SUBOUT_2		23	18	13	H1
	WKUP0	ディープスタンバイモード復帰信号入力端子0	116	96	76	B2
低冰事毒力	WKUP1	ディープスタンバイモード復帰信号入力端子1	14	9	9	E1
低消費電力	WKUP2	ディープスタンバイモード復帰信号入力端子2	50	45	35	K8
	WKUP3	ディープスタンバイモード復帰信号入力端子3	69	59	48	F9
DAG	DA0	D/A コンバータ ch.0 のアナログ出力端子	36	31	21	К3
DAC	DA1	D/A コンバータ ch.1 のアナログ出力端子	37	32	22	J4
TAD ATT	VREGCTL	オンボードレギュレータ制御用端子	41	36	26	K5
VBAT	VWAKEUP	ハイバネーション状態からの復帰信号入力端子	42	37	27	K6
Reset	INITX	外部リセット入力端子。 INITX=L のとき、リセットが有効。	38	33	23	L3
	MD1	モード1端子。 フラッシュメモリのシリアル書込み時は、MD1=Lを 入力してください。	56	46	36	L8
Mode	MD0	モード 0 端子。 通常動作時は、MD0=L を入力してください。フラッシュメモリのシリアル書込み時は、MD0=H を入力してください。	57	47	37	K9
			1	1	1	B1
			31	26	-	K1
Power	VCC	電源端子	46	41	31	K7
10001	, 66	년(M) 기미 1	61	51	-	K11
			91	76	61	A10
			117 107	97 92	77	A4 A6
			30	25	20	L1
			45	40	30	L7
GND	VSS	GND 端子	60	50	40	L11
GND	V 55	OIVD » 1	90	75	60	A11
			120	100	80	A1
			ı	-	-	K10
	X0	メインクロック(発振)入力端子	58	48	38	L9
	X1	メインクロック(発振)I/O 端子	59	49	39	L10
Clock	X0A	サブクロック(発振)入力端子	39	34	24	L4
CIUCK	X1A	サブクロック(発振)I/O 端子	40	35	25	K4
	CROUT_0	高速内蔵 CR 発振クロック出力ポート	87	72	58	C10
	CROUT_1	回処[1] 成 UN 元] 以 / ピソノ 四月か一ト	113	93	73	B4







分類	回路	備考
R	P-ch Pull-up resistor control Digital output N-ch Digital output	 CMOS レベル出力 CMOS レベルヒステリシス入力 アナログ出力 プルアップ抵抗制御あり スタンバイ制御あり プルアップ抵抗: 約50 kΩ I_{OH} = -12 mA, I_{OL} = 12 mA (4.5V~5.5V) I_{OH} = -8 mA, I_{OL} = 8 mA (2.7V~4.5V)
	R Digital input Standby mode control Analog output	



7. デバイス使用上の注意

電源端子について

VCC, VSS 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してありますが、不要輻射の低減・グランドレベルの上昇によるストローブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグランドに接続してください。また、電流供給源からできる限り低インピーダンスで本デバイスの各電源端子と GND 端子に接続してください。

さらに、本デバイスの近くで各電源端子 と GND 端子の間に 0.1 μF 程度のセラミックコンデンサをバイパスコンデンサとして接続することを推奨します。

電源端子について

電源電圧の変動が VCC の推奨動作条件内においても、急激な変化があると誤動作することがあります。安定化の基準として VCC は、商用周波数 (50 Hz \sim 60 Hz) におけるリプル変動(ピークピーク値) を推奨動作条件内の 10%以内にしてください。かつ電源切換えによる瞬間変動の過渡変動率は 0.1 V/us 以下にしてください。

水晶発振回路について

X0/X1, X0A/X1A 端子の近辺のノイズは本デバイスの誤動作の原因となります。X0/X1, X0A/X1A 端子および水晶発振子さらにグランドへのバイパスコンデンサはできる限り近くに配置するようにプリント板を設計してください。

また、X0/X1, X0A/X1A 端子の周りをグランドで囲むようなプリント板アートワークは安定した動作を期待できるため、強く推奨します。

実装基板にて、使用する水晶振動子の発振評価を実施してください。

サブクロック用水晶振動子について

本シリーズのサブクロック発振回路は消費電流を低く抑えた設計を行っており、増幅度が低い回路となっています。安定した発振をさせるためサブクロック用水晶振動子には、以下の条件を満たす水晶振動子の使用を推奨します。

■表面実装タイプ

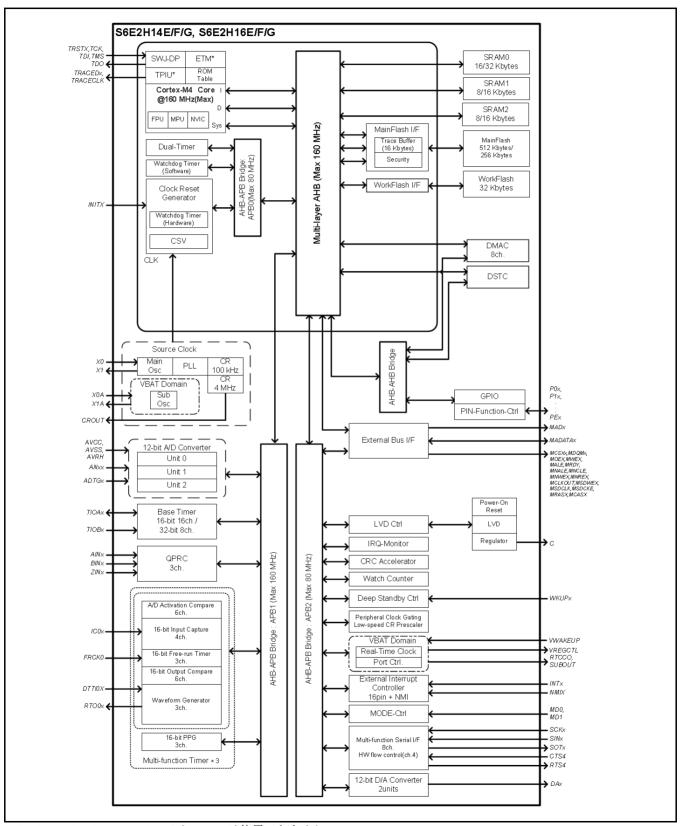
サイズ: 3.2 mm×1.5 mm 以上 負荷容量: 6 pF~7 pF 程度

■リードタイプ

負荷容量: 6 pF~7 pF 程度



8. ブロックダイヤグラム



^{*:} S6E2H14E0A, S6E2H16E0A では、ETM は使用できません。



9. メモリサイズ

メモリサイズについては、「1. 品種構成」の「メモリサイズ」を参照してください。

10.メモリマップ

メモリマップ (1)

メモリマップ (1)						
					Peripherals Area	
			j	0x41FF_FFFF		
			-		Reserved	
			į.	0x4007_0000		
			į	0x4006_F000	GPIO	
			;			
			İ			
			;			
			!			
	0xFFFF_FFFF] ;			
		Reserved	1		Reserved	
	0xE010_0000		!			
		Cortex-M4 Private] !			
	0xE000_0000	Peripherals	i			
		Б. 4	;	0x4006_2000		
	0xD000_0000	Reg. Area	1	0x4006_1000	DSTC	
			1 /	0x4006_0000	DMAC	
			/	-=		
		External Device	;	0x4004_0000	Reserved	
		Area	<i>[</i>	0x4003_F000	EXT-bus I/F	
	0x6000_0000		/			
			1 /			
		Reserved	1 /		Reserved	
	0x4400 0000		I /	0x4003_C800		
	2 100_0000	32 Mbytes	1 /	0x4003_C100	Peripheral Clock Gating	
	0x4200_0000	Bit band alias	1	0x4003_C000		
	0.1200_0000			0x4003_B000	RTC/Port Ctrl	
		Peripherals		0x4003_A000	Watch Counter	
	0x4000_0000	•		0x4003_9000	CRC	
				0x4003_8000	MFS	
	- 1	Reserved				
	0x2400_0000		}	0x4003_6000	Reserved	
		32 Mbytes	1	0x4003_5000	LVD/DS mode	
	0x2200_0000	Bit band alias	Ì	0x4003_4000		
]		1 \	0x4003_3000		
		Reserved	1	0x4003_2000		
	0x2010_0000		1	0x4003_1000	Int-Req.Read	
	0x200E_0000	Work Flash I/F]	0x4003_0000	EXTI	
	0x200C_0000	Work Flash	1	0x4002_F000	Reserved	
		Reserved	1	0x4002_E000	CR Trim	
	0x2004_4000	Reserveu	1			
メモリサイズの 詳細は	0x2004_0000	SRAM2]		Reserved	
次項の「●メモリマップ(2)」 * ★8四. アノギナン	0x2003_C000	SRAM1]	0x4002_8000		
を参照してください。	0x2000_0000	Reserved	1	0x4002_7000	A/DC	
	0x1FFF_8000	SRAM0] \	0x4002_6000	QPRC	
	0x0050_0000	Reserved	4	0x4002_5000	Base Timer	
	0x0040_0000	Security/CR Trim	4 }	0x4002_4000	PPG	
			1	0x4002_3000		
		MainFlash	}	0x4002_2000 0x4002_1000	MFT Unit2 MFT Unit1	
	0.0000 0000		1	0x4002_1000 0x4002_0000	MFT Unit0	
	0x0000_0000			0x4002_0000	IVIF I OTIILO	
			į	0×4004 6000	Reserved	
				0x4001_6000 0x4001_5000	Dual Timer	
			į	0.0001_0000	Duai IIIIGI	
			į	0.4004 2000	Reserved	
			1	0x4001_3000	_	
			1	0x4001_2000	HW WDT	
			ļ	0x4001_1000 0x4001_0000	Clock/Reset	
				0x4001_0000	CIOCK/ NESEL	
				0.4000 4000	Reserved	
				0x4000_1000 _ 0x4000_0000		
				[_ 0x4000_0000	IVIAIIII IASII I/F	



Table 12-2 通常動作(PLL)の標準と最大の消費電流, データアクセスを含むコードがフラッシュ·メモリから実行しているとき (フラッシュアクセラレータモードとトレースパッファ機能が無効)

項目	記号	端子	 条件	周波数*7		格値	単位	備考							
- 横口	配力	名	木工	问似致	標準*1	最大*2	平位	1相 行							
				160 MHz	56	76									
				144 MHz	51	71									
				120 MHz	43	63									
				100 MHz	37	57		*3							
				80 MHz	30	50	mA	周辺クロック							
				60 MHz	23	43	1111 1	すべて ON 時							
				40 MHz	16	36) (011 ///							
				20 MHz	8.5	29	ļ	1							
		VCC	NGG		8 MHz	4.3	25								
電源電波	т			MCC	VCC	MOG	MCC	MCC	VCC	VCC	MCC	通常動作*8*9	4 MHz	2.9	23
電源電流	Icc	VCC	(PLL)	160 MHz	30	51									
				144 MHz	28	48									
				120 MHz	24	44									
				100 MHz	20	41		*3							
				80 MHz	17	37	A	**3 周辺クロック							
				60 MHz	13	33	mA	すべて OFF 時							
				40 MHz	9.2	30		у . С ОГТ _Р ф							
				20 MHz	5.3	26									
				8 MHz	3.0	23									
				4 MHz	2.2	23									

^{*1:} $T_A=+25^{\circ}C, V_{CC}=3.3 V$

^{*2:} T_J=+125°C,V_{CC}=5.5 V

^{*3:} 全ポート固定時

^{*4:} 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2。

^{*5:} フラッシュアクセラレータモード, トレースバッファ機能動作 (FRWTR.RWT = 10, FBFCR.BE = 1)のとき

^{*6:} メインフラッシュメモリへのデータアクセスなし。

^{*7:} 周波数は HCLK の値です。PCLK0=PCLK2=HCLK/2, PCLK1=HCLK。

^{*8:} フラッシュアクセラレータモード, トレースバッファ機能停止 (FRWTR.RWT = 10, FBFCR.BE = 0)のとき

^{*9:} 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)



Table 12-8 ストップモード、タイマモード、RTC モードの標準と最大の消費電流

		端子	Are to	The sales	規构	各値	*** * 1	
項目	記 号	端子 名	条件	周波数	標準*1	最大*2	単位	備考
					0.21	0.94	mA	*3, *4 T _A =+25°C
	Іссн		ストップモード	-	-	7.6	mA	*3, *4 T _A =+85°C
					-	10	mA	*3, *4 T _A =+105°C
					1.4	2.1	mA	*3, *4 T _A =+25°C
			タイマモード *5 (メイン発振)	4 MHz	-	8.8	mA	*3, *4 T _A =+85°C
					-	11	mA	*3, *4 T _A =+105°C
		VCC VCC	タイマモード (内蔵高速 CR)	4 MHz	0.49	1.2	mA	*3, *4 T _A =+25°C
	Ісст				-	7.9	mA	*3, *4 T _A =+85°C
高海高 体					-	11	mA	*3, *4 T _A =+105°C
電源電流			タイマモード (サブ発振)	32 kHz	0.23	0.96	mA	*3, *4 T _A =+25°C
					-	7.6	mA	*3, *4 T _A =+85°C
					-	10	mA	*3, *4 T _A =+105°C
					0.24	0.97	mA	*3, *4 T _A =+25°C
			タイマモード (内蔵低速 CR)	100 kHz	-	7.6	mA	*3, *4 T _A =+85°C
					-	10	mA	*3, *4 T _A =+105°C
		I _{CCR}			0.21	0.94	mA	*3, *4 T _A =+25°C
	Iccr		RTC モード (サブ発振)	32 kHz	-	7.6	mA	*3, *4 T _A =+85°C
					-	10	mA	*3, *4 T _A =+105°C

*1: Vcc=3.3 V

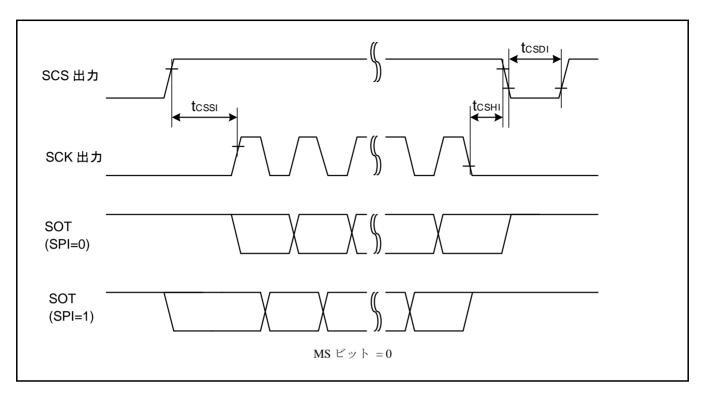
*2: Vcc=5.5 V

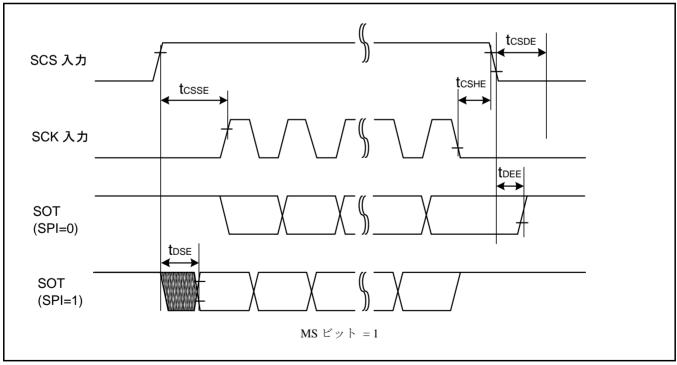
*3: 全ポート固定時

*4: LVD OFF 時

*5: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)









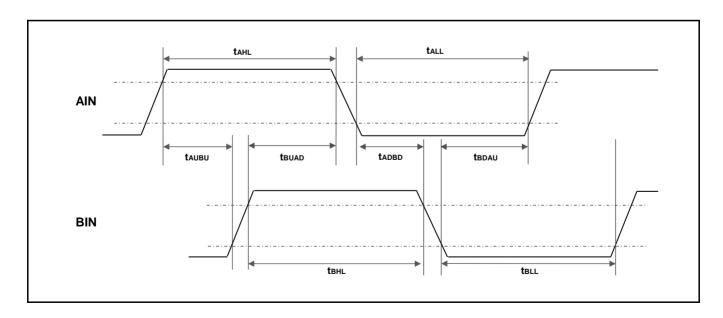
12.4.13 クアッドカウンタ タイミング

 $(V_{CC} = 2.7V \sim 5.5V, V_{SS} = 0V)$

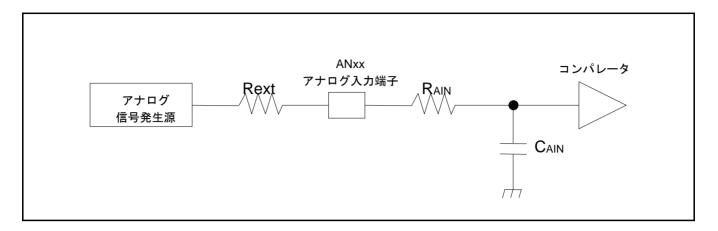
項目	記号	記号条件	規格値		単位
	10万 米什	最小値	最大値		
AIN 端子 H 幅	$t_{ m AHL}$	-			
AIN 端子 L 幅	tall	-			
BIN 端子 H 幅	t _{BHL}	-			
BIN 端子 L 幅	t _{BLL}	-			
AIN H レベルから	tarmy	PC Mode2 # 12 PC Mode3			
BIN 立上り時間	taubu	tAUBU PC_Mode2 または PC_Mode3			
BINHレベルから	tovia	DC 16 10 +2 14 DC 16 10			
AIN 立下り時間	tbuad	PC_Mode2 または PC_Mode3	2tcycp*	-	ns
AIN L レベルから	4	DC M-1-2 + 5 H DC M-1-2			
BIN 立下り時間	tadbd	PC_Mode2 または PC_Mode3			
BIN L レベルから	_	DC M-1-2 + 5 H DC M-1-2			
AIN 立上り時間	t _{BDAU}	PC_Mode2 または PC_Mode3			
BIN H レベルから	_	DCM 12 + tyt DCM 12			
AIN 立上り時間	$t_{ m BUAU}$	PC_Mode2 または PC_Mode3			
AIN H レベルから	_	tAUBD PC_Mode2 または PC_Mode3			
BIN 立下り時間	LAUBD				
BINLレベルから	A DOM 10 th HOOM 12		7		
AIN 立下り時間	LBDAD	t _{BDAD} PC_Mode2 または PC_Mode3			
AIN L レベルから	PCM 12+th PCM 12]		
BIN 立上り時間	LADBU	t _{ADBU} PC_Mode2 または PC_Mode3			
ZIN 端子 H 幅	tzhl	QCR:CGSC="0"	1		
ZIN 端子 L 幅	tzll	QCR:CGSC="0"	:CGSC="0"		
ZIN レベル確定から	tzabe QCR:CGSC="1"				
AIN/BIN 立下り立上り時間					
AIN/BIN 立下り立上り時間から	O GD GGGG HILL		1		
ZIN レベル確定	t _{ABEZ}	t _{ABEZ} QCR:CGSC="1"			
*: towar は ADD バフカロッカのサイカル	中田マナノカノ	ーエード コー・ヴェードロナア人 ハ	•		1

^{*:} tcycp は APB バスクロックのサイクル時間です(タイマモード,ストップモード時を除く)。

クアッドカウンタが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。







(式 1) $t_S \ge (R_{AIN} + Rext) \times C_{AIN} \times 9$

ts: サンプリング時間

 R_{AIN} : A/D の入力抵抗 = 1.2 k Ω 4.5 V \leq AV $_{CC}$ \leq 5.5 V の場合

A/D の入力抵抗 = $1.8 \, k\Omega$ 2.7 V \leq AV_{CC} \leq 4.5 V の場合

 C_{AIN} : A/D の入力容量 = 12.05 pF 2.7 V \leq AV $_{CC}$ \leq 5.5 V の場合

Rext: 外部回路の出力インピーダンス

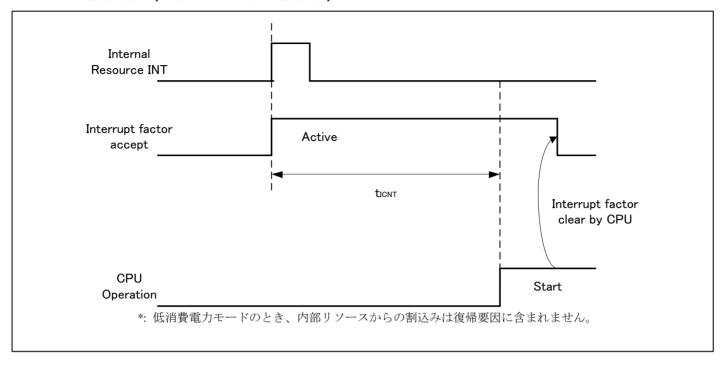
(式 2) $t_C = t_{CCK} \times 14$

tc: コンペア時間

tcck: コンペアクロック周期



スタンバイ復帰動作例(内部リソース割込み復帰時*)



<注意事項>

- 復帰要因は低消費電力モードごとに異なります。 各低消費電力モードからの復帰要因は『FM4 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』の スタンバイモード動作説明を参照してください。
- 割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM4 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。



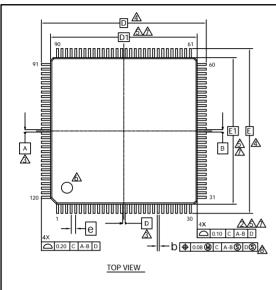
13.オーダ型格

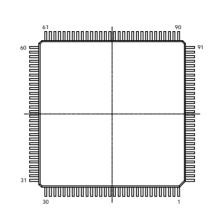
型格	パッケージ	
S6E2H16G0A GV20000	Plastic LQFP (0.5-mm pitch), 120 pin (LQM120)	
S6E2H14G0A GV20000		
S6E2H16F0A GV20000	Plastic LQFP (0.5-mm pitch), 100 pin	
S6E2H14F0A GV20000	(LQI100)	
S6E2H16E0A GV20000	Plastic LQFP (0.5-mm pitch), 80 pin	
S6E2H14E0A GV20000	(LQH080)	
S6E2H16G0A GB3000A	Plastic FBGA (0.5-mm pitch), 121 pin (FDI121)	
S6E2H14G0A GB3000A		



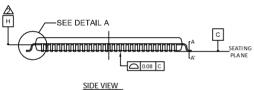
14.パッケージ・外形寸法図

Package Type	Package Code		
LQFP 120	LQM120		





BOTTOM VIEW







SYMBOL	DIMENSIONS			
STIVIBUL	MIN.	NOM.	MAX.	
А	—	_	1.70	
A1	0.05	_	0.15	
b	0.17	0.22	0.27	
С	0.115	_	0.195	
D	18.00 BSC			
D1	16.00 BSC			
е	0.50 BSC			
E	18.00 BSC			
E1	16.00 BSC			
L	0.45	0.60	0.75	
θ	0°	_	8°	

NOTES

- 1. ALL DIMENSIONS ARE IN MILLIMETERS.
- $\underline{\hat{Z}}$ DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- ⚠DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- ⚠ DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION.
 ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE.
 DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- ⚠DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- ⚠ REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- ⚠ DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (\$) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- 9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- 10 A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.
- 11. JEDEC SPECIFICATION NO. REF: N/A.

PACKAGE OUTLINE, 120 LEAD LQFP 18.0X18.0X1.7 MM LQM120 REV** 002-16172 **