Welcome to E-XFL.COM

What is "Embedded - Microcontrollers"?

"Embedded - Microcontrollers" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

Applications of "Embedded - Microcontrollers"

Details	
Product Status	Active
Core Processor	ARM® Cortex®-M4F
Core Size	32-Bit Single-Core
Speed	160MHz
Connectivity	CSIO, EBI/EMI, I²C, LINbus, UART/USART
Peripherals	DMA, LVD, POR, PWM, WDT
Number of I/O	80
Program Memory Size	288KB (288K x 8)
Program Memory Type	FLASH
EEPROM Size	-
RAM Size	32K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 24x12b; D/A 2x12b
Oscillator Type	Internal
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	100-LQFP
Supplier Device Package	100-LQFP (14x14)
Purchase URL	https://www.e-xfl.com/product-detail/infineon-technologies/s6e2h14f0agv20000

端子番号				端子名	入出力回路形式	端子状態形式
LQFP120	LQFP100	LQFP80	FBGA121			
24	19	14	H2	P3A	G	I
				TIOA0_1		
				AIN0_0		
				RTO00_0 (PPG00_0)		
		-		MSDCKE_0		
25	20	15	H3	P3B	G	I
				TIOA1_1		
				BIN0_0		
				RTO01_0 (PPG00_0)		
		-		MRASX_0		
26	21	16	H4	P3C	G	I
				TIOA2_1		
				ZIN0_0		
				RTO02_0 (PPG02_0)		
		-		MCASX_0		
27	22	17	J1	P3D	G	I
				TIOA3_1		
				RTO03_0 (PPG02_0)		
				MAD00_0		
28	23	18	J2	P3E	G	I
				TIOA4_1		
				RTO04_0 (PPG04_0)		
				MAD01_0		
29	24	19	K2	P3F	G	I
				TIOA5_1		
				RTO05_0 (PPG04_0)		
				MAD02_0		
30	25	20	L1	VSS	-	-
31	26	-	K1	VCC	-	-
32	27	-	L2	P40	G	K
				TIOA0_0		
				RTO10_1 (PPG10_1)		
				INT12_1		
33	28	-	J3	P41	G	K
				TIOA1_0		
				RTO11_1 (PPG10_1)		
				INT13_1		
				AIN2_0		
34	29	-	J5	P42	G	I
				TIOA2_0		
				RTO12_1 (PPG12_1)		
				MSDWEX_0		
				BIN2_0		

端子番号				端子名	入出力回路形式	端子状態形式
LQFP120	LQFP100	LQFP80	FBGA121			
35	30	-	H5	P43	G	I
				ADTG_7		
				TIOA3_0		
				RTO13_1 (PPG12_1)		
				MCSX8_0		
				ZIN2_0		
36	31	21	K3	P44	R	J
				TIOA4_0		
				RTO14_1 (PPG14_1)		
				DA0		
37	32	22	J4	P45	R	J
				TIOB0_0		
				RTO15_1 (PPG14_1)		
				DA1		
38	33	23	L3	INITX	B	C
39	34	24	L4	P46	P	S
				X0A		
40	35	25	K4	P47	Q	T
				X1A		
41	36	26	K5	P48	O	U
				VREGCTL		
42	37	27	K6	P49	O	U
				VWAKEUP		
43	38	28	L5	VBAT	-	-
44	39	29	L6	C	-	-
45	40	30	L7	VSS	-	-
46	41	31	K7	VCC	-	-
47	42	32	J6	P4B	E	I
				TIOB1_0		
				SCS7_1		
				MAD03_0		
48	43	33	J7	P4C	N	I
				TIOB2_0		
				SCK7_1 (SCL7_1)		
				AIN1_2		
				MAD04_0		
49	44	34	J8	P4D	N	K
				TIOB3_0		
				SOT7_1 (SDA7_1)		
				BIN1_2		
				INT13_2		
				MAD05_0		

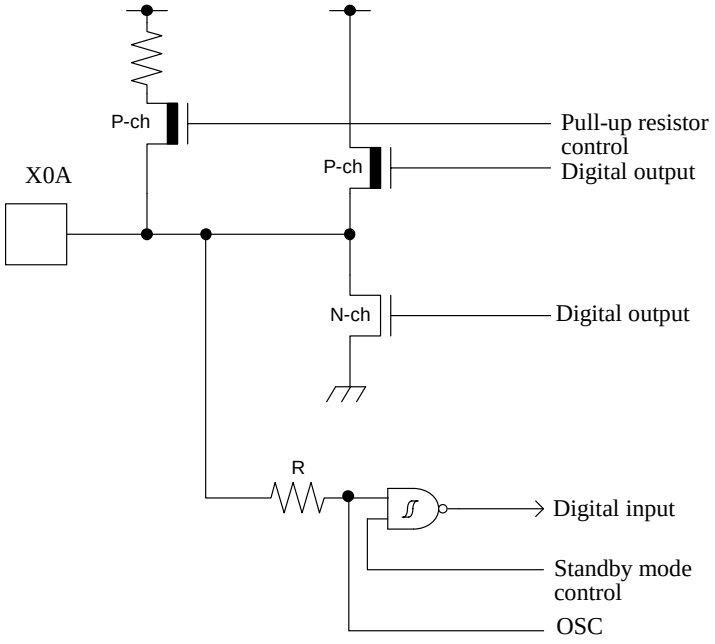
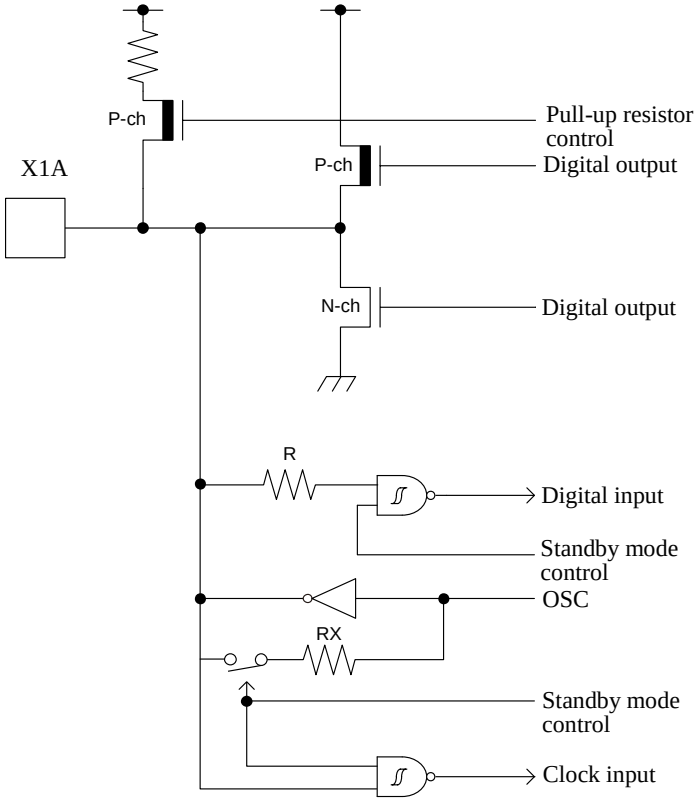
端子番号				端子名	入出力回路形式	端子状態形式
LQFP120	LQFP100	LQFP80	FBGA121			
92	77	62	B9	P0E	L	I
				TIOB5_2		
				SCS6_1		
				IC13_0		
				MDQM1_0		
93	78	63	A9	P0D	L	I
				TIOA5_2		
				SCK6_1 (SCL6_1)		
				IC12_0		
				MDQM0_0		
94	79	64	C8	P0C	L	I
				TIOA6_1		
				SOT6_1 (SDA6_1)		
				IC11_0		
				MALE_0		
95	80	65	B8	P0B	L	K
				TIOB6_1		
				SIN6_1		
				IC10_0		
				INT00_1		
				MCSX0_0		
96	81	66	A8	P0A	L	K
				SIN1_0		
				FRCK1_0		
				INT12_2		
				MCSX1_0		
97	82	67	D7	P09	M	N
				AN19		
		-		TRACED0		
		67		TIOA3_2		
				SOT1_0 (SDA1_0)		
				MCSX5_0		
				IC23_1		
98	83	-	C7	P08	F	N
				AN20		
				TRACED1		
				TIOB3_2		
				SCK1_0 (SCL1_0)		
				MCSX4_0		
				IC22_1		

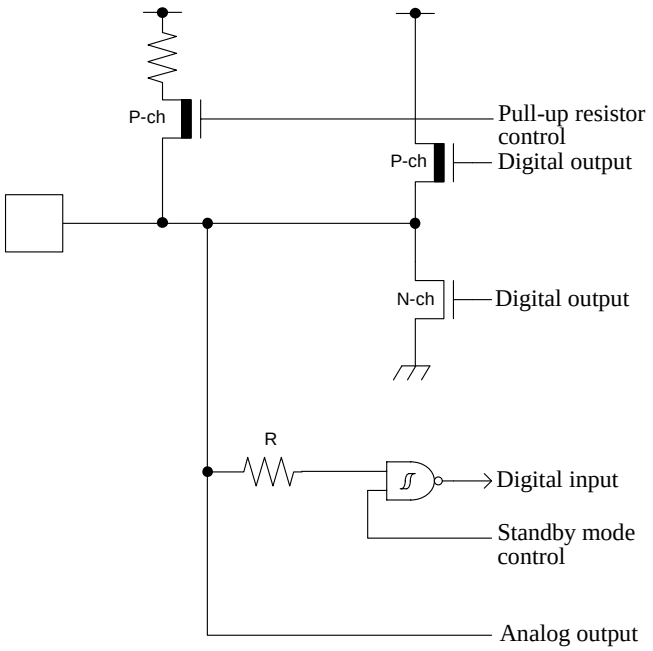
端子機能	端子名	機能説明	端子番号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
ベースタイマ 3	TIOA3_0	ベースタイマ ch.3 の TIOA 端子	35	30	-	H5
	TIOA3_1		27	22	17	J1
	TIOA3_2		97	82	67	D7
	TIOB3_0	ベースタイマ ch.3 の TIOB 端子	49	44	34	J8
	TIOB3_1		17	12	12	F2
	TIOB3_2		98	83	-	C7
ベースタイマ 4	TIOA4_0	ベースタイマ ch.4 の TIOA 端子	36	31	21	K3
	TIOA4_1		28	23	18	J2
	TIOA4_2		51	-	-	H6
	TIOB4_0	ベースタイマ ch.4 の TIOB 端子	50	45	35	K8
	TIOB4_1		18	13	-	F1
	TIOB4_2		52	-	-	H7
ベースタイマ 5	TIOA5_0	ベースタイマ ch.5 の TIOA 端子	84	-	-	C9
	TIOA5_1		29	24	19	K2
	TIOA5_2		93	78	63	A9
	TIOB5_0	ベースタイマ ch.5 の TIOB 端子	83	-	-	D8
	TIOB5_1		19	14	-	G1
	TIOB5_2		92	77	62	B9
ベースタイマ 6	TIOA6_0	ベースタイマ ch.6 の TIOA 端子	53	-	-	G7
	TIOA6_1		94	79	64	C8
	TIOA6_2		82	-	-	E7
	TIOB6_0	ベースタイマ ch.6 の TIOB 端子	54	-	-	H8
	TIOB6_1		95	80	65	B8
	TIOB6_2		81	-	-	F7
ベースタイマ 7	TIOA7_0	ベースタイマ ch.7 の TIOA 端子	112	-	-	C4
	TIOA7_1		86	71	57	D11
	TIOA7_2		109	-	-	E5
	TIOB7_0	ベースタイマ ch.7 の TIOB 端子	111	-	-	D4
	TIOB7_1		87	72	58	C10
	TIOB7_2		108	-	-	E6
デバッガ	SWCLK	シリアルワイヤデバッグインタフェースクロック入力端子	105	90	71	B5
	SWDIO	シリアルワイヤデバッグインタフェースデータ入出力端子	103	88	69	C6
	SWO	シリアルワイヤビューワ出力端子	102	87	68	B6
	TCK	JTAG テストクロック入力端子	105	90	71	B5
	TDI	JTAG テストデータ入力端子	104	89	70	C5
	TDO	JTAG デバッグデータ出力端子	102	87	68	B6
	TMS	JTAG テストモード状態入出力端子	103	88	69	C6
	TRACECLK	ETM のトレース CLK 出力端子	101	86	-	D6
	TRACED0	ETM のトレースデータ出力端子	97	82	-	D7
	TRACED1		98	83	-	C7
	TRACED2		99	84	-	B7
	TRACED3		100	85	-	A7
	TRSTX	JTAG テストリセット入力端子	106	91	72	A5

端子機能	端子名	機能説明	端子番号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
GPIO	P40	汎用入出力ポート 4	32	27	-	L2
	P41		33	28	-	J3
	P42		34	29	-	J5
	P43		35	30	-	H5
	P44		36	31	21	K3
	P45		37	32	22	J4
	P46		39	34	24	L4
	P47		40	35	25	K4
	P48		41	36	26	K5
	P49		42	37	27	K6
	P4B		47	42	32	J6
	P4C		48	43	33	J7
	P4D		49	44	34	J8
	P4E		50	45	35	K8
	P50	汎用入出力ポート 5	2	2	2	C1
	P51		3	3	3	C2
	P52		4	4	4	D1
	P53		5	5	5	D2
	P54		6	6	6	D3
	P55		7	7	7	E2
	P56		8	8	8	E3
	P57		9	-	-	E4
	P58		10	-	-	F5
	P59		11	-	-	F6
	P5A		12	-	-	G5
	P5B		13	-	-	G6
	P60	汎用入出力ポート 6	116	96	76	B2
	P61		115	95	75	B3
	P62		114	94	74	C3
	P63		113	93	73	B4
	P64		112	-	-	C4
	P65		111	-	-	D4
	P66		110	-	-	D5
	P67		109	-	-	E5
	P68		108	-	-	E6
	P70	汎用入出力ポート 7	51	-	-	H6
	P71		52	-	-	H7
	P72		53	-	-	G7
	P73		54	-	-	H8
	P74		55	-	-	J9
	P80	汎用入出力ポート 8	118	98	78	A3
	P81		119	99	79	A2
	PE0	汎用入出力ポート E	56	46	36	L8
	PE2		58	48	38	L9
	PE3		59	49	39	L10

端子機能	端子名	機能説明	端子番号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
多機能タイマ 1	DTTI1X_0	多機能タイマ 1 の RTO10～RTO15 出力を制御する波形ジェネレータの入力信号	8	8	8	E3
	DTTI1X_1		55	-	-	J9
	FRCK1_0	16 ビットフリーランタイマ ch.1 の外部クロック入力端子	96	81	66	A8
	FRCK1_1		50	45	35	K8
	IC10_0	多機能タイマ 1 の 16 ビットインプットキャプチャの入力端子。 ICxx は、チャネル数を示します。	95	80	65	B8
	IC10_1		54	-	-	H8
	IC11_0		94	79	64	C8
	IC11_1		53	-	-	G7
	IC12_0		93	78	63	A9
	IC12_1		52	-	-	H7
	IC13_0		92	77	62	B9
	IC13_1		51	-	-	H6
	RTO10_0 (PPG10_0)	多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG10 として機能します。	2	2	2	C1
	RTO10_1 (PPG10_1)		32	27	-	L2
	RTO11_0 (PPG10_0)	多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG10 として機能します。	3	3	3	C2
	RTO11_1 (PPG10_1)		33	28	-	J3
	RTO12_0 (PPG12_0)	多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG12 として機能します。	4	4	4	D1
	RTO12_1 (PPG12_1)		34	29	-	J5
	RTO13_0 (PPG12_0)	多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG12 として機能します。	5	5	5	D2
	RTO13_1 (PPG12_1)		35	30	-	H5
	RTO14_0 (PPG14_0)	多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG14 として機能します。	6	6	6	D3
	RTO14_1 (PPG14_1)		36	31	21	K3
	RTO15_0 (PPG14_0)	多機能タイマ 1 の波形ジェネレータ出力端子。 PPG1 出力モードで使用するときは、PPG14 として機能します。	7	7	7	E2
	RTO15_1 (PPG14_1)		37	32	22	J4

端子機能	端子名	機能説明	端子番号			
			LQFP 120	LQFP 100	LQFP 80	FBGA 121
クアッドカウンタ 2	AIN2_0	QPRC ch.2 の AIN 入力端子	33	28	-	J3
	AIN2_1		119	99	79	A2
	AIN2_2		69	59	48	F9
	BIN2_0	QPRC ch.2 の BIN 入力端子	34	29	-	J5
	BIN2_1		118	98	78	A3
	BIN2_2		68	58	47	F10
	ZIN2_0	QPRC ch.2 の ZIN 入力端子	35	30	-	H5
	ZIN2_1		115	95	75	B3
	ZIN2_2		67	57	46	G8
リアルタイムクロック	RTCCO_0	リアルタイムクロックの 0.5 秒パルス出力端子	115	95	75	B3
	RTCCO_1		64	54	43	H9
	RTCCO_2		23	18	13	H1
	SUBOUT_0	サブクロック出力端子	115	95	75	B3
	SUBOUT_1		64	54	43	H9
	SUBOUT_2		23	18	13	H1
低消費電力	WKUP0	ディープスタンバイモード復帰信号入力端子 0	116	96	76	B2
	WKUP1	ディープスタンバイモード復帰信号入力端子 1	14	9	9	E1
	WKUP2	ディープスタンバイモード復帰信号入力端子 2	50	45	35	K8
	WKUP3	ディープスタンバイモード復帰信号入力端子 3	69	59	48	F9
DAC	DA0	D/A コンバータ ch.0 のアナログ出力端子	36	31	21	K3
	DA1	D/A コンバータ ch.1 のアナログ出力端子	37	32	22	J4
VBAT	VREGCTL	オンボードレギュレータ制御用端子	41	36	26	K5
	VWAKEUP	ハイバネーション状態からの復帰信号入力端子	42	37	27	K6
Reset	INITX	外部リセット入力端子。 INITX=L のとき、リセットが有効。	38	33	23	L3
Mode	MD1	モード 1 端子。 フラッシュメモリのシリアル書込み時は、MD1=L を入力してください。	56	46	36	L8
	MD0	モード 0 端子。 通常動作時は、MD0=L を入力してください。フラッシュメモリのシリアル書込み時は、MD0=H を入力してください。	57	47	37	K9
Power	VCC	電源端子	1	1	1	B1
			31	26	-	K1
			46	41	31	K7
			61	51	-	K11
			91	76	61	A10
			117	97	77	A4
GND	VSS	GND 端子	107	92	-	A6
			30	25	20	L1
			45	40	30	L7
			60	50	40	L11
			90	75	60	A11
			120	100	80	A1
			-	-	-	K10
Clock	X0	メインクロック(発振)入力端子	58	48	38	L9
	X1	メインクロック(発振)I/O 端子	59	49	39	L10
	X0A	サブクロック(発振)入力端子	39	34	24	L4
	X1A	サブクロック(発振)I/O 端子	40	35	25	K4
	CROUT_0	高速内蔵 CR 発振クロック出力ポート	87	72	58	C10
	CROUT_1		113	93	73	B4

分類	回路	備考
P		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗 ： 約 50 kΩ – I_{OH} = -4 mA, I_{OL} = 4 mA – IO の設定はペリフェラルマニュアル『本編』の『VBAT ドメイン』の章を参照してください
Q		サブ発振/GPIO 切換え可能 サブ発振機能選択時 – 発振帰還抵抗 ： 約 10 MΩ – スタンバイ制御あり GPIO 機能選択時 – CMOS レベル出力 – CMOS レベルヒステリシス入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗 ： 約 50 kΩ – I_{OH} = -4 mA, I_{OL} = 4 mA – IO の設定はペリフェラルマニュアル『本編』の『VBAT ドメイン』の章を参照してください

分類	回路	備考
R		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – アナログ出力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗 ： 約 50 kΩ – I_{OH} = -12 mA, I_{OL} = 12 mA (4.5V～5.5V) – I_{OH} = -8 mA, I_{OL} = 8 mA (2.7V～4.5V)

7. デバイス使用上の注意

電源端子について

VCC, VSS 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してありますが、不要輻射の低減・グランドレベルの上昇によるストローブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグランドに接続してください。また、電流供給源からできる限り低インピーダンスで本デバイスの各電源端子と GND 端子に接続してください。

さらに、本デバイスの近くで各電源端子 と GND 端子の間に 0.1 µF 程度のセラミックコンデンサをバイパスコンデンサとして接続することを推奨します。

電源端子について

電源電圧の変動が VCC の推奨動作条件内においても、急激な変化があると誤動作することがあります。安定化の基準として VCC は、商用周波数 (50 Hz～60 Hz) におけるリプル変動(ピークピーク値) を推奨動作条件内の 10%以内にしてください。かつ電源切換えによる瞬間変動の過渡変動率は 0.1 V/µs 以下にしてください。

水晶発振回路について

X0/X1, X0A/X1A 端子の近辺のノイズは本デバイスの誤動作の原因となります。X0/X1, X0A/X1A 端子および水晶発振子さらにグランドへのバイパスコンデンサはできる限り近くに配置するようにプリント板を設計してください。
また、X0/X1, X0A/X1A 端子の周りをグランドで囲むようなプリント板アートワークは安定した動作を期待できるため、強く推奨します。

実装基板にて、使用する水晶振動子の発振評価を実施してください。

サブクロック用水晶振動子について

本シリーズのサブクロック発振回路は消費電流を低く抑えた設計を行っており、増幅度が低い回路となっています。安定した発振をさせるためサブクロック用水晶振動子には、以下の条件を満たす水晶振動子の使用を推奨します。

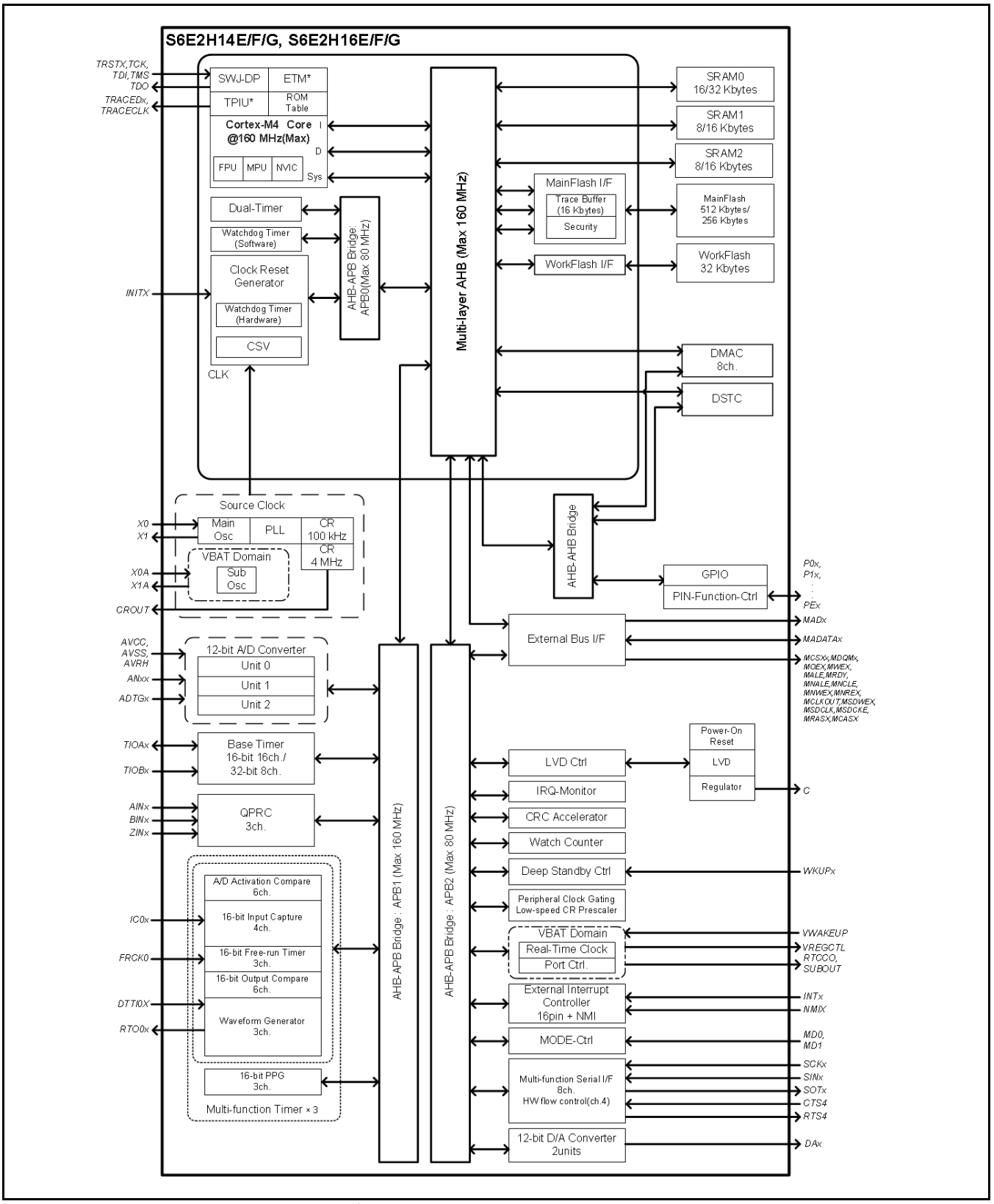
■表面実装タイプ

サイズ: 3.2 mm × 1.5 mm 以上
負荷容量: 6 pF～7 pF 程度

■リードタイプ

負荷容量: 6 pF～7 pF 程度

8. ブロックダイヤグラム



*: S6E2H14E0A, S6E2H16E0A では、ETM は使用できません。

9. メモリサイズ

メモリサイズについては、「1. 品種構成」の「メモリサイズ」を参照してください。

10. メモリマップ

メモリマップ (1)

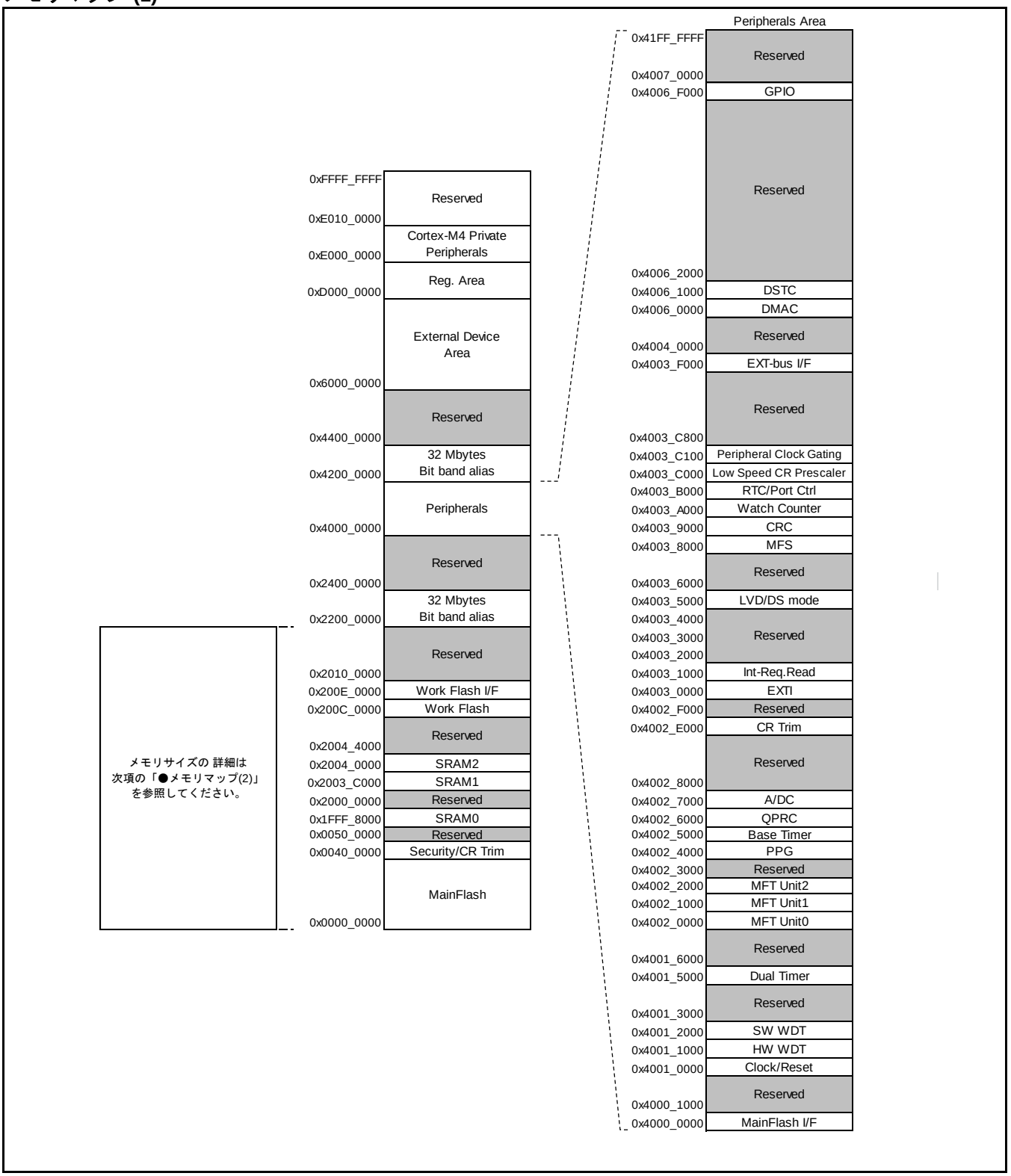


Table 12-2 通常動作(PLL)の標準と最大の消費電流，データアクセスを含むコードがフラッシュ･メモリから実行しているとき（フラッシュアクセラレータモードとトレースバッファ機能が無効）

項目	記号	端子名	条件	周波数*7	規格値		単位	備考
					標準*1	最大*2		
電源電流	I_{CC}	VCC	通常動作*8 *9 (PLL)	160 MHz	56	76	mA	*3 周辺クロック すべて ON 時
				144 MHz	51	71		
				120 MHz	43	63		
				100 MHz	37	57		
				80 MHz	30	50		
				60 MHz	23	43		
				40 MHz	16	36		
				20 MHz	8.5	29		
				8 MHz	4.3	25		
				4 MHz	2.9	23		
				160 MHz	30	51	mA	*3 周辺クロック すべて OFF 時
				144 MHz	28	48		
				120 MHz	24	44		
				100 MHz	20	41		
				80 MHz	17	37		
				60 MHz	13	33		
				40 MHz	9.2	30		
				20 MHz	5.3	26		
				8 MHz	3.0	23		
				4 MHz	2.2	23		

*1: T_A=+25°C,V_{CC}=3.3 V

*2: T_J=+125°C,V_{CC}=5.5 V

*3: 全ポート固定時

*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2。

*5: フラッシュアクセラレータモード，トレースバッファ機能動作 (FRWTR.RWT = 10, FBFCR.BE = 1)のとき

*6: メインフラッシュメモリへのデータアクセスなし。

*7: 周波数は HCLK の値です。PCLK0=PCLK2=HCLK/2, PCLK1=HCLK。

*8: フラッシュアクセラレータモード，トレースバッファ機能停止 (FRWTR.RWT = 10, FBFCR.BE = 0)のとき

*9: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

Table 12-8 ストップモード，タイマモード，RTC モードの標準と最大の消費電流

項目	記号	端子名	条件	周波数	規格値		単位	備考
					標準*1	最大*2		
電源電流	I_{CCH}	VCC	ストップモード	-	0.21	0.94	mA	*3, *4 T_A=+25°C
					-	7.6	mA	*3, *4 T_A=+85°C
					-	10	mA	*3, *4 T_A=+105°C
	I_{CCT}		タイマモード *5 (メイン発振)	4 MHz	1.4	2.1	mA	*3, *4 T_A=+25°C
					-	8.8	mA	*3, *4 T_A=+85°C
					-	11	mA	*3, *4 T_A=+105°C
			タイマモード (内蔵高速 CR)	4 MHz	0.49	1.2	mA	*3, *4 T_A=+25°C
					-	7.9	mA	*3, *4 T_A=+85°C
					-	11	mA	*3, *4 T_A=+105°C
			タイマモード (サブ発振)	32 kHz	0.23	0.96	mA	*3, *4 T_A=+25°C
					-	7.6	mA	*3, *4 T_A=+85°C
					-	10	mA	*3, *4 T_A=+105°C
			タイマモード (内蔵低速 CR)	100 kHz	0.24	0.97	mA	*3, *4 T_A=+25°C
					-	7.6	mA	*3, *4 T_A=+85°C
					-	10	mA	*3, *4 T_A=+105°C
	I_{CCR}		RTC モード (サブ発振)	32 kHz	0.21	0.94	mA	*3, *4 T_A=+25°C
					-	7.6	mA	*3, *4 T_A=+85°C
					-	10	mA	*3, *4 T_A=+105°C

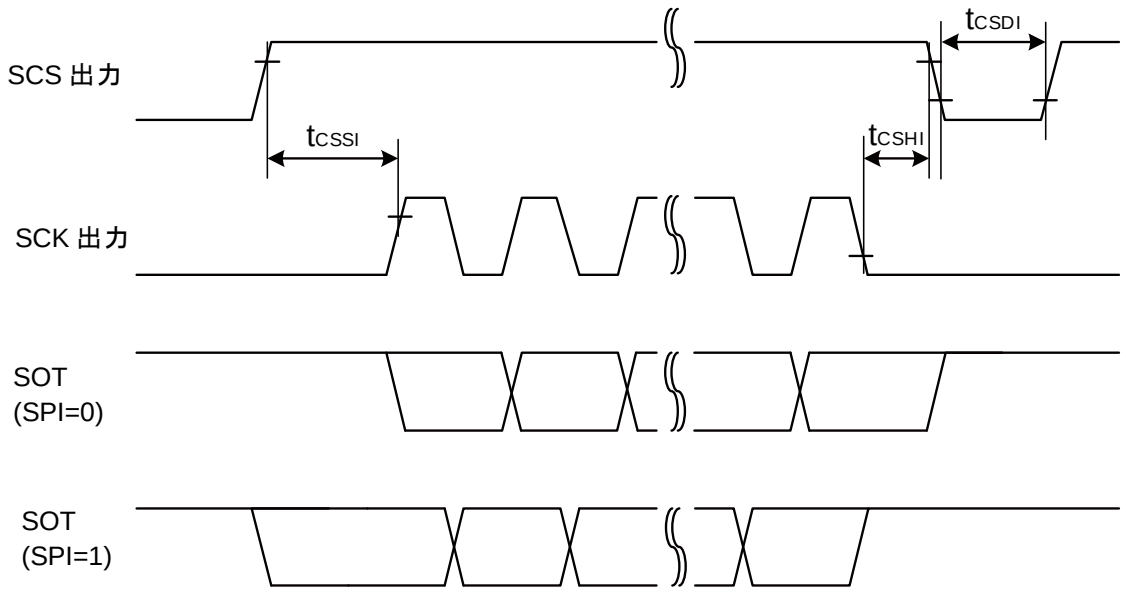
*1: V_{CC}=3.3 V

*2: V_{CC}=5.5 V

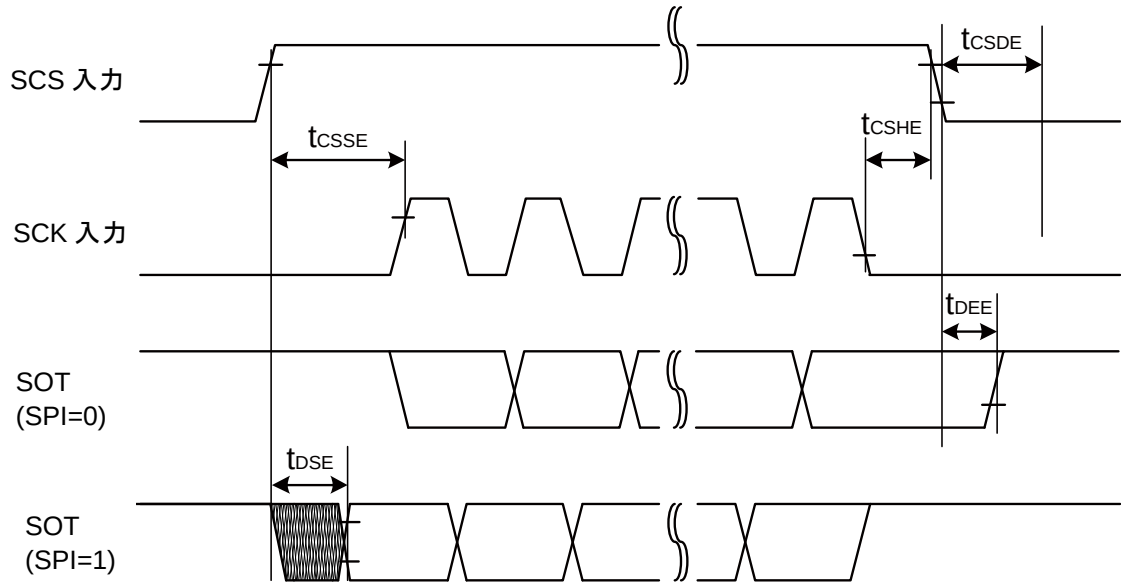
*3: 全ポート固定時

*4: LVD OFF 時

*5: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)



MS ビット = 0



MS ビット = 1

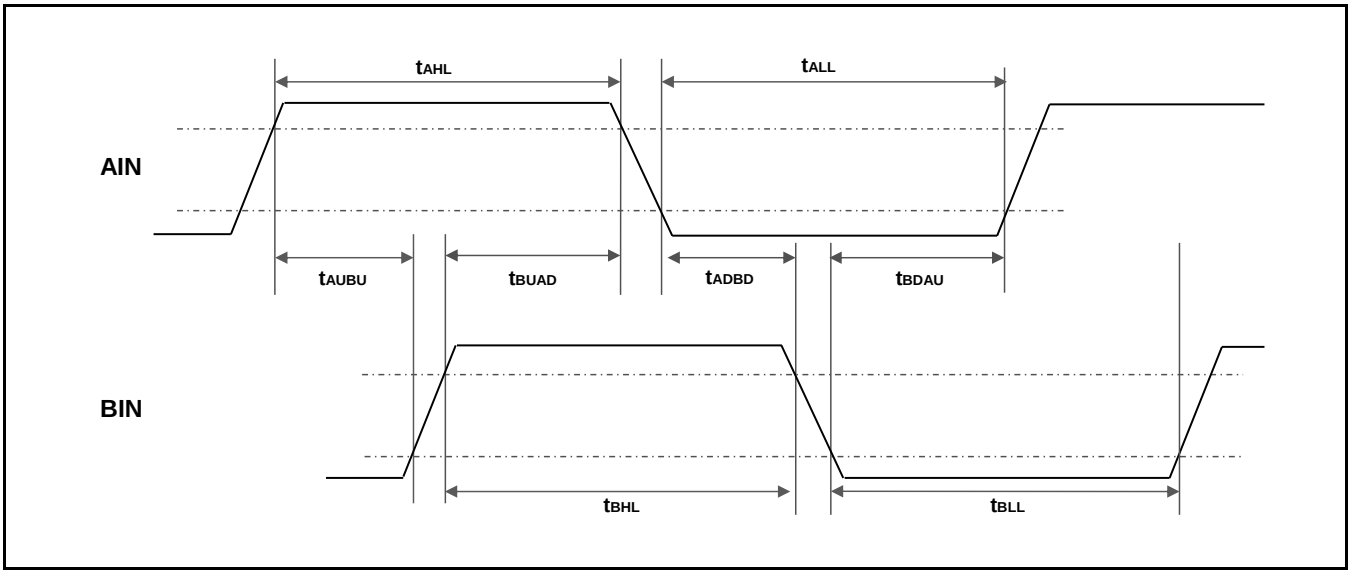
12.4.13 クアッドカウンタ タイミング

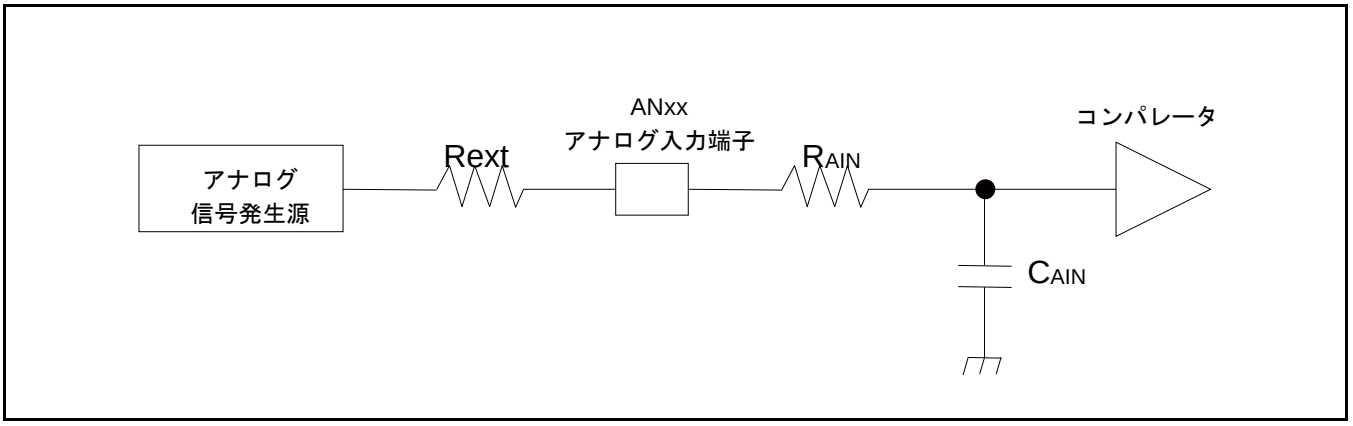
(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	規格値		単位
			最小値	最大値	
AIN 端子 H 幅	t_{AHL}	-	$2t_{CYCP}$*	-	ns
AIN 端子 L 幅	t_{ALL}	-			
BIN 端子 H 幅	t_{BHL}	-			
BIN 端子 L 幅	t_{BLL}	-			
AIN H レベルから BIN 立上り時間	t_{AUBU}	PC_Mode2 または PC_Mode3			
BIN H レベルから AIN 立下り時間	t_{BUAD}	PC_Mode2 または PC_Mode3			
AIN L レベルから BIN 立下り時間	t_{ADBD}	PC_Mode2 または PC_Mode3			
BIN L レベルから AIN 立上り時間	t_{BDAU}	PC_Mode2 または PC_Mode3			
BIN H レベルから AIN 立上り時間	t_{BUAU}	PC_Mode2 または PC_Mode3			
AIN H レベルから BIN 立下り時間	t_{AUBD}	PC_Mode2 または PC_Mode3			
BIN L レベルから AIN 立下り時間	t_{BDAD}	PC_Mode2 または PC_Mode3			
AIN L レベルから BIN 立上り時間	t_{ADBU}	PC_Mode2 または PC_Mode3			
ZIN 端子 H 幅	t_{ZHL}	QCR:CGSC="0"			
ZIN 端子 L 幅	t_{ZLL}	QCR:CGSC="0"			
ZIN レベル確定から AIN/BIN 立下り立上り時間	t_{ZABE}	QCR:CGSC="1"			
AIN/BIN 立下り立上り時間から ZIN レベル確定	t_{ABEZ}	QCR:CGSC="1"			

*: t_{CYCP} は APB バスクロックのサイクル時間です(タイマモード, ストップモード時を除く)。

クアッドカウンタが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。





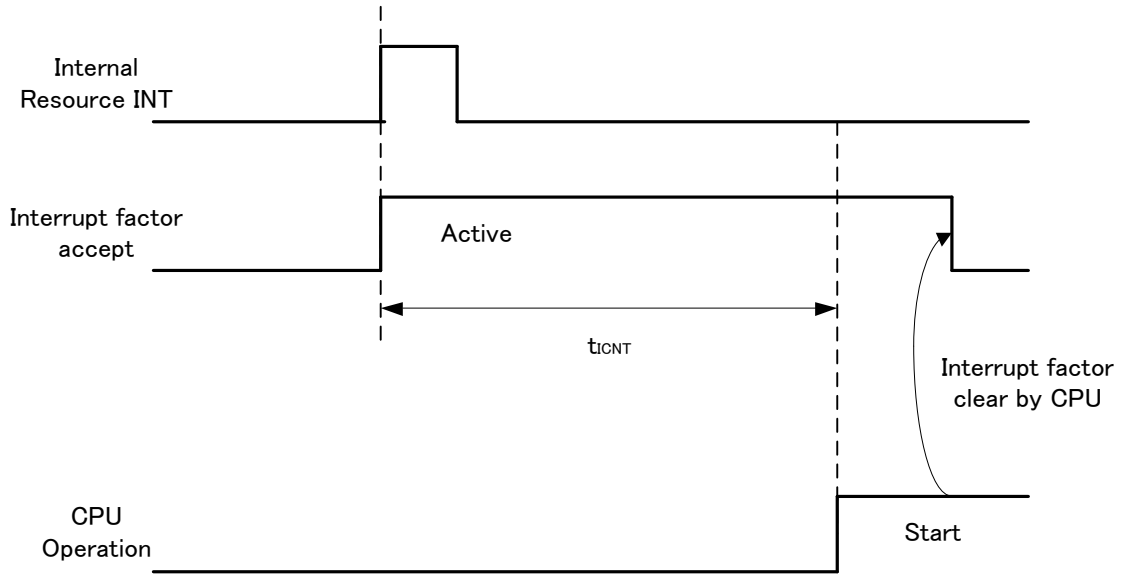
(式 1) $t_S \geqq (R_{AIN} + Rext) \times C_{AIN} \times 9$

t_S:	サンプリング時間
R_{AIN}:	A/D の入力抵抗 = 1.2 kΩ　4.5 V ≦ AV_{CC} ≦ 5.5 V の場合
	A/D の入力抵抗 = 1.8 kΩ　2.7 V ≦ AV_{CC} ≦ 4.5 V の場合
C_{AIN}:	A/D の入力容量 = 12.05 pF　2.7 V ≦ AV_{CC} ≦ 5.5 V の場合
Rext:	外部回路の出力インピーダンス

(式 2) $t_C = t_{CCK} \times 14$

t_C:	コンペア時間
t_{CCK}:	コンペアクロック周期

スタンバイ復帰動作例(内部リソース割込み復帰時*)



*: 低消費電力モードのとき、内部リソースからの割込みは復帰要因に含まれません。

<注意事項>

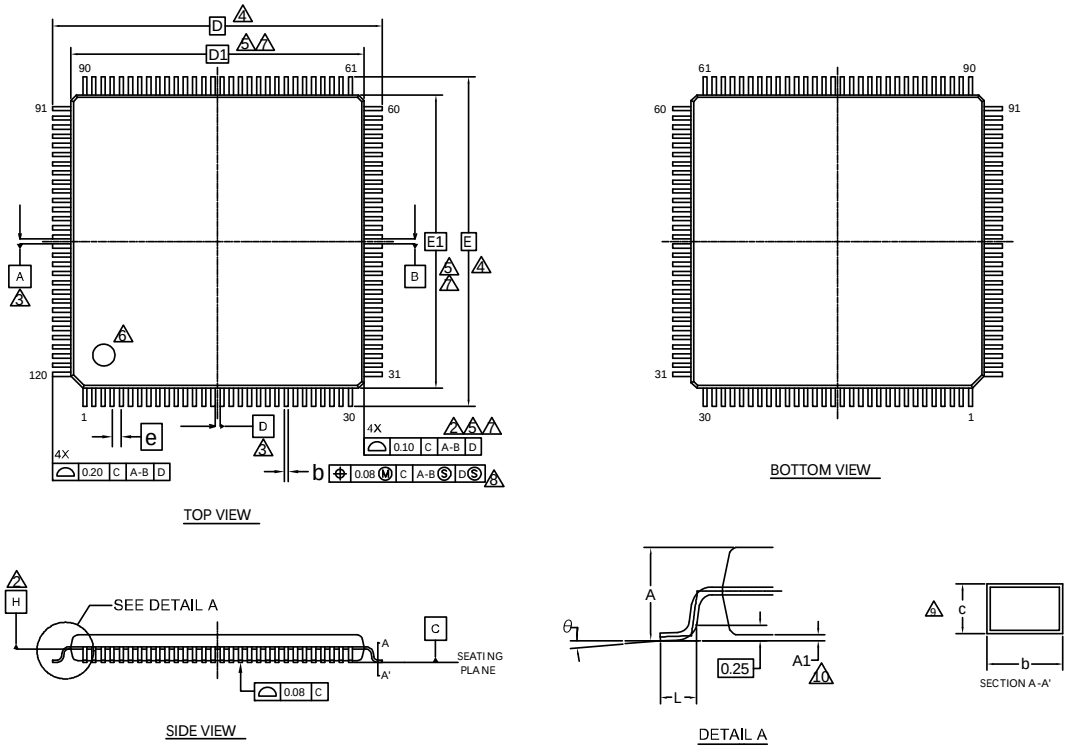
- *復帰要因は低消費電力モードごとに異なります。*
  各低消費電力モードからの復帰要因は『FM4 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- *割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM4 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。*

13. オーダ型格

型格	パッケージ
S6E2H16G0A GV20000	Plastic LQFP (0.5-mm pitch), 120 pin (LQM120)
S6E2H14G0A GV20000	
S6E2H16F0A GV20000	Plastic LQFP (0.5-mm pitch), 100 pin (LQI100)
S6E2H14F0A GV20000	
S6E2H16E0A GV20000	Plastic LQFP (0.5-mm pitch), 80 pin (LQH080)
S6E2H14E0A GV20000	
S6E2H16G0A GB3000A	Plastic FBGA (0.5-mm pitch), 121 pin (FDI121)
S6E2H14G0A GB3000A	

14. パッケージ・外形寸法図

Package Type	Package Code
LQFP 120	LQM120



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.17	0.22	0.27
c	0.115	—	0.195
D	18.00 BSC		
D1	16.00 BSC		
e	0.50 BSC		
E	18.00 BSC		
E1	16.00 BSC		
L	0.45	0.60	0.75
θ	0°	—	8°

NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.
11. JEDEC SPECIFICATION NO. REF: N/A.

PACKAGE OUTLINE, 120 LEAD LQFP
18.0X18.0X1.7 MM LQM120 REV**

002-16172 **