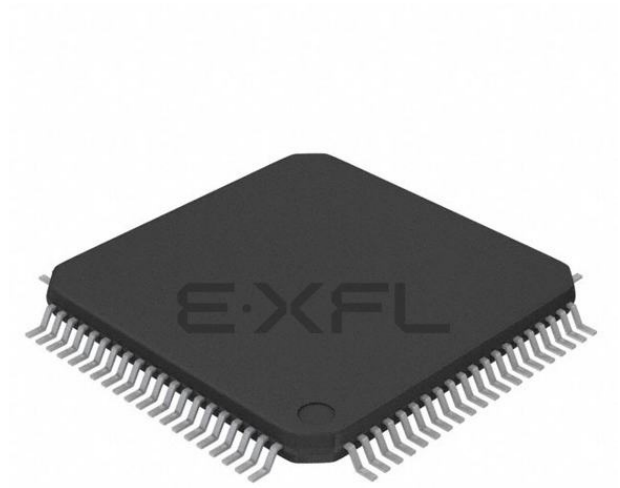


Welcome to E-XFL.COM

What is "Embedded - Microcontrollers"?

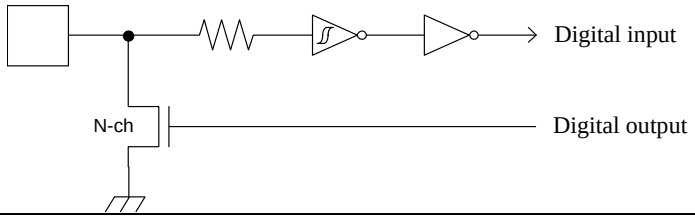
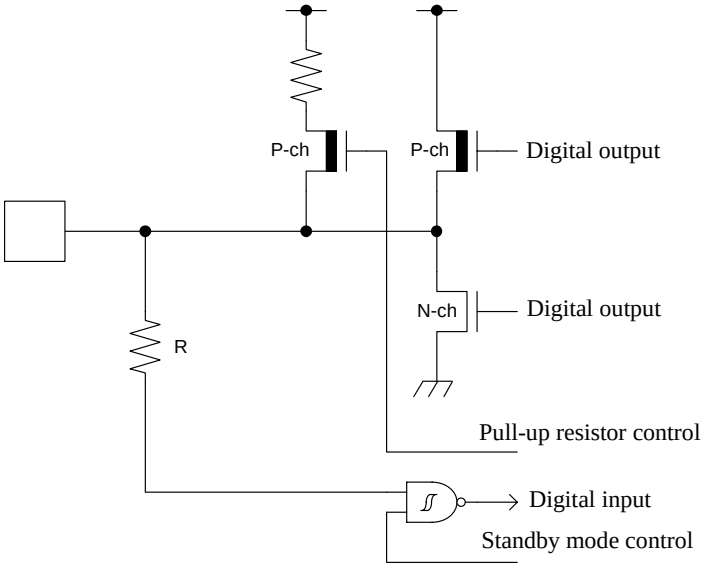
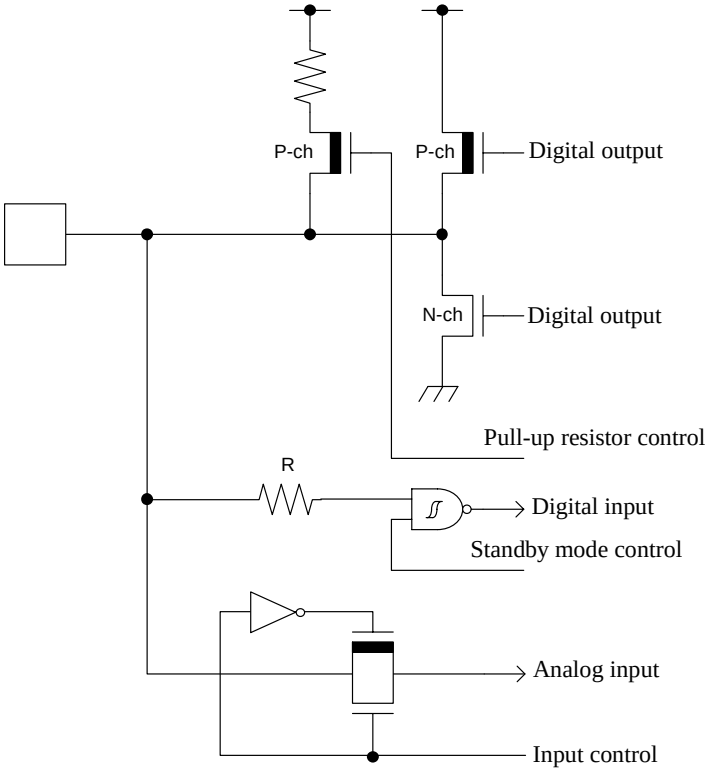
"Embedded - Microcontrollers" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

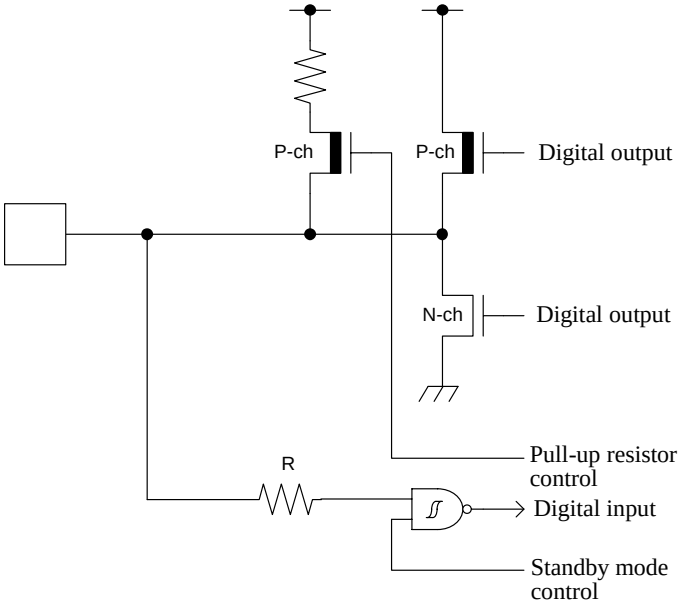
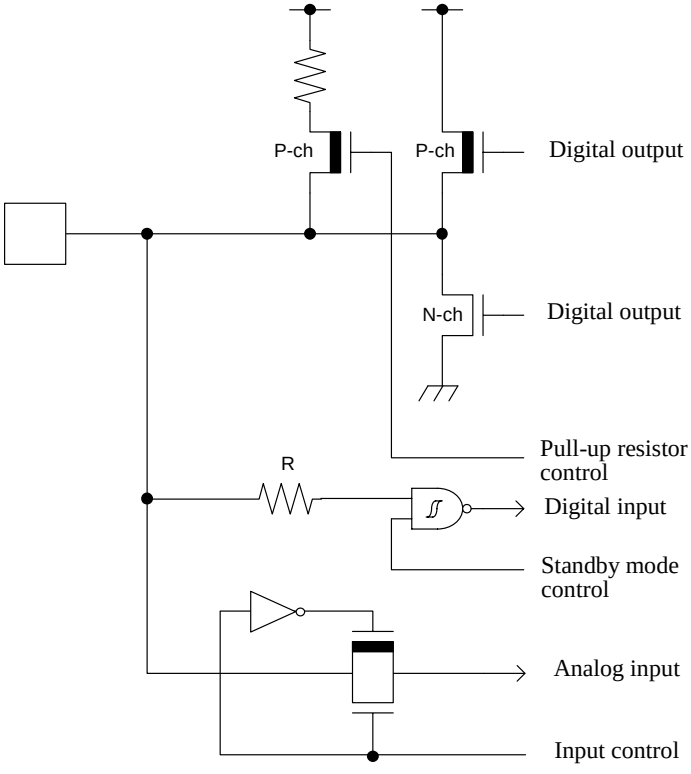
Applications of "Embedded - Microcontrollers"

Details	
Product Status	Active
Core Processor	ARM® Cortex®-M4F
Core Size	32-Bit Single-Core
Speed	160MHz
Connectivity	CSIO, EBI/EMI, I²C, LINbus, UART/USART
Peripherals	DMA, LVD, POR, PWM, WDT
Number of I/O	63
Program Memory Size	544KB (544K x 8)
Program Memory Type	FLASH
EEPROM Size	-
RAM Size	64K x 8
Voltage - Supply (Vcc/Vdd)	2.7V ~ 5.5V
Data Converters	A/D 16x12b; D/A 2x12b
Oscillator Type	Internal
Operating Temperature	-40°C ~ 125°C (TA)
Mounting Type	Surface Mount
Package / Case	80-LQFP
Supplier Device Package	80-LQFP (12x12)
Purchase URL	https://www.e-xfl.com/product-detail/infineon-technologies/s6e2h16e0agv20000

端子番号				端子名	入出力回路形式	端子状態形式
LQFP120	LQFP100	LQFP80	FBGA121			
35	30	-	H5	P43	G	I
				ADTG_7		
				TIOA3_0		
				RTO13_1 (PPG12_1)		
				MCSX8_0		
				ZIN2_0		
36	31	21	K3	P44	R	J
				TIOA4_0		
				RTO14_1 (PPG14_1)		
				DA0		
37	32	22	J4	P45	R	J
				TIOB0_0		
				RTO15_1 (PPG14_1)		
				DA1		
38	33	23	L3	INITX	B	C
39	34	24	L4	P46	P	S
				X0A		
40	35	25	K4	P47	Q	T
				X1A		
41	36	26	K5	P48	O	U
				VREGCTL		
42	37	27	K6	P49	O	U
				VWAKEUP		
43	38	28	L5	VBAT	-	-
44	39	29	L6	C	-	-
45	40	30	L7	VSS	-	-
46	41	31	K7	VCC	-	-
47	42	32	J6	P4B	E	I
				TIOB1_0		
				SCS7_1		
				MAD03_0		
48	43	33	J7	P4C	N	I
				TIOB2_0		
				SCK7_1 (SCL7_1)		
				AIN1_2		
				MAD04_0		
49	44	34	J8	P4D	N	K
				TIOB3_0		
				SOT7_1 (SDA7_1)		
				BIN1_2		
				INT13_2		
				MAD05_0		

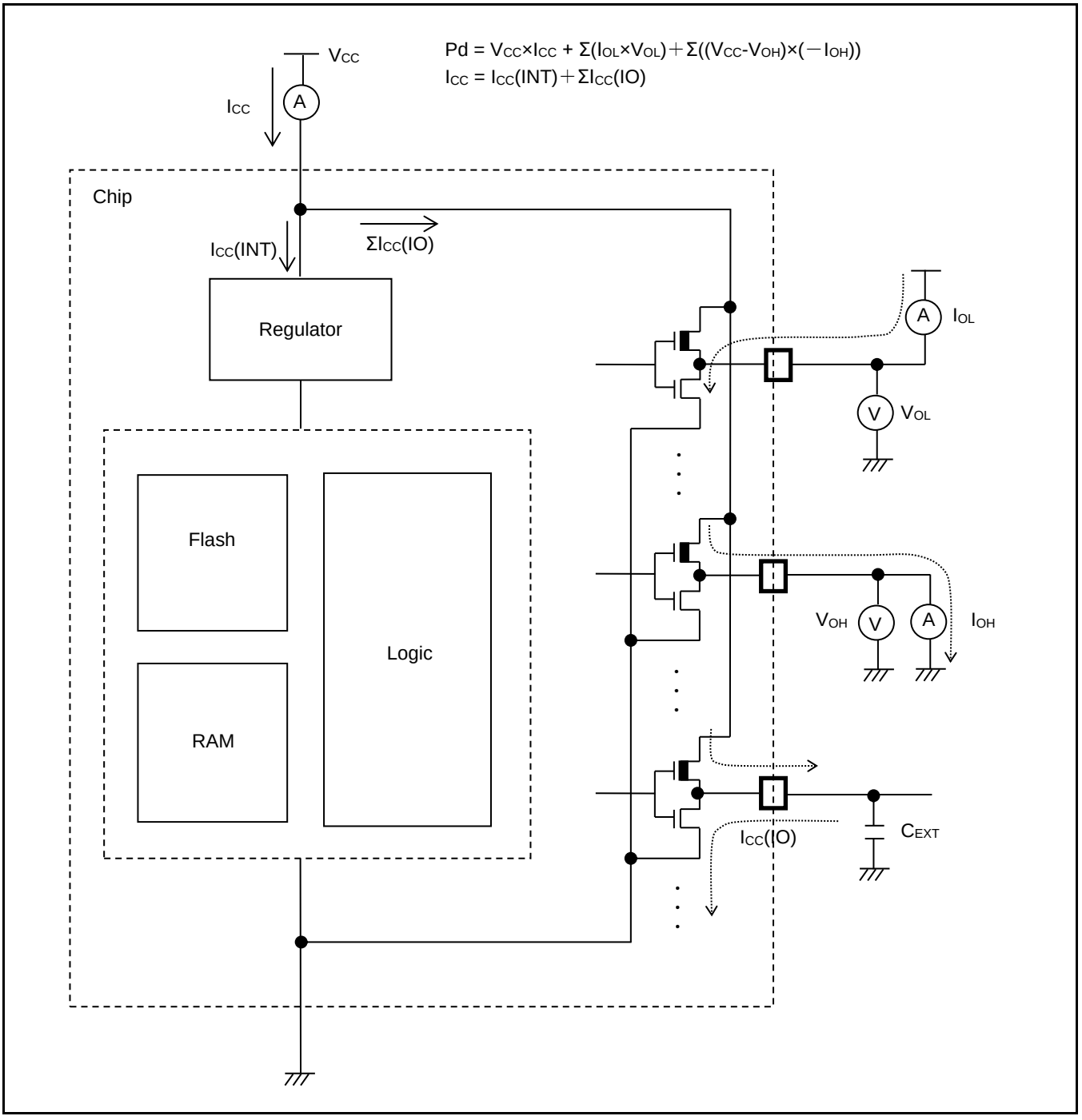
端子番号				端子名	入出力回路形式	端子状態形式
LQFP120	LQFP100	LQFP80	FBGA121			
83	-	-	D8	P26 TIOB5_0 SCK2_1 (SCL2_1) RTO03_1 (PPG02_1)	E	I
84	-	-	C9	P25 TIOA5_0 SOT2_1 (SDA2_1) RTO02_1 (PPG02_1)	E	I
85	-	-	B10	P24 SIN2_1 RTO01_1 (PPG00_1) INT01_2	E	K
86	71	57	D11	P23 AN15 TIOA7_1 SCK0_0 (SCL0_0) RTO00_1 (PPG00_1)	F	L
		-		MAD22_0		
87	72	58	C10	P22 CROUT_0 AN16 TIOB7_1 SOT0_0 (SDA0_0)	F	L
		-		ZIN1_1		
		58		RTO23_0		
88	73	59	C11	P21 AN17 SIN0_0	F	M
		-		BIN1_1		
		59		INT06_1		
		-		MAD23_0		
		59		RTO24_0		
89	74	-	B11	P20 AN18 AIN1_1 INT05_0 MAD24_0 RTO25_0	F	M
90	75	60	A11	VSS	-	-
91	76	61	A10	VCC	-	-

分類	回路	備考
C		– オープンドレイン出力 – CMOS レベルヒステリシス入力
E		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗 ： 約 50 kΩ – I_{OH} = -4 mA, I_{OL} = 4 mA – I^2C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
F		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – 入力制御あり – アナログ入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗 ： 約 50 kΩ – I_{OH} = -4 mA, I_{OL} = 4 mA – I^2C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。

分類	回路	備考
L		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗 ： 約 50 kΩ – I_{OH} = -8 mA, I_{OL} = 8 mA – I^2C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
M		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – 入力制御あり – アナログ入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗 ： 約 50 kΩ – I_{OH} = -8 mA, I_{OL} = 8 mA

端子状態形式	グループ機能名	パワーオンリセットまたは低電圧検出状態	INITX入力状態	デバイス内部リセット状態	ランモードまたはスリープモード状態	タイマモード, RTC モードまたはストップモード状態		ディープスタンバイ RTC モードまたはディープスタンバイストップモード状態		ディープスタンバイモード復帰直後状態
		電源不安定	電源安定		電源安定	電源安定		電源安定		電源安定
		-	INITX=0	INITX=1	INITX=1	INITX=1		INITX=1		INITX=1
		-	-	-	-	SPL=0	SPL=1	SPL=0	SPL=1	-
N	アナログ入力選択時	Hi-Z	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可
	トレース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	トレース出力	GPIO 選択内部入力"0"固定	Hi-Z/内部入力"0"固定	GPIO 選択
	上記以外のリソース選択時						Hi-Z/内部入力"0"固定			
	GPIO 選択時									
O	アナログ入力選択時	Hi-Z	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可
	トレース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	トレース出力	GPIO 選択内部入力"0"固定	Hi-Z/内部入力"0"固定	GPIO 選択
	外部割込み許可選択時						直前状態保持			
	上記以外のリソース選択時						Hi-Z/内部入力"0"固定			
	GPIO 選択時									
P	アナログ入力選択時	Hi-Z	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可	Hi-Z/内部入力"0"固定/アナログ入力可
	WKUP 許可時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持	WKUP入力可	Hi-Z/WKUP入力可	GPIO 選択
	上記以外のリソース選択時						Hi-Z/内部入力"0"固定	GPIO 選択内部入力"0"固定	Hi-Z/内部入力"0"固定	
	GPIO 選択時									

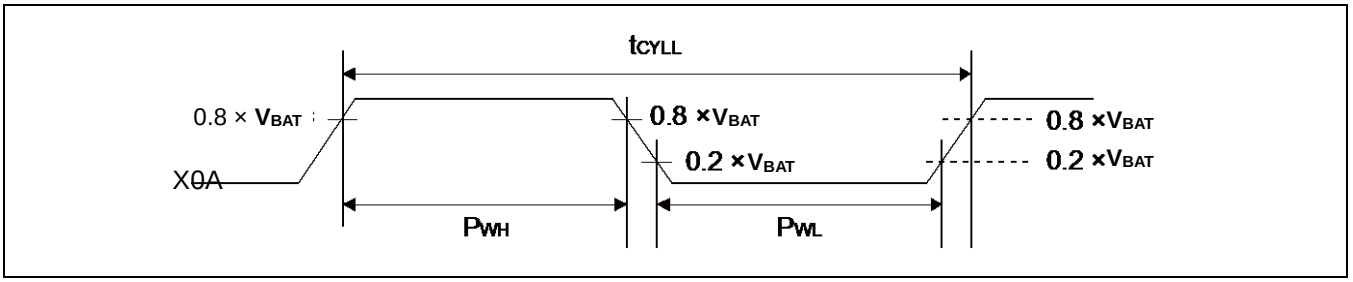
電流説明図


Pd = VCC×ICC + Σ(IOL×VOL)＋Σ((VCC-VOH)×(－IOH))
ICC = ICC(INT)＋ΣICC(IO)
VCC
ICC
A
Chip
ICC(INT)
ΣICC(IO)
Regulator
Flash
Logic
RAM
A
IOL
V
VOL
VOH
V
A
IOH
ICC(IO)
CEXT

12.4.2 サブクロック入力規格

(V_{BAT} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
入力周波数	1/ t_{CYLL}	X0A, X1A	-	-	32.768	-	kHz	水晶発振接続時
			-	32	-	100	kHz	外部クロック時
入力クロック周期	t_{CYLL}		-	10	-	31.25	µs	外部クロック時
入力クロックパルス幅	-		P_{WH}/t_{CYLL}, P_{WL}/t_{CYLL}	45	-	55	%	外部クロック時



12.4.3 内蔵 CR 発振規格

内蔵高速 CR

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f_{CRH}	T_J = -20°C ~ + 105°C	3.92	4	4.08	MHz	トリミング時*1
		T_J = - 40°C ~ + 125°C	3.88	4	4.12		
		T_J = - 40°C ~ + 125°C	2.9	4	5		非トリミング時
周波数安定時間	t_{CRWT}	-	-		30	µ s	*2

*1: 出荷時に設定されるフラッシュメモリ内の CR トリミング領域の値を周波数トリミング値/温度トリミング値に使用した場合

*2: トリミング値設定後に高速 CR クロックの周波数が安定するまでの時間です。

なお、トリミング値設定後、周波安定時間が経過するまでの期間も高速 CR クロックをソースクロックとして使用できます。

内蔵低速 CR

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f_{CRL}	-	50	100	150	kHz	

12.4.7 パワーオンリセットタイミング

(V_{SS} = 0V, T_A = - 40°C ~ + 105°C)

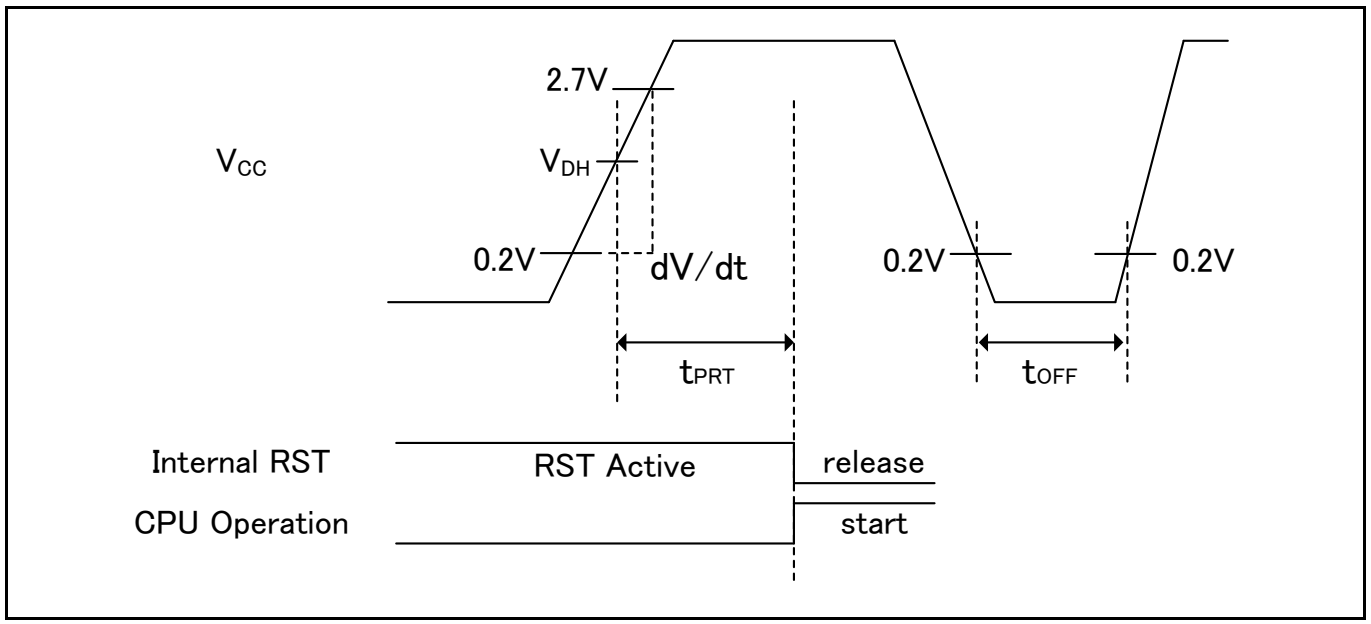
項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源断時間	t_{OFF}	VCC	-	50	-	-	ms	*1
電源立上り速度	dV/dt		V_{CC}: 0.2V ~ 2.70V	1.3	-	1000	mV/µs	*2
パワーオンリセット解除までの時間	t_{PRT}		-	0.33	-	0.60	ms	

*1: V_{CC} は t_{OFF} 最小期間中 0.2V 以下である必要があります。この状態が満たせない場合、誤った初期化が発生する可能性があります。

*2: この dV/dt 規格は cold start (t_{OFF}>50ms)のパワーオン時に適用されます。

<注意事項>

- *t_{OFF} は必ず満たす必要があります。もし t_{OFF} が満たせない場合は、起動時および電圧降下発生時に 12.4.6 に従い外部リセット (INTX) を入れて下さい。*



用語解説

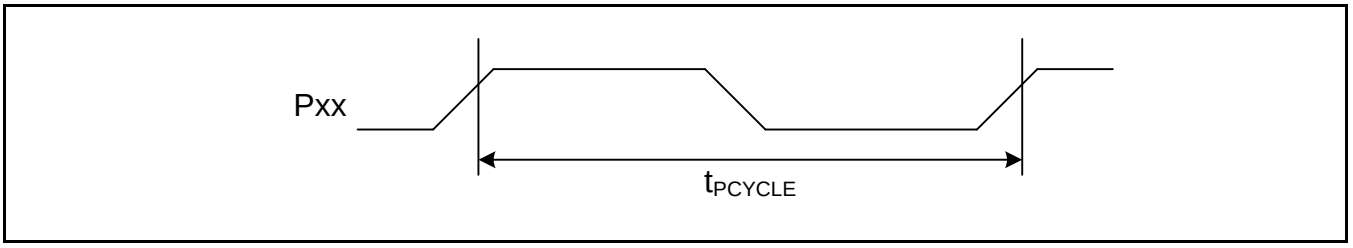
□ VDH: 低電圧検出リセット解除電圧。
「12.7.低電圧検出特性」を参照してください。

12.4.8 GPIO 出力規格

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
出力周波数	t_{PCYCLE}	Pxx*	V_{CC} ≧4.5 V	-	50	MHz
			V_{CC} < 4.5 V	-	32	MHz

*: GPIO が対象です。



12.4.9 外バスタイミング

外バスクロック出力規格

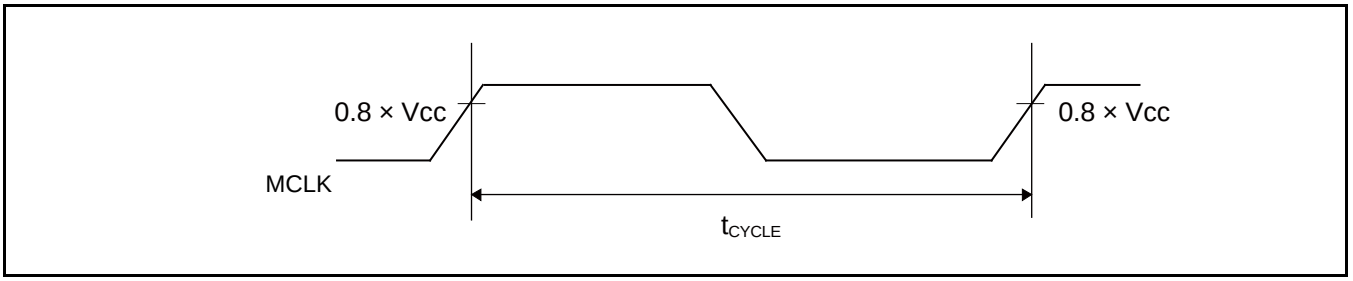
(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
出力周波数	t_{CYCLE}	MCLKOUT*1	V_{CC} ≧4.5 V	-	50*2	MHz
			V_{CC} < 4.5 V	-	32*3	MHz

*1: 外バスクロック出力(MCLKOUT)は HCLK の分周クロックです。
設定の詳細は『FM4 ファミリ ペリフェラルマニュアル』の『CHAPTER: 外部バスインタフェース』を参照してください。

*2: AHB バスクロックが 100 MHz を超えるときは 4 分周以上の設定で MCLKOUT を生成してください。

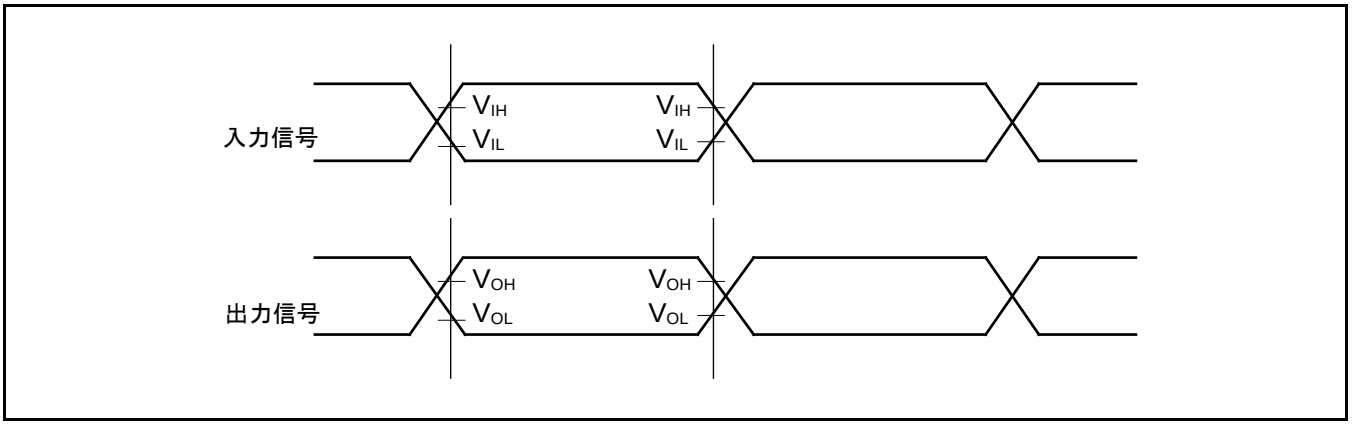
*3: AHB バスクロックが 64 MHz を超えるときは 4 分周以上の設定で MCLKOUT を生成してください。



外バス信号入出力規格

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	規格値	単位	備考
信号入力規格	V_{IH}	-	0.8 × V_{CC}	V	
	V_{IL}		0.2 × V_{CC}	V	
信号出力規格	V_{OH}		0.8 × V_{CC}	V	
	V_{OL}		0.2 × V_{CC}	V	



同期シリアル(SPI = 0, SCINV = 1)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	端子名	条件	Vcc < 4.5 V		Vcc ≧4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	内部シフト クロック動作	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK↑→SOT 遅延時間	t_{SHOVI}	SCKx, SOTx		-30	+ 30	- 20	+ 20	ns
SIN→SCK↓ セットアップ時間	t_{IVSLI}	SCKx, SINx		50	-	30	-	ns
SCK↓→SIN ホールド時間	t_{SLIXI}	SCKx, SINx		0	-	0	-	ns
シリアルクロック L パルス幅	t_{SLSH}	SCKx	外部シフト クロック動作	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	ns
シリアルクロック H パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	t_{CYCP} + 10	-	ns
SCK↑→SOT 遅延時間	t_{SHOVE}	SCKx, SOTx		-	50	-	30	ns
SIN→SCK↓ セットアップ時間	t_{IVSLE}	SCKx, SINx		10	-	10	-	ns
SCK↓→SIN ホールド時間	t_{SLIXE}	SCKx, SINx		20	-	20	-	ns
SCK 立下り時間	t_F	SCKx		-	5	-	5	ns
SCK 立上り時間	t_R	SCKx		-	5	-	5	ns

＜注意事項＞

- *CLK 同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *本規格は同リロケート・ポート番号のみの保証です。*
  例えば SCLKx_0, SOTx_1 の組み合わせは保証外です。
- *外部負荷容量 C_L = 30 pF 時*

同期シリアル　チップセレクト使用時(SCINV = 1, CSLVL=1)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	Vcc < 4.5 V		Vcc ≧4.5 V		単位
			最小	最大	最小	最大	
SCS↓→SCK↑セットアップ時間	t_{CSSI}	内部シフトクロック動作	(*1)-50	(*1)+0	(*1)-50	(*1)+0	ns
SCK↓→SCS↑ホールド時間	t_{CSHI}		(*2)+0	(*2)+50	(*2)+0	(*2)+50	ns
SCS ディセレクト時間	t_{CSDI}		(*3)-50 +5t_{CYCP}	(*3)+50 +5t_{CYCP}	(*3)-50 +5t_{CYCP}	(*3)+50 +5t_{CYCP}	ns
SCS↓→SCK↑セットアップ時間	t_{CSSE}	外部シフトクロック動作	3t_{CYCP}+30	-	3t_{CYCP}+30	-	ns
SCK↓→SCS↑ホールド時間	t_{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t_{CSDE}		3t_{CYCP}+30	-	3t_{CYCP}+30	-	ns
SCS↓→SOT 遅延時間	t_{DSE}		-	40	-	40	ns
SCS↑→SOT 遅延時間	t_{DEE}		0	-	0	-	ns

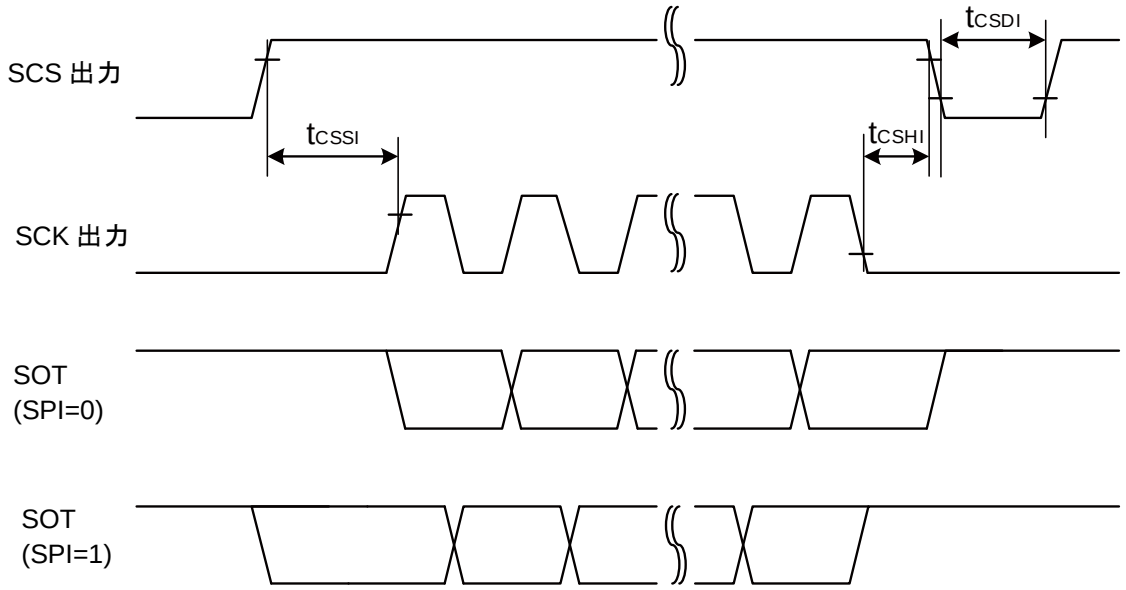
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

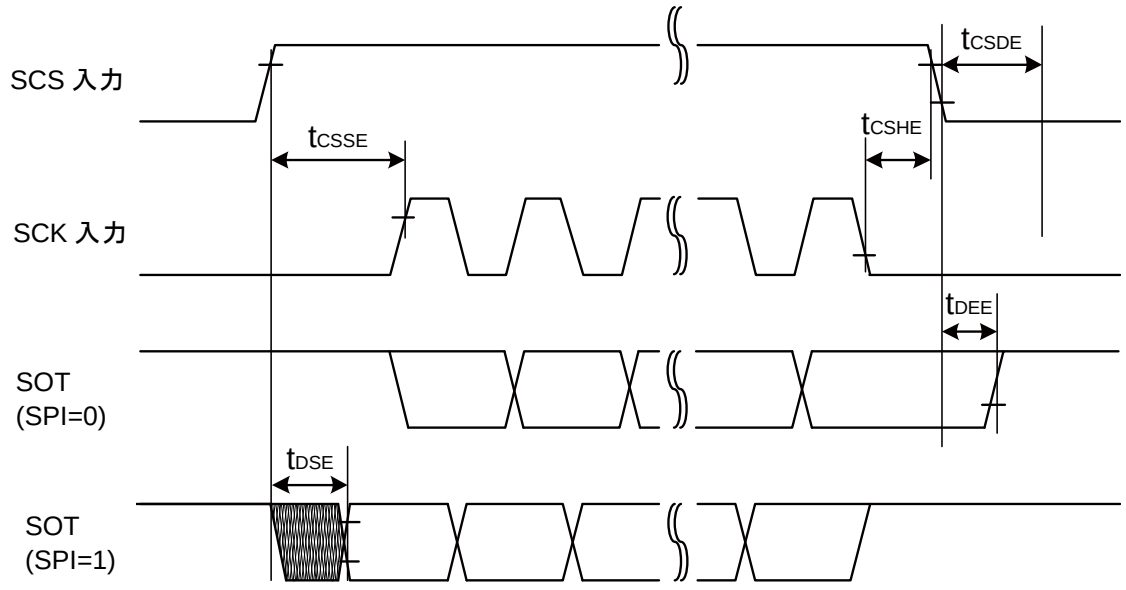
(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

＜注意事項＞

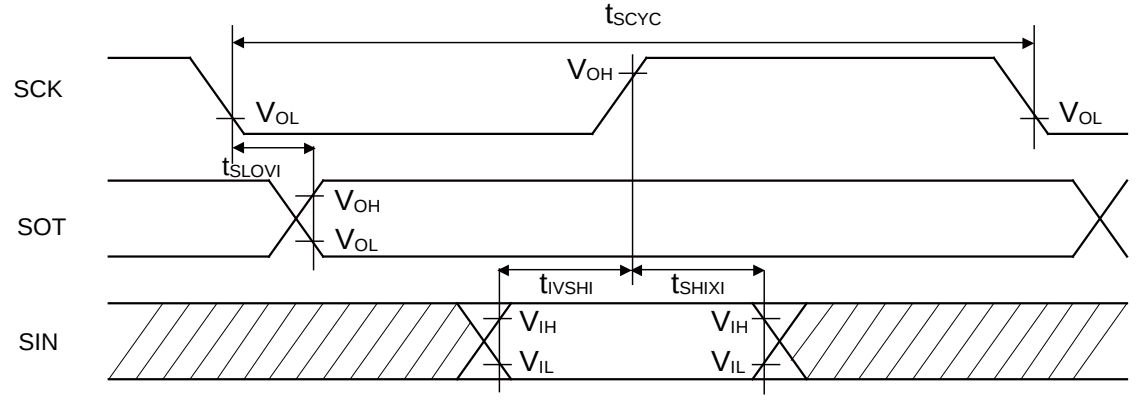
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル』を参照してください。*
- *外部負荷容量 C_L = 30 pF 時*



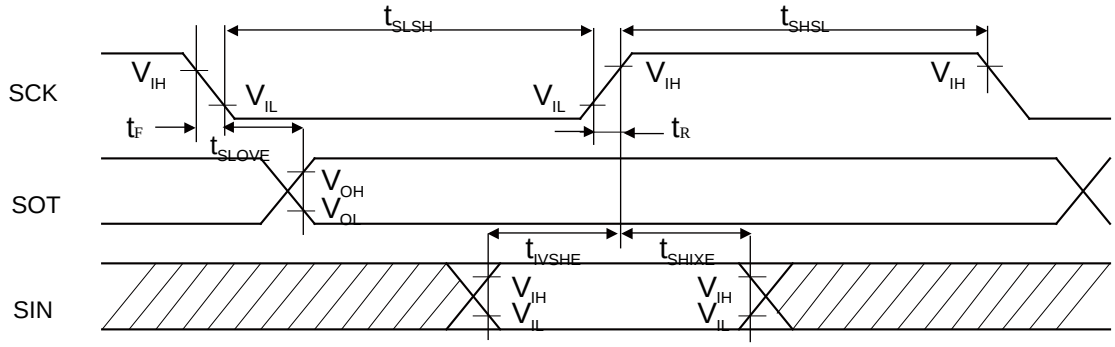
MS ビット = 0



MS ビット = 1



MS ビット = 0



MS ビット = 1

高速同期シリアル　チップセレクト使用時(SCINV = 0, CSLVL=1)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	Vcc < 4.5 V		Vcc ≧4.5 V		単位
			最小	最大	最小	最大	
SCS↓→SCK↓セットアップ時間	t_{CSSI}	内部シフトクロック動作	(*1)-20	(*1)+0	(*1)-20	(*1)+0	ns
SCK↑→SCS↑ホールド時間	t_{CSHI}		(*2)+0	(*2)+20	(*2)+0	(*2)+20	ns
SCS ディセレクト時間	t_{CSDI}		(*3)-20 +5t_{CYCP}	(*3)+20 +5t_{CYCP}	(*3)-20 +5t_{CYCP}	(*3)+20 +5t_{CYCP}	ns
SCS↓→SCK↓セットアップ時間	t_{CSSE}	外部シフトクロック動作	3t_{CYCP}+15	-	3t_{CYCP}+15	-	ns
SCK↑→SCS↑ホールド時間	t_{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t_{CSDE}		3t_{CYCP}+15	-	3t_{CYCP}+15	-	ns
SCS↓→SOT 遅延時間	t_{DSE}		-	25	-	25	ns
SCS↑→SOT 遅延時間	t_{DEE}		0	-	0	-	ns

(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

＜注意事項＞

- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル』を参照してください。*
- *外部負荷容量 C_L = 30 pF 時*

高速同期シリアル　チップセレクト使用時(SCINV = 1, CSLVL=1)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V)

項目	記号	条件	Vcc < 4.5 V		Vcc ≧4.5 V		単位
			最小	最大	最小	最大	
SCS↓→SCK↑セットアップ時間	t_{CSSI}	内部シフトクロック動作	(*1)-20	(*1)+0	(*1)-20	(*1)+0	ns
SCK↓→SCS↑ホールド時間	t_{CSHI}		(*2)+0	(*2)+20	(*2)+0	(*2)+20	ns
SCS ディセレクト時間	t_{CSDI}		(*3)-20 +5t_{CYCP}	(*3)+20 +5t_{CYCP}	(*3)-20 +5t_{CYCP}	(*3)+20 +5t_{CYCP}	ns
SCS↓→SCK↑セットアップ時間	t_{CSSE}	外部シフトクロック動作	3t_{CYCP}+15	-	3t_{CYCP}+15	-	ns
SCK↓→SCS↑ホールド時間	t_{CSHE}		0	-	0	-	ns
SCS ディセレクト時間	t_{CSDE}		3t_{CYCP}+15	-	3t_{CYCP}+15	-	ns
SCS↓→SOT 遅延時間	t_{DSE}		-	25	-	25	ns
SCS↑→SOT 遅延時間	t_{DEE}		0	-	0	-	ns

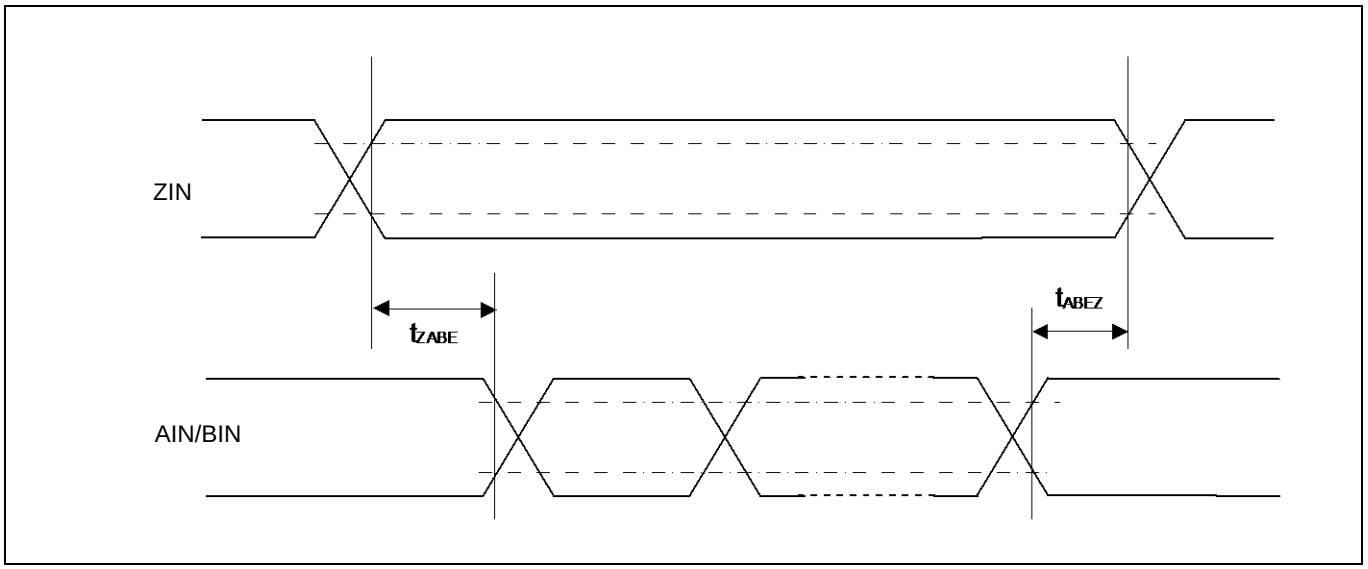
(*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

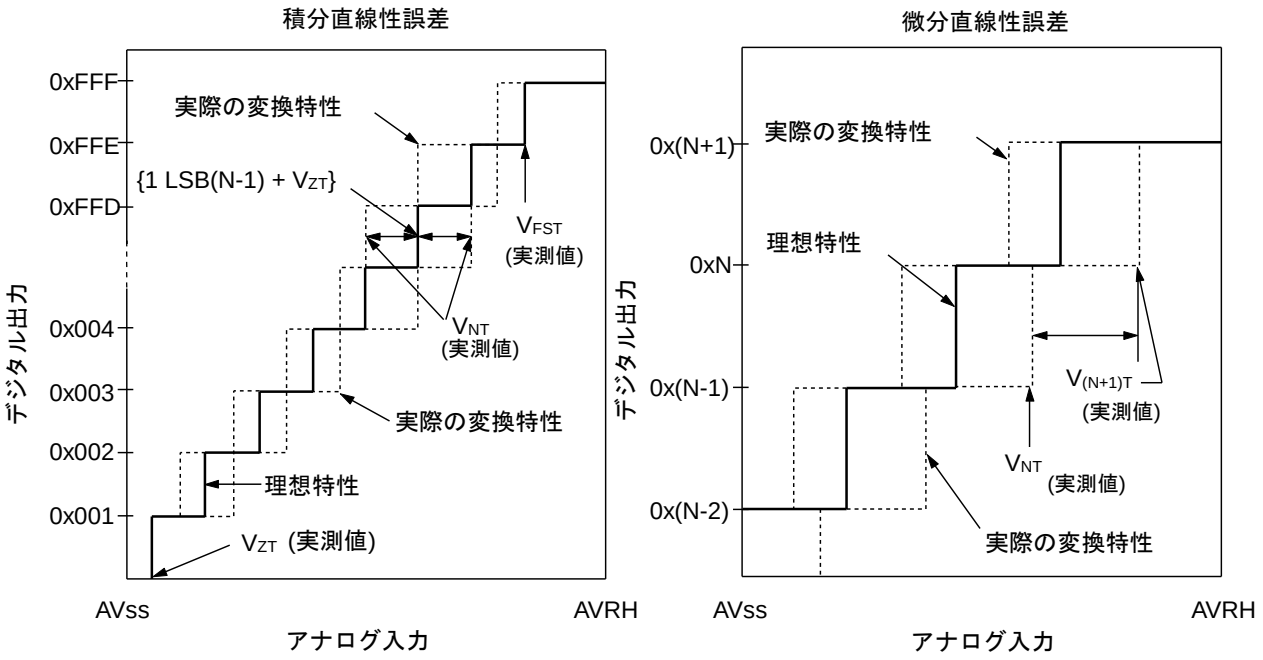
＜注意事項＞

- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル』を参照してください。*
- *外部負荷容量 C_L = 30 pF 時*


ZIN
AIN/BIN
tZABE
tABEZ

12 ビット A/D コンバータの用語の定義

- 分解能: A/D コンバータにより識別可能なアナログ変化
- 積分直線性誤差: ゼロトランジション点(0b000000000000 ←→ 0b000000000001)とフルスケールトランジション点 (0b111111111110 ←→ 0b111111111111)を結んだ直線と実際の変換特性との偏差
- 微分直線性誤差: 出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差



$$\text{デジタル出力 N の積分直線性誤差} = \frac{V_{NT} - \{1LSB \times (N - 1) + V_{ZT}\}}{1LSB} \text{ [LSB]}$$

$$\text{デジタル出力 N の微分直線性誤差} = \frac{V_{(N+1)T} - V_{NT}}{1LSB} - 1 \text{ [LSB]}$$

$$1LSB = \frac{V_{FST} - V_{ZT}}{4094}$$

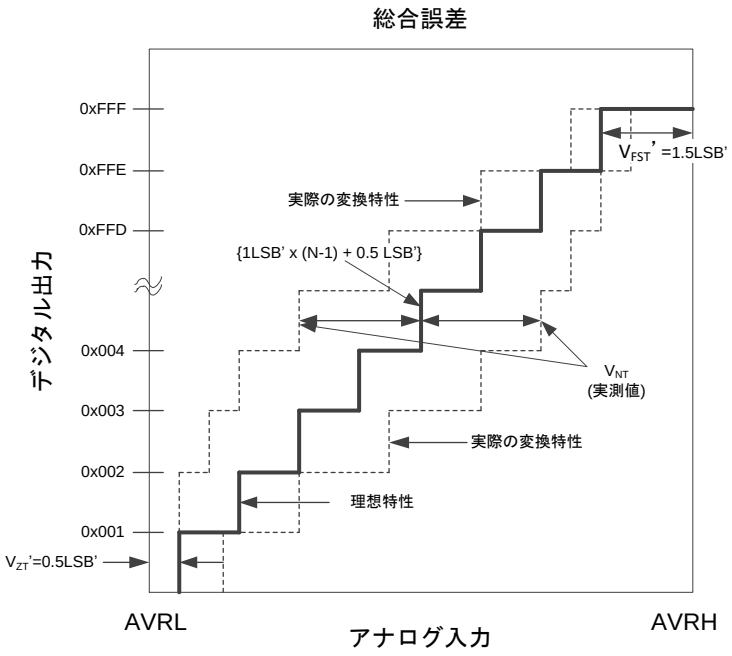
N: A/D コンバータデジタル出力値

V_{ZT}: デジタル出力が 0x000 から 0x001 に遷移する電圧

V_{FST}: デジタル出力が 0xFFE から 0xFFF に遷移する電圧

V_{NT}: デジタル出力が 0x (N - 1)から 0xN に遷移する電圧

■総合誤差:　実際の値と理論値との差を言い、ゼロトランジション電圧/フルスケールトランジション電圧/直線性誤差を含む誤差



$$\text{デジタル出力Nの総合誤差} = \frac{V_{NT} - \{1\ LSB' \times (N-1) + 0.5\ LSB'\}}{1\ LSB'} \quad [LSB]$$

$$1\ LSB'\ (\text{理想値}) = \frac{AVRH - AVRL}{4096} \quad [V]$$

V_{ZT}' (理想値) = AVRL + 0.5 LSB' [V]

V_{FST}' (理想値) = AVRH - 1.5 LSB' [V]

V_{NT}': デジタル出力が (N-1) からNに遷移する電圧

12.6 12 ビット D/A コンバータ

D/A 変換部電気的特性

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = 0V)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	DAx	-	-	12	bit	
変換時間	tc20		0.56	0.69	0.81	µs	負荷 20 pF
	tc100		2.79	3.42	4.06	µs	負荷 100 pF
積分直線性誤差*	INL		- 16	-	+ 16	LSB	
微分直線性誤差*	DNL		- 0.98	-	+ 1.5	LSB	
出力電圧オフセット	V_{OFF}		-	-	10.0	mV	0x000 設定時
			- 20.0	-	+ 1.4	mV	0xFFF 設定時
アナログ出力インピーダンス	R_O		3.10	3.80	4.50	kΩ	D/A 動作時
			2.0	-	-	MΩ	D/A 停止時
電源電流*	IDDA	AVCC	260	330	410	µA	D/A 1unit 動作時 AV_{CC}=3.3 V
			400	510	620	µA	D/A 1unit 動作時 AV_{CC}=5.0 V
	IDSA		-	-	14	µA	D/A 停止時

*: 無負荷時