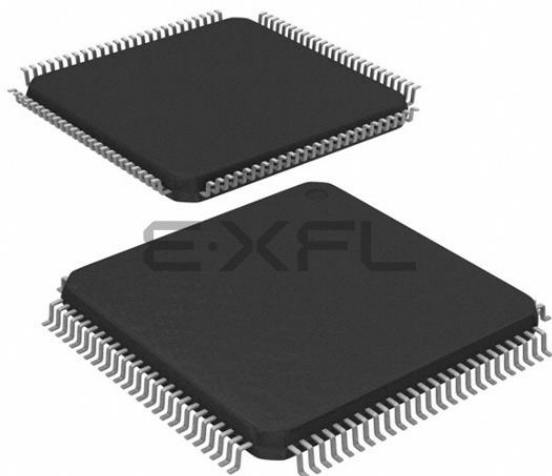




Welcome to [E-XFL.COM](https://www.e-xfl.com)

### What is "[Embedded - Microcontrollers](#)"?

"[Embedded - Microcontrollers](#)" refer to small, integrated circuits designed to perform specific tasks within larger systems. These microcontrollers are essentially compact computers on a single chip, containing a processor core, memory, and programmable input/output peripherals. They are called "embedded" because they are embedded within electronic devices to control various functions, rather than serving as standalone computers. Microcontrollers are crucial in modern electronics, providing the intelligence and control needed for a wide range of applications.

### Applications of "[Embedded - Microcontrollers](#)"

#### Details

|                            |                                                                                                                                                                         |
|----------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| Product Status             | Active                                                                                                                                                                  |
| Core Processor             | ARM® Cortex®-M4F                                                                                                                                                        |
| Core Size                  | 32-Bit Single-Core                                                                                                                                                      |
| Speed                      | 160MHz                                                                                                                                                                  |
| Connectivity               | CSIO, EBI/EMI, I <sup>2</sup> C, LINbus, UART/USART                                                                                                                     |
| Peripherals                | DMA, LVD, POR, PWM, WDT                                                                                                                                                 |
| Number of I/O              | 80                                                                                                                                                                      |
| Program Memory Size        | 544KB (544K x 8)                                                                                                                                                        |
| Program Memory Type        | FLASH                                                                                                                                                                   |
| EEPROM Size                | -                                                                                                                                                                       |
| RAM Size                   | 64K x 8                                                                                                                                                                 |
| Voltage - Supply (Vcc/Vdd) | 2.7V ~ 5.5V                                                                                                                                                             |
| Data Converters            | A/D 24x12b; D/A 2x12b                                                                                                                                                   |
| Oscillator Type            | Internal                                                                                                                                                                |
| Operating Temperature      | -40°C ~ 125°C (TA)                                                                                                                                                      |
| Mounting Type              | Surface Mount                                                                                                                                                           |
| Package / Case             | 100-LQFP                                                                                                                                                                |
| Supplier Device Package    | 100-LQFP (14x14)                                                                                                                                                        |
| Purchase URL               | <a href="https://www.e-xfl.com/product-detail/infineon-technologies/s6e2h16f0agv20000">https://www.e-xfl.com/product-detail/infineon-technologies/s6e2h16f0agv20000</a> |

## ■CSIO

- 全二重ダブルバッファ
- 専用ボーレートジェネレータ内蔵
- オーバランエラー検出機能
- シリアルチップセレクト機能(ch.6, ch.7 のみ)
- 高速 SPI 対応(ch.4, ch.6 のみ)
- データ長 5~16 ビット

## ■LIN

- LIN プロトコル Rev.2.1 対応
- 全二重ダブルバッファ
- マスタ/スレーブモード対応
- LIN break field 生成(13~16 ビット長に変更可能)
- LIN break デリミタ生成(1~4 ビット長に変更可能)
- 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)

## ■I<sup>2</sup>C

- 標準モード(最大 100 kbps)/高速モード(最大 400 kbps)に対応
- 高速モードプラス(Fm+) (最大 1000 kbps, ch.3=ch.A, ch.7=ch.B のみ)に対応

## DMA コントローラ(8 チャンネル)

DMA コントローラは、CPU とは独立した DMA 専用バスを持ち、CPU と並列動作できます。

### ■8 つを独自に構成かつ動作可能なチャンネル

### ■ソフトウェア要求または内蔵周辺機能要求による転送開始可能

### ■転送アドレス空間: 32 ビット(4 G バイト)

### ■転送モード: ブロック転送/ バースト転送/ デマンド転送

### ■転送データタイプ: バイト/ ハーフワード/ ワード

### ■転送ブロック数: 1~16

### ■転送回数: 1~65536

## DSTC (Descriptor System data Transfer Controller) (256 チャンネル)

DSTC は、CPU を介さずにデータを高速に転送できます。Descriptor システム方式を採用しており、あらかじめメモリ上に構築された Descriptor の指定内容に従って、メモリ/Peripheral デバイスに直接アクセスを行い、データ転送動作を実行できます。

ソフトウェア起動, ハードウェア起動, Chain 起動機能サポート

## AD コンバータ(最大 24 チャンネル)

### ■逐次比較型

### ■3 ユニット搭載

### ■変換時間: 0.5 $\mu$ s @ 5 V

### ■優先変換可能(2 レベルの優先度)

### ■スキャン変換モード

### ■変換データ格納用 FIFO 搭載(スキャン変換用: 16 段, 優先変換用: 4 段)

## DA コンバータ(最大 2 チャンネル)

### ■R-2R 型

### ■12 ビット分解能

## ベースタイマ(最大 8 チャンネル)

チャンネルごとに動作モードを次の中から選択できます。

### ■16 ビット PWM タイマ

### ■16 ビット PPG タイマ

### ■16/32 ビットリロードタイマ

### ■16/32 ビット PWC タイマ

### ■イベントカウンタモード(外部クロックモード)

## 汎用 I/O ポート

本シリーズは、端子が外部バスまたは周辺機能に使用されていない場合、汎用 I/O ポートとして使用できます。また、どの I/O ポートに周辺機能を割り当てるかを設定できるポートリロケート機能を搭載しています。

### ■端子ごとにブルアップ制御可能

### ■端子レベルを直接読出し可能

### ■ポートリロケート機能

### ■最大 100 本の高速汎用 I/O ポート@ 120 pin Package

■一部のポートは、5 V トレラントに対応  
該当する端子については「4. 端子機能一覧」と「5. 入出力回路形式」を参照してください。

## 多機能タイマ(最大 3 ユニット)

多機能タイマは、次のブロックで構成されます。

最小分解能: 6.25 ns

### ■16 ビットフリーランタイマ×3 チャンネル / ユニット

### ■インプットキャプチャ×4 チャンネル / ユニット

### ■アウトプットコンペア×6 チャンネル / ユニット

### ■A/D 起動コンペア×6 チャンネル / ユニット

### ■波形ジェネレータ×3 チャンネル / ユニット

### ■16 ビット PPG タイマ×3 チャンネル / ユニット

モータ制御を実現するために次の機能を用意しています。

### ■PWM 信号出力機能

### ■DC チョップパ波形出力機能

### ■デッドタイム機能

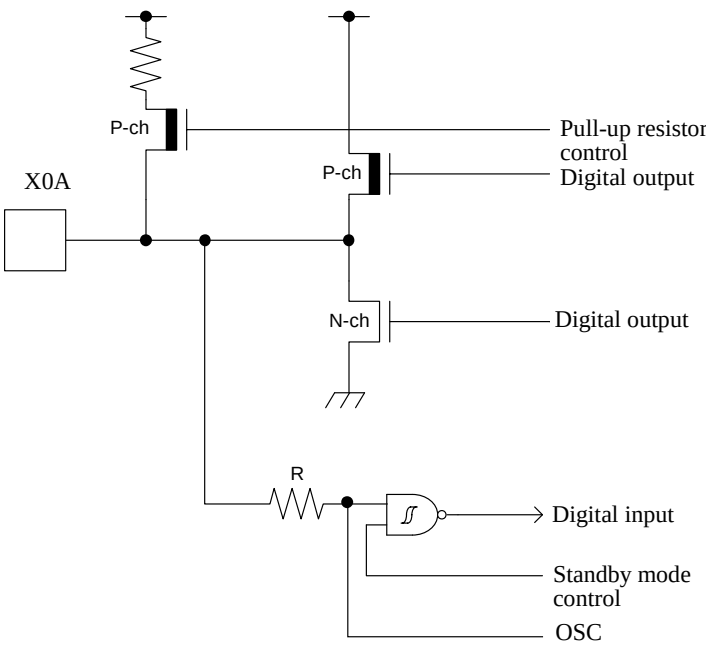
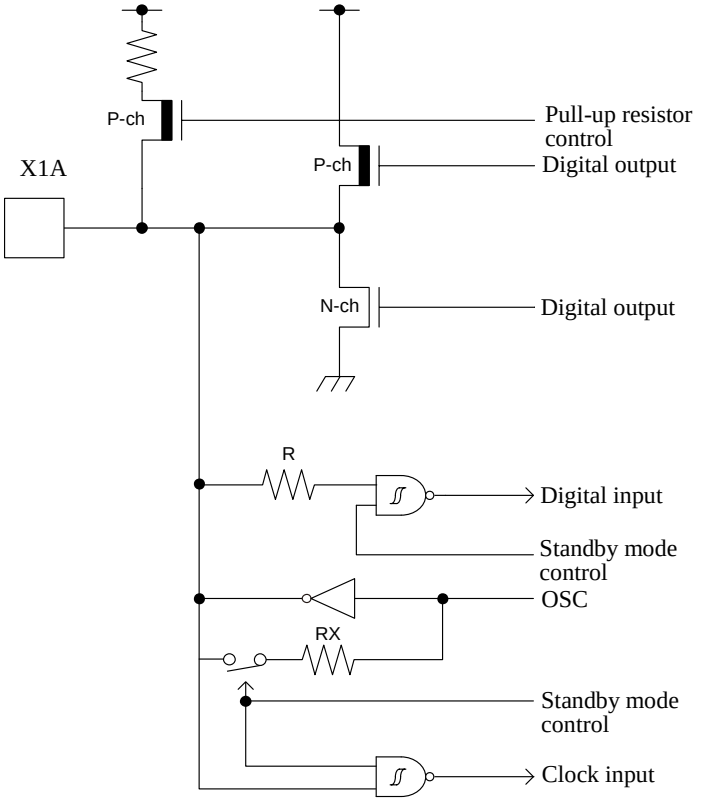
### ■インプットキャプチャ機能

### ■A/D コンバータ起動機能

### ■DTIF(モータ緊急停止)割込み機能

| 端子番号    |         |        |         | 端子名                | 入出力<br>回路<br>形式 | 端子状態<br>形式 |
|---------|---------|--------|---------|--------------------|-----------------|------------|
| LQFP120 | LQFP100 | LQFP80 | FBGA121 |                    |                 |            |
| 63      | 53      | 42     | H10     | P11                | F               | L          |
|         |         |        |         | AN01               |                 |            |
|         |         |        |         | SOT1_1<br>(SDA1_1) |                 |            |
|         |         |        |         | IC00_2             |                 |            |
|         |         |        |         | MAD08_0            |                 |            |
| 64      | 54      | 43     | H9      | P12                | F               | L          |
|         |         |        |         | AN02               |                 |            |
|         |         |        |         | SCK1_1<br>(SCL1_1) |                 |            |
|         |         |        |         | IC01_2             |                 |            |
|         |         |        |         | RTCCO_1            |                 |            |
|         |         |        |         | SUBOUT_1           |                 |            |
| 65      | 55      | 44     | G10     | MAD09_0            | F               | M          |
|         |         |        |         | P13                |                 |            |
|         |         |        |         | AN03               |                 |            |
|         |         |        |         | SIN0_1             |                 |            |
|         |         |        |         | IC02_2             |                 |            |
|         |         |        |         | INT03_1            |                 |            |
| 66      | 56      | 45     | G9      | MAD10_0            | F               | L          |
|         |         |        |         | P14                |                 |            |
|         |         |        |         | AN04               |                 |            |
|         |         |        |         | SOT0_1<br>(SDA0_1) |                 |            |
|         |         |        |         | IC03_2             |                 |            |
| 67      | 57      | 46     | G8      | MAD11_0            | F               | L          |
|         |         |        |         | P15                |                 |            |
|         |         |        |         | AN05               |                 |            |
|         |         |        |         | SCK0_1<br>(SCL0_1) |                 |            |
|         |         |        |         | MAD12_0            |                 |            |
|         |         |        |         | ZIN2_2             |                 |            |
| 68      | 58      | 47     | F10     | RTO22_0            | F               | M          |
|         |         |        |         | P16                |                 |            |
|         |         |        |         | AN06               |                 |            |
|         |         |        |         | SIN2_2             |                 |            |
|         |         |        |         | INT14_1            |                 |            |
|         |         |        |         | MAD13_0            |                 |            |
| 69      | 59      | 48     | F9      | BIN2_2             | F               | P          |
|         |         |        |         | RTO21_0            |                 |            |
|         |         |        |         | P17                |                 |            |
|         |         |        |         | AN07               |                 |            |
|         |         |        |         | SOT2_2<br>(SDA2_2) |                 |            |
|         |         |        |         | WKUP3              |                 |            |
| 70      | 60      | 49     | J11     | MAD14_0            | -               | -          |
|         |         |        |         | AIN2_2             |                 |            |
|         |         |        |         | RTO20_0            |                 |            |
| 71      | 61      | 50     | H11     | AVCC               | -               | -          |
| 72      | 62      | 51     | G11     | AVSS               | -               | -          |
| 73      | 63      | 52     | F11     | AVRL               | -               | -          |
|         |         |        |         | AVRH               | -               | -          |

| 端子機能 | 端子名 | 機能説明       | 端子番号     |          |         |          |
|------|-----|------------|----------|----------|---------|----------|
|      |     |            | LQFP 120 | LQFP 100 | LQFP 80 | FBGA 121 |
| GPIO | P40 | 汎用入出力ポート 4 | 32       | 27       | -       | L2       |
|      | P41 |            | 33       | 28       | -       | J3       |
|      | P42 |            | 34       | 29       | -       | J5       |
|      | P43 |            | 35       | 30       | -       | H5       |
|      | P44 |            | 36       | 31       | 21      | K3       |
|      | P45 |            | 37       | 32       | 22      | J4       |
|      | P46 |            | 39       | 34       | 24      | L4       |
|      | P47 |            | 40       | 35       | 25      | K4       |
|      | P48 |            | 41       | 36       | 26      | K5       |
|      | P49 |            | 42       | 37       | 27      | K6       |
|      | P4B |            | 47       | 42       | 32      | J6       |
|      | P4C |            | 48       | 43       | 33      | J7       |
|      | P4D |            | 49       | 44       | 34      | J8       |
|      | P4E |            | 50       | 45       | 35      | K8       |
|      | P50 | 汎用入出力ポート 5 | 2        | 2        | 2       | C1       |
|      | P51 |            | 3        | 3        | 3       | C2       |
|      | P52 |            | 4        | 4        | 4       | D1       |
|      | P53 |            | 5        | 5        | 5       | D2       |
|      | P54 |            | 6        | 6        | 6       | D3       |
|      | P55 |            | 7        | 7        | 7       | E2       |
|      | P56 |            | 8        | 8        | 8       | E3       |
|      | P57 |            | 9        | -        | -       | E4       |
|      | P58 |            | 10       | -        | -       | F5       |
|      | P59 |            | 11       | -        | -       | F6       |
|      | P5A |            | 12       | -        | -       | G5       |
|      | P5B |            | 13       | -        | -       | G6       |
|      | P60 | 汎用入出力ポート 6 | 116      | 96       | 76      | B2       |
|      | P61 |            | 115      | 95       | 75      | B3       |
|      | P62 |            | 114      | 94       | 74      | C3       |
|      | P63 |            | 113      | 93       | 73      | B4       |
|      | P64 |            | 112      | -        | -       | C4       |
|      | P65 |            | 111      | -        | -       | D4       |
|      | P66 |            | 110      | -        | -       | D5       |
|      | P67 |            | 109      | -        | -       | E5       |
|      | P68 |            | 108      | -        | -       | E6       |
|      | P70 | 汎用入出力ポート 7 | 51       | -        | -       | H6       |
|      | P71 |            | 52       | -        | -       | H7       |
|      | P72 |            | 53       | -        | -       | G7       |
|      | P73 |            | 54       | -        | -       | H8       |
|      | P74 |            | 55       | -        | -       | J9       |
|      | P80 | 汎用入出力ポート 8 | 118      | 98       | 78      | A3       |
|      | P81 |            | 119      | 99       | 79      | A2       |
|      | PE0 | 汎用入出力ポート E | 56       | 46       | 36      | L8       |
|      | PE2 |            | 58       | 48       | 38      | L9       |
|      | PE3 |            | 59       | 49       | 39      | L10      |

| 分類 | 回路                                                                                  | 備考                                                                                                                                                                                                                                                                                                                                                                                                                                                              |
|----|-------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| P  |    | <ul style="list-style-type: none"> <li>- CMOS レベル出力</li> <li>- CMOS レベルヒステリシス入力</li> <li>- ブルアップ抵抗制御あり</li> <li>- スタンバイ制御あり</li> <li>- ブルアップ抵抗：約 50 kΩ</li> <li>- <math>I_{OH} = -4 \text{ mA}</math>, <math>I_{OL} = 4 \text{ mA}</math></li> <li>- IO の設定はペリフェラルマニュアル『本編』の『VBAT ドメイン』の章を参照してください</li> </ul>                                                                                                                                                   |
| Q  |  | <p>サブ発振/GPIO 切換え可能</p> <p>サブ発振機能選択時</p> <ul style="list-style-type: none"> <li>- 発振帰還抵抗：約 10 MΩ</li> <li>- スタンバイ制御あり</li> </ul> <p>GPIO 機能選択時</p> <ul style="list-style-type: none"> <li>- CMOS レベル出力</li> <li>- CMOS レベルヒステリシス入力</li> <li>- ブルアップ抵抗制御あり</li> <li>- スタンバイ制御あり</li> <li>- ブルアップ抵抗：約 50 kΩ</li> <li>- <math>I_{OH} = -4 \text{ mA}</math>, <math>I_{OL} = 4 \text{ mA}</math></li> <li>- IO の設定はペリフェラルマニュアル『本編』の『VBAT ドメイン』の章を参照してください</li> </ul> |

## 12.2 推奨動作条件

| 項目         | 記号               | 条件             | 規格値   |                  | 単位    | 備考                                |
|------------|------------------|----------------|-------|------------------|-------|-----------------------------------|
|            |                  |                | 最小    | 最大               |       |                                   |
| 電源電圧       | V <sub>CC</sub>  | -              | 2.7*4 | 5.5              | V     |                                   |
| 電源電圧(VBAT) | V <sub>BAT</sub> | -              | 2.7   | 5.5              | V     |                                   |
| アナログ電源電圧   | AV <sub>CC</sub> | -              | 2.7   | 5.5              | V     | AV <sub>CC</sub> =V <sub>CC</sub> |
| 基準電圧       | AV <sub>RH</sub> | -              | *3    | AV <sub>CC</sub> | V     |                                   |
| 平滑コンデンサ容量  | C <sub>S</sub>   | -              | 1     | 10               | μF    | 内蔵レギュレータ用*1                       |
| 動作温度       | ジャンクション温度        | T <sub>J</sub> | -     | - 40             | + 125 | °C                                |
|            | 周囲温度             | T <sub>A</sub> | -     | - 40             | *2    | °C                                |

\*1: 平滑コンデンサの接続方法は、「デバイス使用上の注意」の「C 端子について」を参照してください。

\*2: 周囲温度(T<sub>A</sub>)の最大温度は、ジャンクション温度(T<sub>J</sub>)を超えない範囲まで保証可能です。  
周囲温度(T<sub>A</sub>)の計算式を以下に示します。

$$T_A (\text{Max}) = T_J (\text{Max}) - P_d (\text{Max}) \times \theta_{ja}$$

$P_d$ : 消費電力(W)  
 $\theta_{ja}$ : パッケージ熱抵抗(°C/W)

$$P_d (\text{Max}) = V_{CC} \times I_{CC} (\text{Max}) + \Sigma (I_{OL} \times V_{OL}) + \Sigma ((V_{CC} - V_{OH}) \times (-I_{OH}))$$

$I_{OL}$ : L レベル出力電流  
 $I_{OH}$ : H レベル出力電流  
 $V_{OL}$ : L レベル出力電圧  
 $V_{OH}$ : H レベル出力電圧

\*3: アナログ基準電圧は、コンペアクロック周期によって規格値が異なります。

詳細は「12.5 12 ビット A/D コンバータ」の章を参照してください。

\*4: 電源電圧が最小値未満かつ低電圧リセット/割込み検出電圧以上の間は、内蔵高速 CR クロック (メイン PLL 使用含む)または内蔵低速 CR クロックでの命令実行と低電圧検出のみ動作可能です。

各パッケージにおけるパッケージ熱抵抗と最大許容電力を以下に示します。  
半導体デバイスは最大許容電力以下で動作が保証されます。

### パッケージ熱抵抗と最大許容電力表

| パッケージ                    | 基板   | 熱抵抗 $\theta_{ja}$<br>(°C/W) | 最大許容電力(mW)            |                        |
|--------------------------|------|-----------------------------|-----------------------|------------------------|
|                          |      |                             | T <sub>A</sub> =+85°C | T <sub>A</sub> =+105°C |
| LQH080<br>(0.5-mm pitch) | 単層両面 | 82                          | 488                   | 244                    |
|                          | 4 層  | 56                          | 714                   | 357                    |
| LQI100<br>(0.5-mm pitch) | 単層両面 | 59                          | 678                   | 339                    |
|                          | 4 層  | 39                          | 1026                  | 513                    |
| LQM120<br>(0.5-mm pitch) | 単層両面 | 71                          | 563                   | 282                    |
|                          | 4 層  | 50                          | 800                   | 400                    |
| FDI121<br>(0.5-mm pitch) | 単層両面 | 63                          | 635                   | 317                    |
|                          | 4 層  | 37                          | 1081                  | 540                    |

### <注意事項>

- 推奨動作条件は、半導体デバイスの正常な動作を確保するための条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。  
データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

Table 12-5 Sleep 動作(PLL)の標準と最大の消費電流, PCLK0 = PCLK1 = PCLK2 = HCLK/2 のとき

| 項目   | 記号               | 端子名 | 条件               | 周波数*4   | 規格値  |      | 単位 | 備考                        |
|------|------------------|-----|------------------|---------|------|------|----|---------------------------|
|      |                  |     |                  |         | 標準*1 | 最大*2 |    |                           |
| 電源電流 | I <sub>CCS</sub> | VCC | Sleep 動作*6 (PLL) | 160 MHz | 35   | 55   | mA | *3<br>周辺クロック<br>すべて ON 時  |
|      |                  |     |                  | 144 MHz | 32   | 52   |    |                           |
|      |                  |     |                  | 120 MHz | 27   | 47   |    |                           |
|      |                  |     |                  | 100 MHz | 23   | 43   |    |                           |
|      |                  |     |                  | 80 MHz  | 18   | 39   |    |                           |
|      |                  |     |                  | 60 MHz  | 14   | 34   |    |                           |
|      |                  |     |                  | 40 MHz  | 9.9  | 30   |    |                           |
|      |                  |     |                  | 20 MHz  | 5.5  | 26   |    |                           |
|      |                  |     |                  | 8 MHz   | 3.1  | 23   |    |                           |
|      |                  |     |                  | 4 MHz   | 2.3  | 23   |    |                           |
|      |                  |     |                  | 160 MHz | 14   | 35   | mA | *3<br>周辺クロック<br>すべて OFF 時 |
|      |                  |     |                  | 144 MHz | 13   | 33   |    |                           |
|      |                  |     |                  | 120 MHz | 11   | 31   |    |                           |
|      |                  |     |                  | 100 MHz | 9.5  | 30   |    |                           |
|      |                  |     |                  | 80 MHz  | 7.8  | 28   |    |                           |
|      |                  |     |                  | 60 MHz  | 6.3  | 27   |    |                           |
|      |                  |     |                  | 40 MHz  | 4.6  | 25   |    |                           |
|      |                  |     |                  | 20 MHz  | 2.9  | 23   |    |                           |
|      |                  |     |                  | 8 MHz   | 2.2  | 23   |    |                           |
|      |                  |     |                  | 4 MHz   | 2.0  | 22   |    |                           |

Table 12-6 Sleep 動作(PLL)の標準と最大の消費電流, PCLK0 = PCLK1 = PCLK2 = HCLK のとき

| 項目   | 記号               | 端子名 | 条件               | 周波数*5  | 規格値  |      | 単位 | 備考                        |
|------|------------------|-----|------------------|--------|------|------|----|---------------------------|
|      |                  |     |                  |        | 標準*1 | 最大*2 |    |                           |
| 電源電流 | I <sub>CCS</sub> | VCC | Sleep 動作*6 (PLL) | 72 MHz | 23   | 43   | mA | *3<br>周辺クロック<br>すべて ON 時  |
|      |                  |     |                  | 60 MHz | 19   | 39   |    |                           |
|      |                  |     |                  | 48 MHz | 16   | 36   |    |                           |
|      |                  |     |                  | 36 MHz | 12   | 32   |    |                           |
|      |                  |     |                  | 24 MHz | 8.5  | 29   |    |                           |
|      |                  |     |                  | 12 MHz | 5.1  | 25   |    |                           |
|      |                  |     |                  | 8 MHz  | 3.9  | 24   |    |                           |
|      |                  |     |                  | 4 MHz  | 2.7  | 23   |    |                           |
|      |                  |     |                  | 72 MHz | 8.8  | 29   | mA | *3<br>周辺クロック<br>すべて OFF 時 |
|      |                  |     |                  | 60 MHz | 7.6  | 28   |    |                           |
|      |                  |     |                  | 48 MHz | 6.3  | 27   |    |                           |
|      |                  |     |                  | 36 MHz | 5.1  | 25   |    |                           |
|      |                  |     |                  | 24 MHz | 3.9  | 24   |    |                           |
|      |                  |     |                  | 12 MHz | 2.7  | 23   |    |                           |
|      |                  |     |                  | 8 MHz  | 2.3  | 23   |    |                           |
|      |                  |     |                  | 4 MHz  | 1.9  | 22   |    |                           |

\*1: T<sub>A</sub>=+25°C, V<sub>CC</sub>=3.3 V

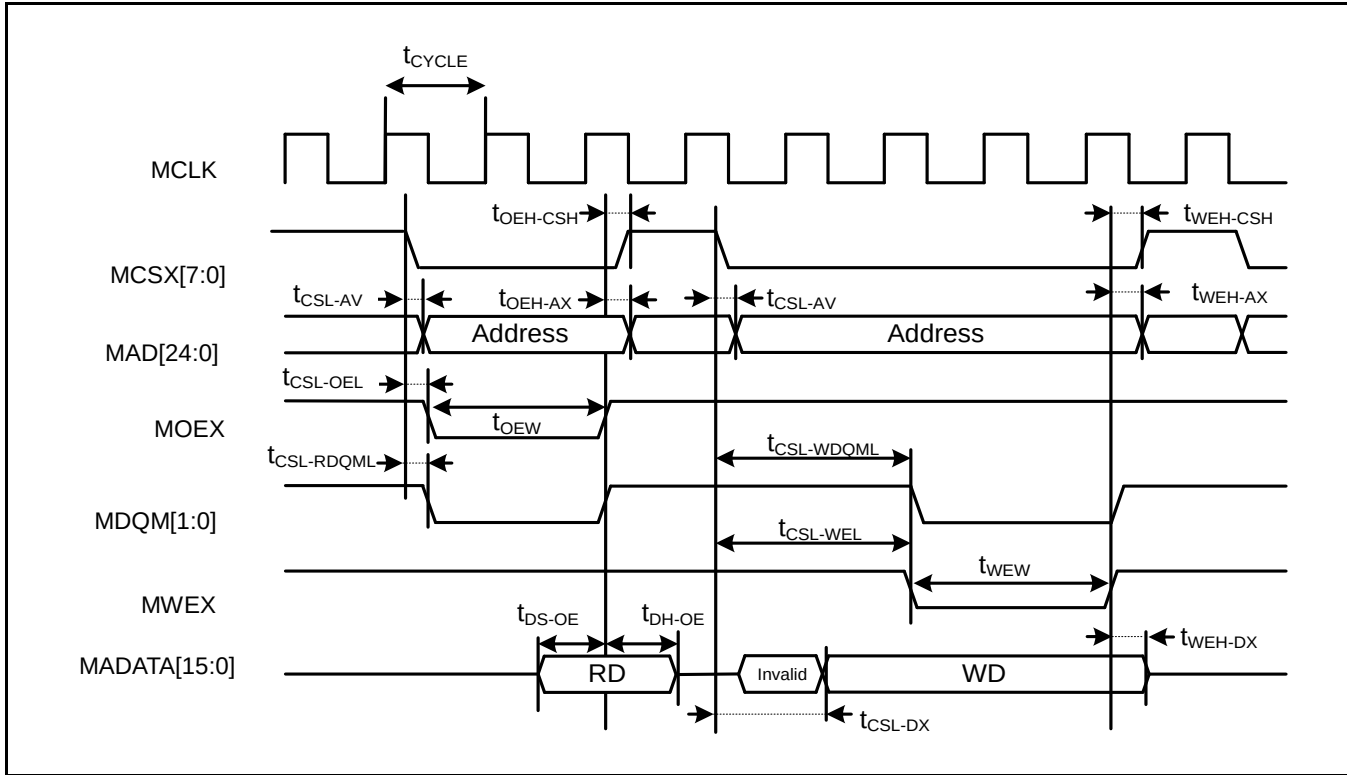
\*2: T<sub>J</sub>=+125°C, V<sub>CC</sub>=5.5 V

\*3: 全ポート固定時

\*4: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK/2。

\*5: 周波数は HCLK の値です。PCLK0=PCLK1=PCLK2=HCLK。

\*6: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)





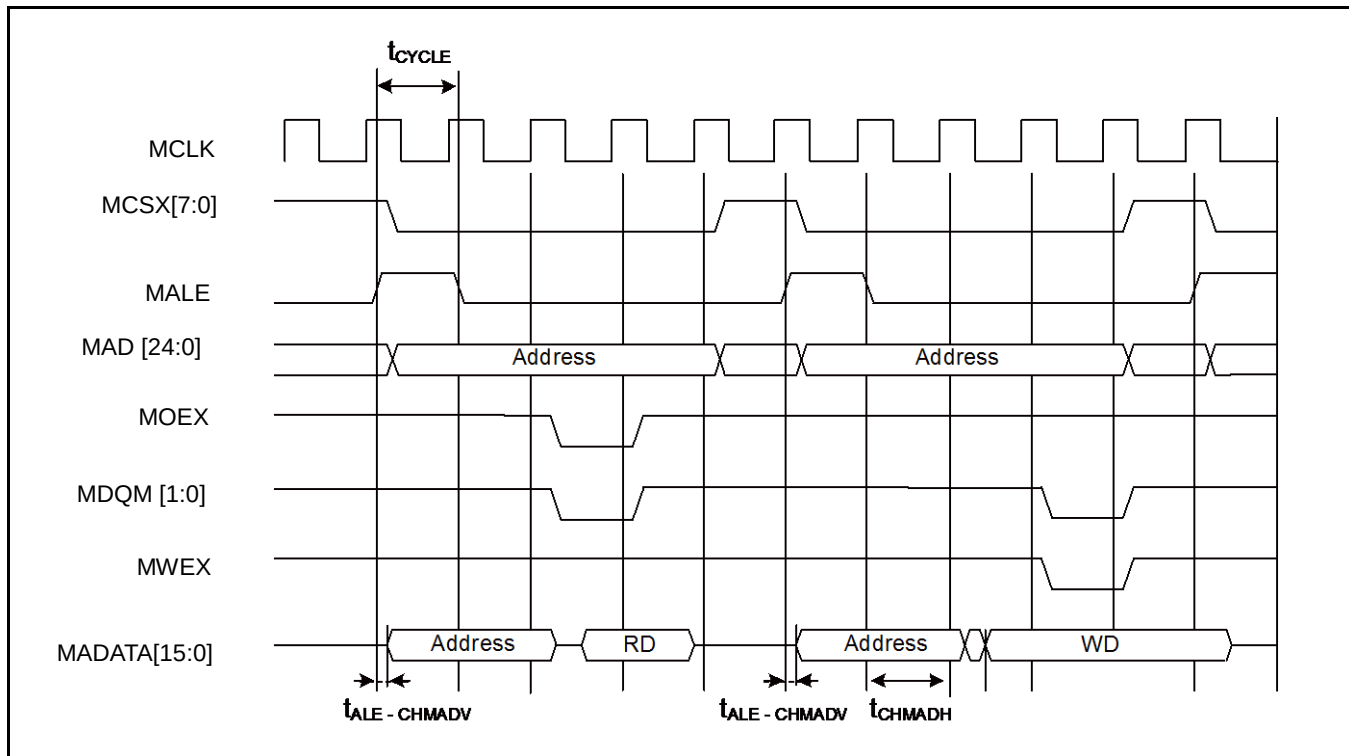
## マルチプレクスバスアクセス 非同期 SRAM モード

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ )

| 項目                        | 記号          | 端子名                   | 条件                      | 規格値      |           | 単位 |
|---------------------------|-------------|-----------------------|-------------------------|----------|-----------|----|
|                           |             |                       |                         | 最小       | 最大        |    |
| マルチプレクス<br>アドレス遅延時間       | tALE-CHMADV | MALE,<br>MADATA[15:0] | V <sub>CC</sub> ≧ 4.5 V | 0        | 10        | ns |
|                           |             |                       | V <sub>CC</sub> < 4.5 V |          | 20        |    |
| マルチプレクス<br>アドレスホールド<br>時間 | tCHMADH     |                       | V <sub>CC</sub> ≧ 4.5 V | MCLK×n+0 | MCLK×n+10 | ns |
|                           |             |                       | V <sub>CC</sub> < 4.5 V | MCLK×n+0 | MCLK×n+20 |    |

### <注意事項>

- 外部負荷容量  $C_L = 30 pF$  時 ( $m=0 \sim 15$ ,  $n=1 \sim 16$ )



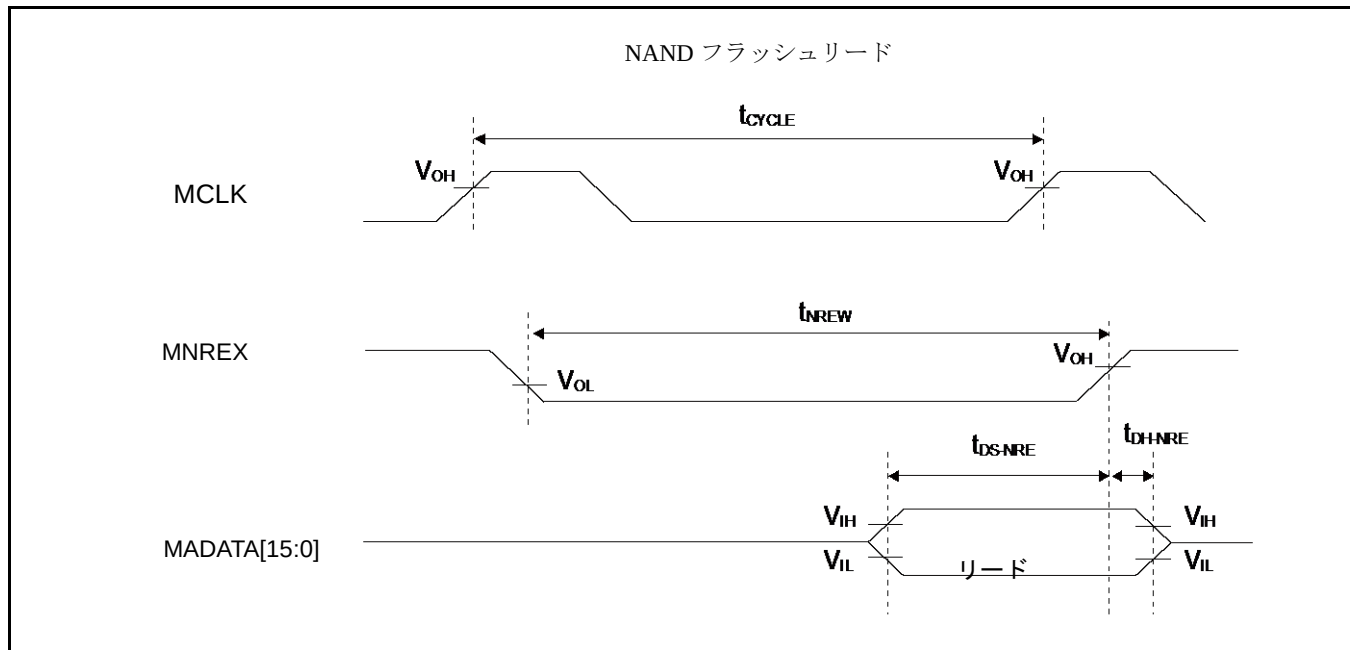
## NAND フラッシュモード

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ )

| 項目                      | 記号              | 端子名                    | 条件                                    | 規格値                                         |                                             | 単位 |
|-------------------------|-----------------|------------------------|---------------------------------------|---------------------------------------------|---------------------------------------------|----|
|                         |                 |                        |                                       | 最小                                          | 最大                                          |    |
| MNREX<br>最小パルス幅         | $t_{NREW}$      | MNREX                  | $V_{CC} \geq 4.5V$<br>$V_{CC} < 4.5V$ | $MCLK \times n - 3$                         | -                                           | ns |
| データセットアップ<br>→MNREX ↑時間 | $t_{DS-NRE}$    | MNREX,<br>MADATA[15:0] | $V_{CC} \geq 4.5V$<br>$V_{CC} < 4.5V$ | 20<br>38                                    | -<br>-                                      | ns |
| MNREX ↑→<br>データホールド時間   | $t_{DH-NRE}$    | MNREX,<br>MADATA[15:0] | $V_{CC} \geq 4.5V$<br>$V_{CC} < 4.5V$ | 0                                           | -                                           | ns |
| MNALE ↑→<br>MNWEX 遅延時間  | $t_{ALEH-NWEL}$ | MNALE,<br>MNWEX        | $V_{CC} \geq 4.5V$<br>$V_{CC} < 4.5V$ | $MCLK \times m - 9$<br>$MCLK \times m - 12$ | $MCLK \times m + 9$<br>$MCLK \times m + 12$ | ns |
| MNALE ↓→<br>MNWEX 遅延時間  | $t_{ALEL-NWEL}$ | MNALE,<br>MNWEX        | $V_{CC} \geq 4.5V$<br>$V_{CC} < 4.5V$ | $MCLK \times m - 9$<br>$MCLK \times m - 12$ | $MCLK \times m + 9$<br>$MCLK \times m + 12$ | ns |
| MNCLE ↑→<br>MNWEX 遅延時間  | $t_{CLEH-NWEL}$ | MNCLE,<br>MNWEX        | $V_{CC} \geq 4.5V$<br>$V_{CC} < 4.5V$ | $MCLK \times m - 9$<br>$MCLK \times m - 12$ | $MCLK \times m + 9$<br>$MCLK \times m + 12$ | ns |
| MNWEX ↑→<br>MNCLE 遅延時間  | $t_{NWEH-CLEL}$ | MNCLE,<br>MNWEX        | $V_{CC} \geq 4.5V$<br>$V_{CC} < 4.5V$ | 0                                           | $MCLK \times m + 9$<br>$MCLK \times m + 12$ | ns |
| MNWEX<br>最小パルス幅         | $t_{NWEW}$      | MNWEX                  | $V_{CC} \geq 4.5V$<br>$V_{CC} < 4.5V$ | $MCLK \times n - 3$                         | -                                           | ns |
| MNWEX ↓→<br>データ出力時間     | $t_{NWEL-DV}$   | MNWEX,<br>MADATA[15:0] | $V_{CC} \geq 4.5V$<br>$V_{CC} < 4.5V$ | -9<br>-12                                   | +9<br>+12                                   | ns |
| MNWEX ↑→<br>データホールド時間   | $t_{NWEH-DX}$   | MNWEX,<br>MADATA[15:0] | $V_{CC} \geq 4.5V$<br>$V_{CC} < 4.5V$ | 0                                           | $MCLK \times m + 9$<br>$MCLK \times m + 12$ | ns |

### <注意事項>

- 外部負荷容量  $C_L = 30 pF$  時 ( $m=0 \sim 15$ ,  $n=1 \sim 16$ )



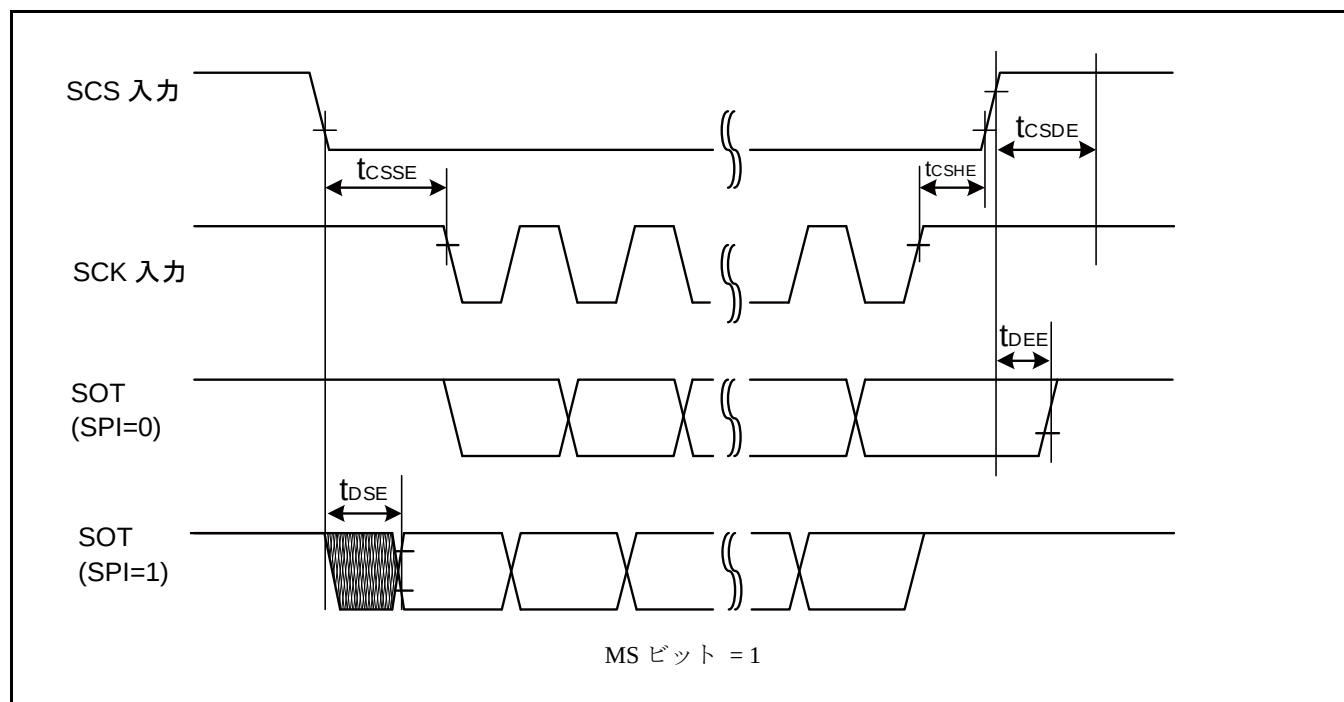
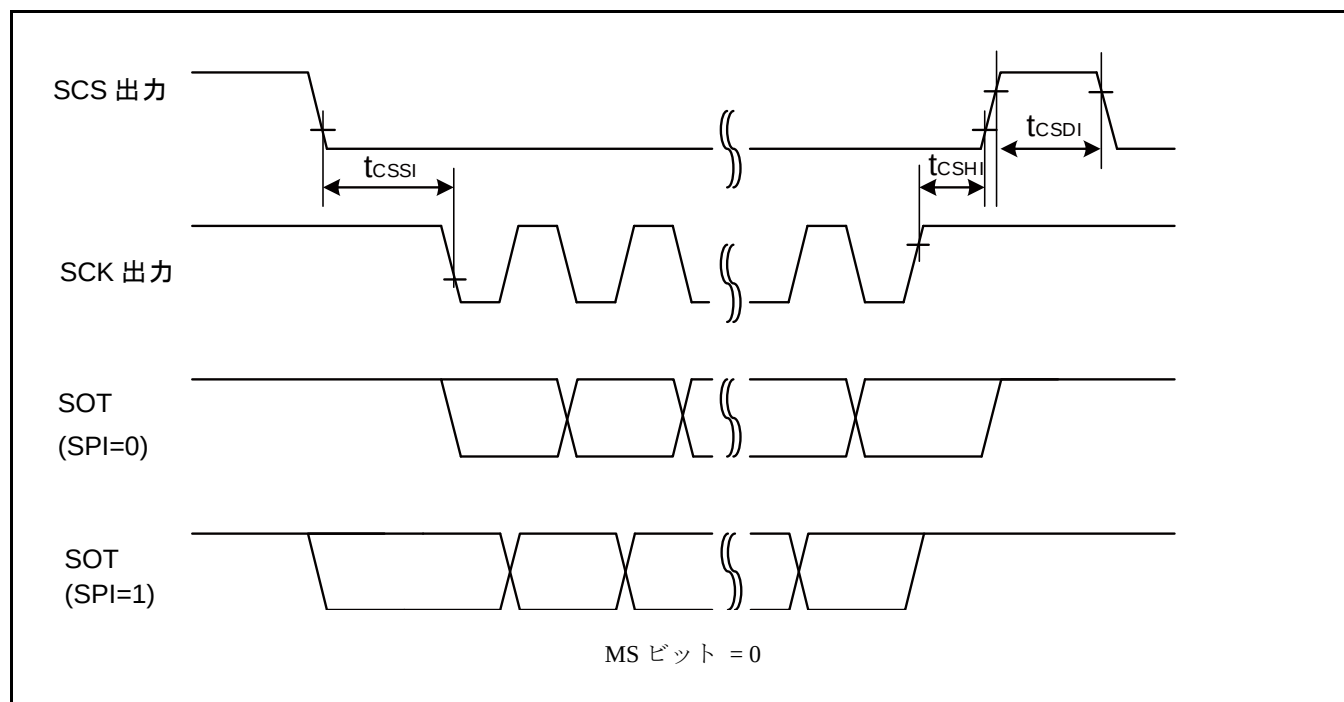
## SDRAM モード

( $V_{CC} = 2.7V \sim 3.6V$ ,  $V_{SS} = 0V$ )

| 項目                           | 記号     | 端子名                     | 規格値 |    | 単位  |
|------------------------------|--------|-------------------------|-----|----|-----|
|                              |        |                         | 最小  | 最大 |     |
| 出力周波数                        | tCYCSD | MSDCLK                  | -   | 32 | MHz |
| アドレス遅延時間                     | tAOSD  | MSDCLK,<br>MAD[15:0]    | 2   | 12 | ns  |
| MSDCLK ↑ → データ<br>出力遅延時間     | tDOSD  | MSDCLK,<br>MADATA[31:0] | 2   | 12 | ns  |
| MSDCLK ↑ → データ<br>出力 Hi-Z 時間 | tDOZSD | MSDCLK,<br>MADATA[31:0] | 2   | 20 | ns  |
| MDQM[1:0]遅延時間                | twROSD | MSDCLK,<br>MDQM[1:0]    | 1   | 12 | ns  |
| MCSX 遅延時間                    | tMCSSD | MSDCLK,<br>MCSX8        | 2   | 12 | ns  |
| MRASX 遅延時間                   | trASSD | MSDCLK,<br>MRASX        | 2   | 12 | ns  |
| MCASX 遅延時間                   | tCASSD | MSDCLK,<br>MCASX        | 2   | 12 | ns  |
| MSDWEX 遅延時間                  | tMWESD | MSDCLK,<br>MSDWEX       | 2   | 12 | ns  |
| MSDCKE 遅延時間                  | tCKESD | MSDCLK,<br>MSDCKE       | 2   | 12 | ns  |
| データセットアップ時間                  | tDSSD  | MSDCLK,<br>MADATA[31:0] | 23  | -  | ns  |
| データホールド時間                    | tDHSD  | MSDCLK,<br>MADATA[31:0] | 0   | -  | ns  |

### <注意事項>

- 外部負荷容量  $C_L = 30 \text{ pF}$  時



## 同期シリアル チップセレクト使用時(SCINV = 0, CSLVL=0)

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ )

| 項目                                                   | 記号         | 条件                  | $V_{CC} < 4.5 V$         |                          | $V_{CC} \geq 4.5 V$      |                          | 単位 |
|------------------------------------------------------|------------|---------------------|--------------------------|--------------------------|--------------------------|--------------------------|----|
|                                                      |            |                     | 最小                       | 最大                       | 最小                       | 最大                       |    |
| SCS $\uparrow \rightarrow$ SCK $\downarrow$ セットアップ時間 | $t_{CSSI}$ | 内部シフト<br>クロック<br>動作 | (*1)-50                  | (*1)+0                   | (*1)-50                  | (*1)+0                   | ns |
| SCK $\uparrow \rightarrow$ SCS $\downarrow$ ホールド時間   | $t_{CSHI}$ |                     | (*2)+0                   | (*2)+50                  | (*2)+0                   | (*2)+50                  | ns |
| SCS ディセレクト時間                                         | $t_{CSDI}$ |                     | (*3)-50<br>+5 $t_{CYCP}$ | (*3)+50<br>+5 $t_{CYCP}$ | (*3)-50<br>+5 $t_{CYCP}$ | (*3)+50<br>+5 $t_{CYCP}$ | ns |
| SCS $\uparrow \rightarrow$ SCK $\downarrow$ セットアップ時間 | $t_{CSSE}$ | 外部シフト<br>クロック<br>動作 | 3 $t_{CYCP}$ +30         | -                        | 3 $t_{CYCP}$ +30         | -                        | ns |
| SCK $\uparrow \rightarrow$ SCS $\downarrow$ ホールド時間   | $t_{CSHE}$ |                     | 0                        | -                        | 0                        | -                        | ns |
| SCS ディセレクト時間                                         | $t_{CSE}$  |                     | 3 $t_{CYCP}$ +30         | -                        | 3 $t_{CYCP}$ +30         | -                        | ns |
| SCS $\uparrow \rightarrow$ SOT 遅延時間                  | $t_{DSE}$  |                     | -                        | 40                       | -                        | 40                       | ns |
| SCS $\downarrow \rightarrow$ SOT 遅延時間                | $t_{DEE}$  |                     | 0                        | -                        | 0                        | -                        | ns |

(\*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(\*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(\*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

### <注意事項>

- $t_{CYCP}$  は、APB バスクロックのサイクル時間です。  
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリー ペリフェラルマニュアル』を参照してください。
- 外部負荷容量  $C_L = 30 \text{ pF}$  時

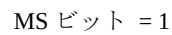
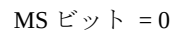
## 高速同期シリアル(SPI = 0, SCINV = 1)

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ )

| 項目                      | 記号          | 端子名           | 条件              | $V_{CC} < 4.5 V$ |     | $V_{CC} \geq 4.5 V$ |     | 単位 |
|-------------------------|-------------|---------------|-----------------|------------------|-----|---------------------|-----|----|
|                         |             |               |                 | 最小               | 最大  | 最小                  | 最大  |    |
| シリアルクロック<br>サイクルタイム     | $t_{SCYC}$  | SCKx          | 内部シフト<br>クロック動作 | $4t_{CYCP}$      | -   | $4t_{CYCP}$         | -   | ns |
| SCK ↑ → SOT 遅延時間        | $t_{SHOVI}$ | SCKx,<br>SOTx |                 | -10              | +10 | -10                 | +10 | ns |
| SIN → SCK ↓<br>セットアップ時間 | $t_{IVSLI}$ | SCKx,<br>SINx |                 | 14               | -   | 12.5                | -   | ns |
|                         |             |               |                 | 12.5*            |     |                     |     |    |
| SCK ↓ → SIN ホールド時間      | $t_{SLIXI}$ | SCKx,<br>SINx |                 | 5                | -   | 5                   | -   | ns |
| シリアルクロック<br>L パルス幅      | $t_{LSLH}$  | SCKx          | 外部シフト<br>クロック動作 | $2t_{CYCP} - 5$  | -   | $2t_{CYCP} - 5$     | -   | ns |
| シリアルクロック<br>H パルス幅      | $t_{HSL}$   | SCKx          |                 | $t_{CYCP} + 10$  | -   | $t_{CYCP} + 10$     | -   | ns |
| SCK ↑ → SOT 遅延時間        | $t_{SHOVE}$ | SCKx,<br>SOTx |                 | -                | 15  | -                   | 15  | ns |
| SIN → SCK ↓<br>セットアップ時間 | $t_{IVSLE}$ | SCKx,<br>SINx |                 | 5                | -   | 5                   | -   | ns |
| SCK ↓ → SIN ホールド時間      | $t_{SLIXE}$ | SCKx,<br>SINx |                 | 5                | -   | 5                   | -   | ns |
| SCK 立下り時間               | $t_F$       | SCKx          |                 | -                | 5   | -                   | 5   | ns |
| SCK 立上り時間               | $t_R$       | SCKx          |                 | -                | 5   | -                   | 5   | ns |

### <注意事項>

- CLK 同期モード時の交流規格です。
- $t_{CYCP}$  は、APB バスクロックのサイクル時間です。  
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- 本規格は以下の端子のみの保証です。
  - ・ チップセレクトなし : SIN4\_1, SOT4\_1, SCK4\_1
  - ・ チップセレクトあり : SIN6\_1, SOT6\_1, SCK6\_1, SCS6\_1
- 外部負荷容量  $C_L = 30 \text{ pF}$  時 (\* は  $C_L = 10 \text{ pF}$  時)



Page 119 of 158

## 高速同期シリアル チップセレクト使用時(SCINV = 1, CSLVL=1)

( $V_{CC} = 2.7V \sim 5.5V$ ,  $V_{SS} = 0V$ )

| 項目                     | 記号                | 条件                  | $V_{CC} < 4.5 V$               |                                | $V_{CC} \geq 4.5 V$            |                                | 単位 |
|------------------------|-------------------|---------------------|--------------------------------|--------------------------------|--------------------------------|--------------------------------|----|
|                        |                   |                     | 最小                             | 最大                             | 最小                             | 最大                             |    |
| SCS ↓ → SCK ↑ セットアップ時間 | t <sub>CSSt</sub> | 内部シフト<br>クロック<br>動作 | (*1)-20                        | (*1)+0                         | (*1)-20                        | (*1)+0                         | ns |
| SCK ↓ → SCS ↑ ホールド時間   | t <sub>CSHt</sub> |                     | (*2)+0                         | (*2)+20                        | (*2)+0                         | (*2)+20                        | ns |
| SCS ディセレクト時間           | t <sub>CSDt</sub> |                     | (*3)-20<br>+5t <sub>CYCP</sub> | (*3)+20<br>+5t <sub>CYCP</sub> | (*3)-20<br>+5t <sub>CYCP</sub> | (*3)+20<br>+5t <sub>CYCP</sub> | ns |
| SCS ↓ → SCK ↑ セットアップ時間 | t <sub>CSSE</sub> | 外部シフト<br>クロック<br>動作 | 3t <sub>CYCP</sub> +15         | -                              | 3t <sub>CYCP</sub> +15         | -                              | ns |
| SCK ↓ → SCS ↑ ホールド時間   | t <sub>CSHE</sub> |                     | 0                              | -                              | 0                              | -                              | ns |
| SCS ディセレクト時間           | t <sub>CSDE</sub> |                     | 3t <sub>CYCP</sub> +15         | -                              | 3t <sub>CYCP</sub> +15         | -                              | ns |
| SCS ↓ → SOT 遅延時間       | t <sub>DSE</sub>  |                     | -                              | 25                             | -                              | 25                             | ns |
| SCS ↑ → SOT 遅延時間       | t <sub>DDE</sub>  |                     | 0                              | -                              | 0                              | -                              | ns |

(\*1): CSSU ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(\*2): CSHD ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

(\*3): CSDS ビット値×シリアルチップセレクトタイミング動作クロック周期[ns]

### <注意事項>

- t<sub>CYCP</sub> は、APB バスクロックのサイクル時間です。  
マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。
- CSSU, CSHD, CSDS, シリアルチップセレクトタイミング動作クロックは『FM4 ファミリ ペリフェラルマニュアル』を参照してください。
- 外部負荷容量 C<sub>L</sub> = 30 pF 時



## 12.4.14 I2C タイミング

### Standard-mode, Fast-mode

(V<sub>CC</sub> = 2.7V ~ 5.5V, V<sub>SS</sub> = 0V)

| 項目                                      | 記号                 | 条件                                                                              | Standard-mode                      |                    | Fast-mode                          |                   | 単位  | 備考             |
|-----------------------------------------|--------------------|---------------------------------------------------------------------------------|------------------------------------|--------------------|------------------------------------|-------------------|-----|----------------|
|                                         |                    |                                                                                 | 最小                                 | 最大                 | 最小                                 | 最大                |     |                |
| SCL クロック周波数                             | f <sub>SCL</sub>   | C <sub>L</sub> = 30 pF,<br>R = (V <sub>p</sub> /I <sub>OL</sub> )* <sup>1</sup> | 0                                  | 100                | 0                                  | 400               | kHz |                |
| (反復)「スタート」条件<br>ホールド時間<br>SDA ↓ → SCL ↓ | t <sub>HDSTA</sub> |                                                                                 | 4.0                                | -                  | 0.6                                | -                 | μs  |                |
| SCL クロック L 幅                            | t <sub>LOW</sub>   |                                                                                 | 4.7                                | -                  | 1.3                                | -                 | μs  |                |
| SCL クロック H 幅                            | t <sub>HIGH</sub>  |                                                                                 | 4.0                                | -                  | 0.6                                | -                 | μs  |                |
| 反復「スタート」条件<br>セットアップ時間<br>SCL ↑ → SDA ↓ | t <sub>SUSTA</sub> |                                                                                 | 4.7                                | -                  | 0.6                                | -                 | μs  |                |
| データホールド時間<br>SCL ↓ → SDA ↓ ↑            | t <sub>HDDAT</sub> |                                                                                 | 0                                  | 3.45* <sup>2</sup> | 0                                  | 0.9* <sup>3</sup> | μs  |                |
| データセットアップ時間<br>SDA ↓ ↑ → SCL ↑          | t <sub>SUDAT</sub> |                                                                                 | 250                                | -                  | 100                                | -                 | ns  |                |
| 「ストップ」条件<br>セットアップ時間<br>SCL ↑ → SDA ↑   | t <sub>SUSTO</sub> |                                                                                 | 4.0                                | -                  | 0.6                                | -                 | μs  |                |
| 「ストップ」条件と<br>「スタート」条件との間の<br>バスフリー時間    | t <sub>BUF</sub>   |                                                                                 | 4.7                                | -                  | 1.3                                | -                 | μs  |                |
| ノイズフィルタ                                 | t <sub>SP</sub>    | 2 MHz ≤<br>t <sub>CYCP</sub> < 40 MHz                                           | 2t <sub>CYCP</sub> * <sup>4</sup>  | -                  | 2t <sub>CYCP</sub> * <sup>4</sup>  | -                 | ns  | * <sup>5</sup> |
|                                         |                    | 40 MHz ≤<br>t <sub>CYCP</sub> < 60 MHz                                          | 4t <sub>CYCP</sub> * <sup>4</sup>  | -                  | 4t <sub>CYCP</sub> * <sup>4</sup>  | -                 | ns  |                |
|                                         |                    | 60 MHz ≤<br>t <sub>CYCP</sub> < 80 MHz                                          | 6t <sub>CYCP</sub> * <sup>4</sup>  | -                  | 6t <sub>CYCP</sub> * <sup>4</sup>  | -                 | ns  |                |
|                                         |                    | 80 MHz ≤<br>t <sub>CYCP</sub> < 100 MHz                                         | 8t <sub>CYCP</sub> * <sup>4</sup>  | -                  | 8t <sub>CYCP</sub> * <sup>4</sup>  | -                 | ns  |                |
|                                         |                    | 100 MHz ≤<br>t <sub>CYCP</sub> < 120 MHz                                        | 10t <sub>CYCP</sub> * <sup>4</sup> | -                  | 10t <sub>CYCP</sub> * <sup>4</sup> | -                 | ns  |                |
|                                         |                    | 120 MHz ≤<br>t <sub>CYCP</sub> < 140 MHz                                        | 12t <sub>CYCP</sub> * <sup>4</sup> | -                  | 12t <sub>CYCP</sub> * <sup>4</sup> | -                 | ns  |                |
|                                         |                    | 140 MHz ≤<br>t <sub>CYCP</sub> < 160 MHz                                        | 14t <sub>CYCP</sub> * <sup>4</sup> | -                  | 14t <sub>CYCP</sub> * <sup>4</sup> | -                 | ns  |                |
|                                         |                    | 160 MHz ≤<br>t <sub>CYCP</sub> < 180 MHz                                        | 16t <sub>CYCP</sub> * <sup>4</sup> | -                  | 16t <sub>CYCP</sub> * <sup>4</sup> | -                 | ns  |                |

\*1: R, C<sub>L</sub> は SCL, SDA ラインのプルアップ抵抗、負荷容量です。V<sub>p</sub> はプルアップ抵抗の電源電圧、I<sub>OL</sub> は V<sub>OL</sub> 保証電流を示します。

\*2: 最大 t<sub>HDDAT</sub> は少なくともデバイスの SCL 信号の L 区間(t<sub>LOW</sub>)を延長していないということを満たしていなければなりません。

\*3: Fast-mode I<sup>2</sup>C バスデバイスは Standard-mode I<sup>2</sup>C バスシステムに使用できますが、要求される条件 t<sub>SUDAT</sub> ≥ 250ns を満足しなければなりません。

\*4: t<sub>CYCP</sub> は、APB バスクロックのサイクル時間です。

I<sup>2</sup>C が接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。

Standard-mode 使用時は、周辺バスクロックを 2 MHz 以上に設定してください。

Fast-mode 使用時は、周辺バスクロックを 8 MHz 以上に設定してください。

\*5: ノイズフィルタ時間はレジスタの設定により切り替えることができます。

APB バスクロック周波数に応じて、ノイズフィルタ段数の変更をしてください。

## Fast-mode Plus (Fm+)

(V<sub>CC</sub> = 2.7V ~ 5.5V, V<sub>SS</sub> = 0V)

| 項目                                      | 記号                 | 条件                                                                  | Fast-mode plus(Fm+)*6   |            | 単位  | 備考 |
|-----------------------------------------|--------------------|---------------------------------------------------------------------|-------------------------|------------|-----|----|
|                                         |                    |                                                                     | 最小                      | 最大         |     |    |
| SCL クロック周波数                             | f <sub>SCL</sub>   | C <sub>L</sub> = 30 pF,<br>R = (V <sub>p</sub> /I <sub>OL</sub> )*1 | 0                       | 1000       | kHz |    |
| (反復)「スタート」条件<br>ホールド時間<br>SDA ↓ → SCL ↓ | t <sub>HDSTA</sub> |                                                                     | 0.26                    | -          | μs  |    |
| SCL クロック L 幅                            | t <sub>LOW</sub>   |                                                                     | 0.5                     | -          | μs  |    |
| SCL クロック H 幅                            | t <sub>HIGH</sub>  |                                                                     | 0.26                    | -          | μs  |    |
| 反復「スタート」条件<br>セットアップ時間<br>SCL ↑ → SDA ↓ | t <sub>SUSTA</sub> |                                                                     | 0.26                    | -          | μs  |    |
| データホールド時間<br>SCL ↓ → SDA ↓ ↑            | t <sub>HDDAT</sub> |                                                                     | 0                       | 0.45*2, *3 | μs  |    |
| データセットアップ時間<br>SDA ↓ ↑ → SCL ↑          | t <sub>SUDAT</sub> |                                                                     | 50                      | -          | ns  |    |
| 「ストップ」条件<br>セットアップ時間<br>SCL ↑ → SDA ↑   | t <sub>SUSTO</sub> |                                                                     | 0.26                    | -          | μs  |    |
| 「ストップ」条件と<br>「スタート」条件との間のバ<br>スフリー時間    | t <sub>BUF</sub>   |                                                                     | 0.5                     | -          | μs  |    |
| ノイズフィルタ                                 | t <sub>SP</sub>    | 60 MHz ≤<br>t <sub>CYCP</sub> < 80 MHz                              | 6 t <sub>CYCP</sub> *4  | -          | ns  | *5 |
|                                         |                    | 80 MHz ≤<br>t <sub>CYCP</sub> < 100 MHz                             | 8 t <sub>CYCP</sub> *4  | -          | ns  |    |
|                                         |                    | 100 MHz ≤<br>t <sub>CYCP</sub> < 120 MHz                            | 10 t <sub>CYCP</sub> *4 | -          | ns  |    |
|                                         |                    | 120 MHz ≤<br>t <sub>CYCP</sub> < 140 MHz                            | 12 t <sub>CYCP</sub> *4 | -          | ns  |    |
|                                         |                    | 140 MHz ≤<br>t <sub>CYCP</sub> < 160 MHz                            | 14 t <sub>CYCP</sub> *4 | -          | ns  |    |
|                                         |                    | 160 MHz ≤<br>t <sub>CYCP</sub> < 180 MHz                            | 16 t <sub>CYCP</sub> *4 | -          | ns  |    |

\*1: R, C<sub>L</sub> は SCL, SDA ラインのプルアップ抵抗、負荷容量です。V<sub>p</sub> はプルアップ抵抗の電源電圧、I<sub>OL</sub> は V<sub>OL</sub> 保証電流を示します。

\*2: 最大 t<sub>HDDAT</sub> は少なくともデバイスの SCL 信号の L 区間(t<sub>LOW</sub>)を延長していないということを満たしていなければなりません。

\*3: Fast-mode I<sup>2</sup>C バスデバイスは Standard-mode I<sup>2</sup>C バスシステムに使用できますが、要求される条件 t<sub>SUDAT</sub> ≥ 250 ns を満足しなければなりません。

\*4: t<sub>CYCP</sub> は、APB バスクロックのサイクル時間です。

I<sup>2</sup>C が接続されている APB バス番号については「8. ブロックダイアグラム」を参照してください。

Fast-mode plus(Fm+)使用時は、周辺バスクロックを 64 MHz 以上に設定してください。

\*5: ノイズフィルタ時間はレジスタの設定により切り替えることができます。

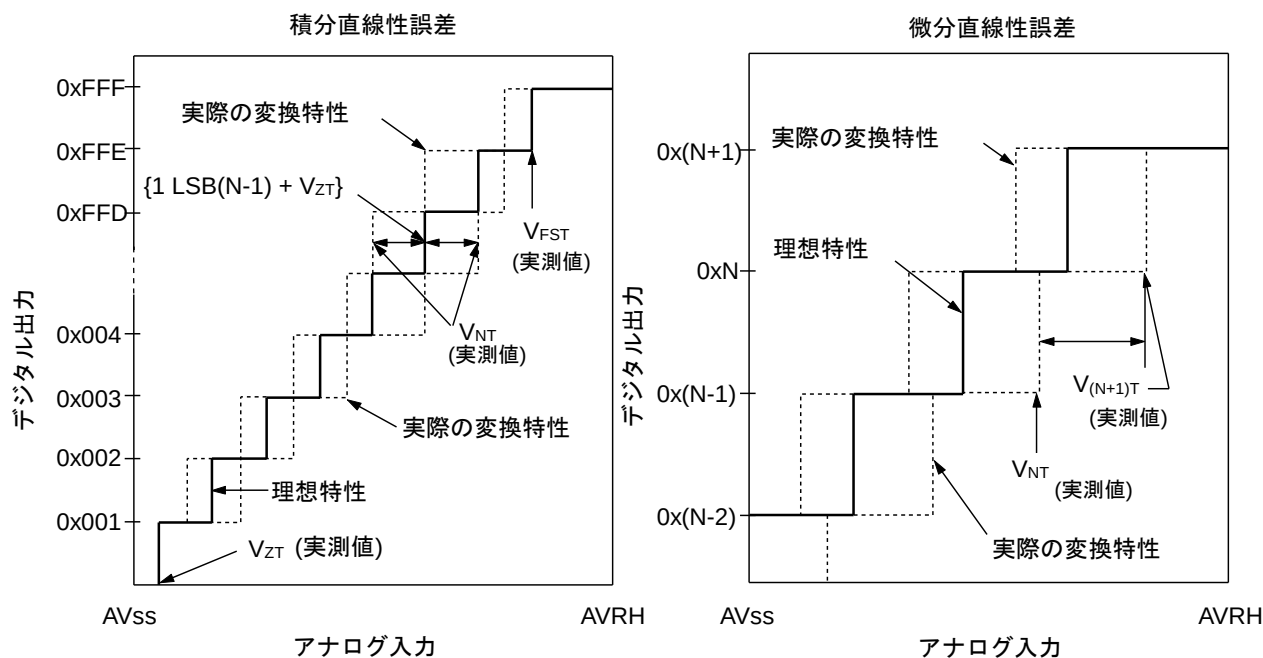
APB バスクロック周波数に応じて、ノイズフィルタ段数の変更をしてください。

\*6: Fast-mode plus(Fm+)使用時は、I/O 端子を EPFR レジスタにて I<sup>2</sup>C Fm+に対応したモードに設定してください。

詳細は『FM4 ファミリ ペリフェラルマニュアル 本編(MN709-00001)』の『CHAPTER 12: I/O ポート』の章を参照してください。

## 12 ビット A/D コンバータの用語の定義

- 分解能: A/D コンバータにより識別可能なアナログ変化
- 積分直線性誤差: ゼロトランジション点(0b000000000000 ↔ 0b000000000001)とフルスケールトランジション点(0b111111111110 ↔ 0b111111111111)を結んだ直線と実際の変換特性との偏差
- 微分直線性誤差: 出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差



$$\text{デジタル出力 } N \text{ の積分直線性誤差} = \frac{V_{NT} - \{1\text{LSB} \times (N - 1) + V_{ZT}\}}{1\text{LSB}} \text{ [LSB]}$$

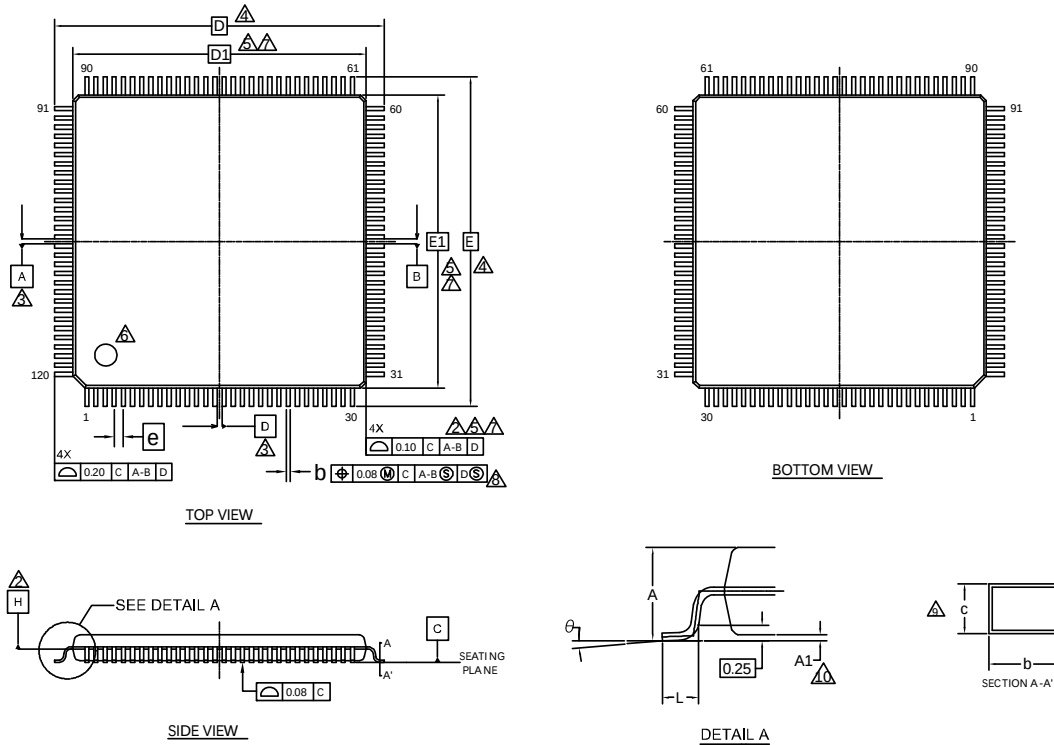
$$\text{デジタル出力 } N \text{ の微分直線性誤差} = \frac{V_{(N+1)T} - V_{NT}}{1\text{LSB}} - 1 \text{ [LSB]}$$

$$1\text{LSB} = \frac{V_{FST} - V_{ZT}}{4094}$$

- N: A/D コンバータデジタル出力値
- V<sub>ZT</sub>: デジタル出力が 0x000 から 0x001 に遷移する電圧
- V<sub>FST</sub>: デジタル出力が 0xFFE から 0xFFF に遷移する電圧
- V<sub>NT</sub>: デジタル出力が 0x (N - 1) から 0xN に遷移する電圧

## 14. パッケージ・外形寸法図

| Package Type | Package Code |
|--------------|--------------|
| LQFP 120     | LQM120       |



| SYMBOL | DIMENSIONS |      |       |
|--------|------------|------|-------|
|        | MIN.       | NOM. | MAX.  |
| A      | —          | —    | 1.70  |
| A1     | 0.05       | —    | 0.15  |
| b      | 0.17       | 0.22 | 0.27  |
| c      | 0.115      | —    | 0.195 |
| D      | 18.00 BSC  |      |       |
| D1     | 16.00 BSC  |      |       |
| e      | 0.50 BSC   |      |       |
| E      | 18.00 BSC  |      |       |
| E1     | 16.00 BSC  |      |       |
| L      | 0.45       | 0.60 | 0.75  |
| θ      | 0°         | —    | 8°    |

### NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
- DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE C.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
- DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
- REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS, DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS, BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
- THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

11. JEDEC SPECIFICATION NO. REF: N/A.

|  |  |  |  |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |
|--|--|--|--|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|  |  |  |  | <p>メモリマップ(2)の最大アドレスを 0x200D_FFFF に変更。</p> <p>11 各 CPU ステートにおける端子状態を更新:<br/>VBAT ドメイン端子状態一覧表に”*1”を追加。</p> <p>12.3.1 電流規格を更新:<br/>Table 12-9 に”*7”を追加。</p> <p>12.4.7 パワーオンリセットタイミングを更新:<br/>項目、規格を以下の様に変更。また、備考および&lt;注意事項&gt;としてコメントを追記。<br/>電源立上り時間(<math>T_r</math>)を削除。<br/>電源断時間(<math>T_{off}</math>)の規格値を変更。<br/>修正前)電源断時間(<math>t_{off}</math>)[ms] : 1(最小), -(最大)<br/>修正後)電源断時間(<math>t_{off}</math>)[ms] : 50(最小), -(最大)<br/>電源立上り速度(<math>dV/dt</math>)を追加。</p> <p>12.4.11 CSIO タイミングを更新:<br/>以下の例に従い、表タイトルから”SPI=1”および”MS=0”を削除。また、タイミング図に”MS ビット=0”または”MS ビット=1”を追加。<br/>計 8 か所 (106、108、110、112、122、124、126、128 ページ)。<br/>表タイトル修正の例 (106 ページの場合)<br/>修正前)<br/>同期シリアル チップセレクト使用時(SPI=1, SCINV=0, MS=0, CSLVL=1)<br/>修正後)<br/>同期シリアル チップセレクト使用時(SCINV=0, CSLVL=1)</p> <p>12.4.11 CSIO タイミングの表にボーレートの最大値を追加。<br/>計 4 か所 (98、100、102、104 ページ)</p> <p>13 オーダ型格を以下の様に修正:<br/>S6E2H14G0AGB30000 → S6E2H14G0AGB3000A<br/>S6E2H16G0AGB30000 → S6E2H16G0AGB3000A</p> <p>14 パッケージ・外形寸法図の図を更新</p> |
|--|--|--|--|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|